



Universidade Federal do Paraná
Setor de Tecnologia
Departamento de Engenharia Elétrica

Tecnologias para projeto de CI's Digitais

Prof. Marlio Bonfim
TE201 - Projeto de Circuitos Integrados Digitais
Abril de 2003

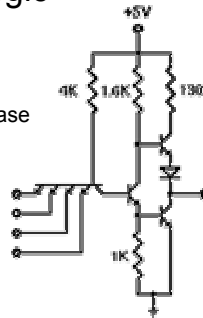
Principais tecnologias disponíveis

- Bipolar: utiliza transistores bipolares, diodos e resistores
- CMOS: utiliza apenas transistores PMOS e NMOS
- BiCMOS: utiliza transistores bipolares e MOS
- GaAs: utiliza transistores MESFET, resistores e diodos schottky

Tecnologia bipolar

• TTL: Transistor-transistor logic

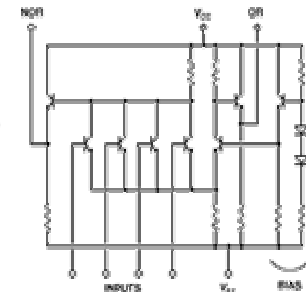
- Mais antiga família lógica
- Alto consumo de potência
- Transistores operam em "corte" e "saturação": cargas armazenadas na base
- média velocidade ($\sim 10^8$ Hz)
- Níveis lógicos ($V_{cc}=5V$):
 - "1": $> +2,5 V$
 - "0": $< +0,8V$



Tecnologia bipolar

• ECL: Emitter coupled logic

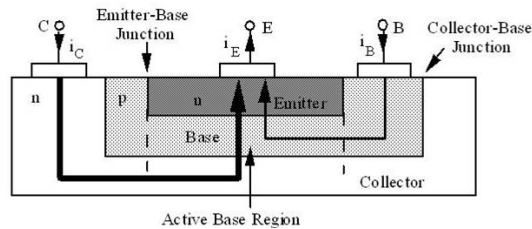
- Baseada em amplificadores diferenciais de múltiplas entradas
- Transistores operam sempre na região ativa
- Operam com tensão negativa (-5,2V)
- Alto consumo de potência
- Circuito complexo
- Alta velocidade ($\sim 10^{10}$ Hz)
- Níveis lógicos ($V_{cc}=0, V_{ee}=-5,2V$):
 - "1": $-0,75 V$
 - "0": $-1,60 V$ $\Delta=0,85 \text{ volt}$



Tecnologia bipolar

- Etapas de processo

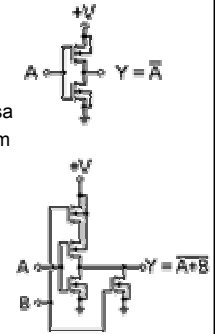
- Substrato levemente dopado tipo N forma o Coletor
- Difusão P sobre o substrato forma a Base
- Difusão N+ sobre a Base forma o Emissor



Tecnologia CMOS

- CMOS: Complementary Metal-Oxide-Semiconductor

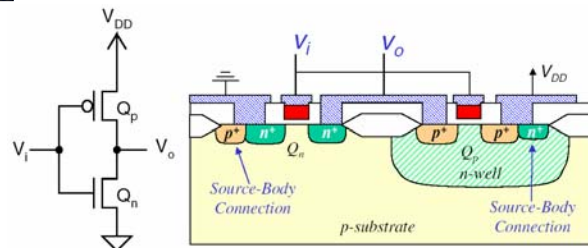
- 2 transistores são suficientes para a função lógica básica (inversor)
- O transistor PMOS é a "carga" do NMOS e vice-versa
- Em condição estática ("0" ou "1") transistores operam na região de corte ($I_d=0$)
- Baixo consumo de potência
- Circuito simples => altíssima escala de integração
- Alta velocidade ($\sim 10^9$ Hz)
- Níveis lógicos compatíveis com TTL



Tecnologia CMOS

- Etapas de processo

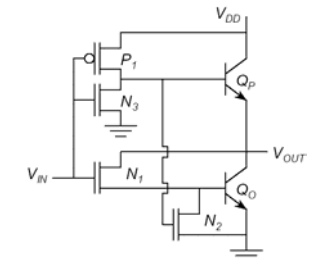
- - Silício dopado P forma o Substrato (B) do transistor NMOS
- - "Poço" N forma o substrato (B) do PMOS
- - Difusão N+ define regiões de Fonte (S) e Dreno (D) do NMOS e contato de "Poço" N do PMOS
- - Difusão P+ define regiões de Fonte (S) e Dreno (D) do PMOS e contato de Substrato P do NMOS
- - Polissilício define Porta (G) dos transistores P e N
- - Metal (Al, Cu) interconecta as regiões de D, S e B dos transistores



Tecnologia BiCMOS

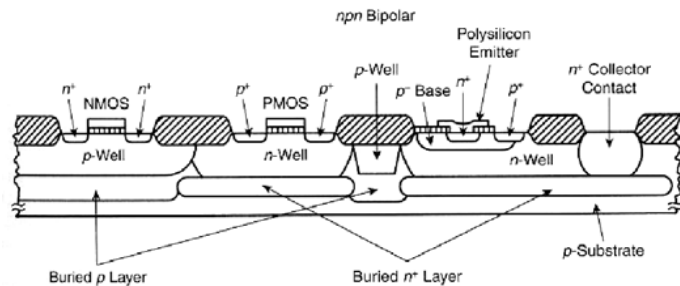
- BiCMOS: Bipolar-CMOS

- Associa as tecnologias CMOS (entrada) e bipolar (saída)
- Alta corrente de saída => cargas externas
- Baixo consumo de potência
- Alta velocidade ($\sim 10^9$ Hz)
- Circuito relativamente complexo
- Níveis lógicos @ $V_{DD}=5V$:
 - "1": $> +2,5 V$
 - "0": $< +0,8V$



Tecnologia BiCMOS

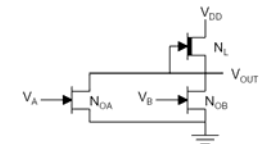
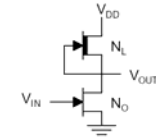
- Etapas de processo
 - Silício dopado P- com regiões "enterradas" P e N+
 - Transistores PMOS e NMOS formados em "Poços" N e P independentes
 - Transistor Bipolar NPN formado em "Poço" N isolado por regiões P
 - Difusões P+ e N+ definem regiões de Fonte e Dreno dos MOSFET's e contatos de base e coletor do BJT
 - Polissilício define porta dos transistores P e N e emissor do BJT
 - Metal (Al, Cu) interconecta as diversas regiões dos transistores



Tecnologia GaAs

• DCFL: Direct-Coupled FET Logic

- Transistores MESFET de "depleção" e "enriquecimento"
- 2 transistores são suficientes para a função lógica básica (inversor)
- O transistor "depleção" é a carga do "enriquecimento"
- Médio consumo de potência
- Alto custo do GaAs (~20X o silício)
- Alta velocidade ($\sim 10^{10}$ Hz)
- Níveis lógicos @ $V_{DD}=2V$:
 - "1": $>0,8 V$
 - "0": $<0,3 V$ $\Delta=0,5 \text{ volt}$



Tecnologia GaAs

- Etapas de processo
 - GaAs semi-isolante forma o Substrato
 - Fina camada N- forma a região do canal do MESFET ($a \sim 1\mu m$)
 - Camada N+ define regiões de Fonte (S) e Dreno (D)
 - Corrosão da camada N+ na região da Porta
 - Metal (Al, Cu) define Porta (G) e interconecta as regiões de D, S e G dos transistores
 - Tensão aplicada à porta modula região de depleção

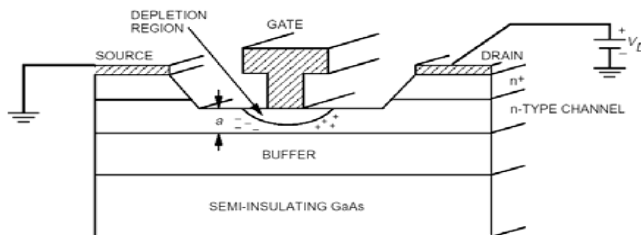
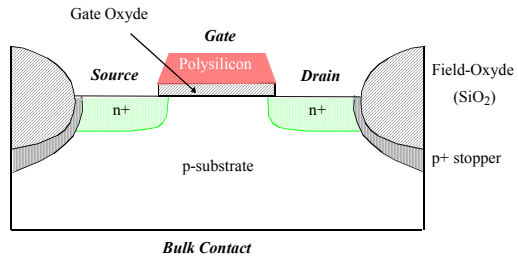


Tabela comparativa

Parâmetro \ Tecnologia	Velocidade de operação	Potência dissipada (por porta)	Escala de integração (n° transistores)	Custo (US\$/mm²)
Bipolar	0,5 GHz (TTL) 3GHz (ECL)	1 mW 10 mW	10^5	1
CMOS	1,5GHz	1 nW (DC) 1mW (f_{max})	10^8	0,05
BiCMOS	3GHz	1 nW (DC) 1mW (f_{max})	10^7	0,1
GaAs	10GHz	0.5 mW	10^6	5

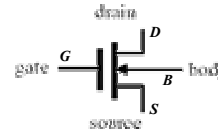
The MOS Transistor



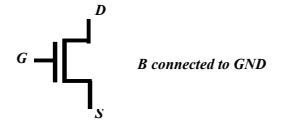
CROSS-SECTION of NMOS Transistor

MOS transistors Types and Symbols

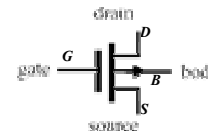
NMOS



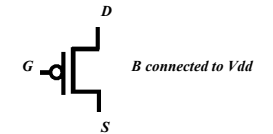
Digital:



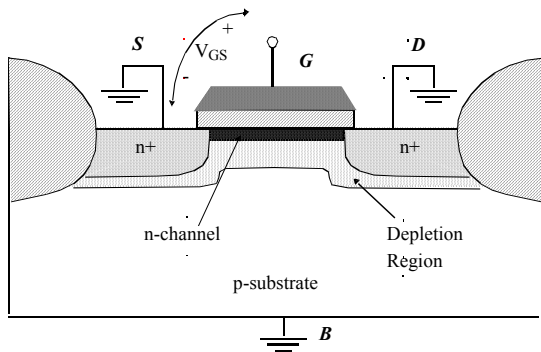
PMOS



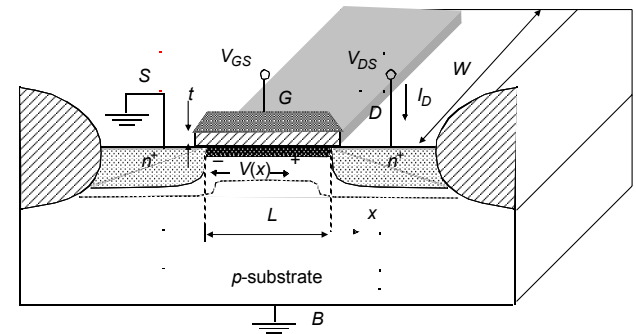
Digital:



Threshold Voltage: Concept



Current-Voltage Relations



MOS transistor and its bias conditions

Current-Voltage Relations

Cut-off region: $V_{GS} < V_T$ $I_D \approx 0$ (leakage)

Linear Region: $V_{DS} \leq V_{GS} - V_T$

$$I_D = k'_n \frac{W}{L} (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2}$$

with

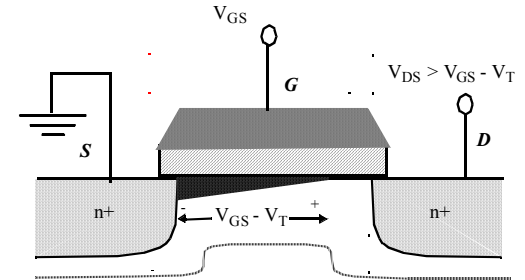
$$k'_n = \mu_n C_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \quad \text{Process Transconductance Parameter}$$

Saturation Mode: $V_{DS} \geq V_{GS} - V_T$

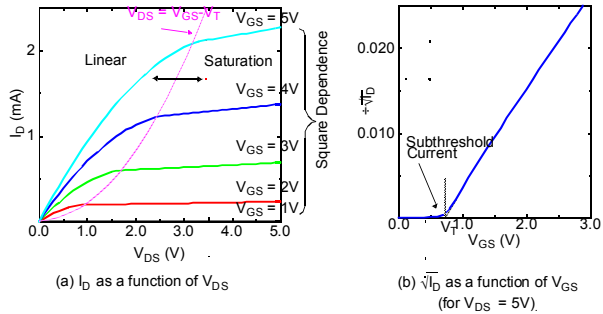
$$I_D = \frac{k'_n W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

Channel Length Modulation

Transistor in Saturation



I-V Relation



NMOS Enhancement Transistor: $W = 100 \mu m$, $L = 20 \mu m$

A model for manual analysis

$$V_{GS} < V_T \quad I_D \approx 0$$

$$V_{DS} > V_{GS} - V_T$$

$$I_D = \frac{k'_n W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

$$V_{DS} < V_{GS} - V_T$$

$$I_D = k'_n \frac{W}{L} (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2}$$

with

$$V_T = V_{T0} + \gamma (\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$$

