

Aula de Simulação nº 1 Análise de Espelhos de Corrente

Características importantes dos espelhos de correntes:

- Corrente de saída;
- Impedância de saída (deve ser a mais alta possível);
- excursão da tensão de saída (deve ser a maior possível dentro dos limites da tensão de alimentação);
- estabilidade com temperatura e tensão de alimentação.

a) Análise de espelhos de corrente MOS e BJT:

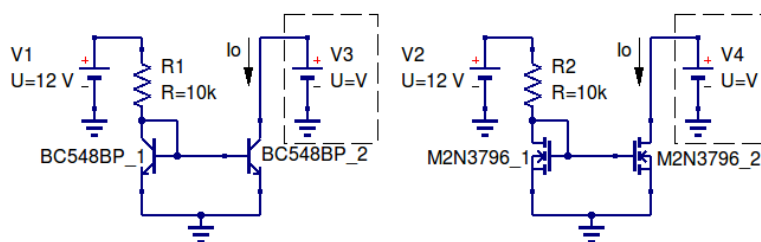
Para os espelhos de corrente ao lado determine através de simulações:

-corrente de saída (I_o)

-impedância de saída ($\Delta V_o/\Delta I_o$, em Ω)

-excursão da tensão de saída (valores mínimo e máximo de V_o na região de impedância constante)

-estabilidade com temperatura ($\Delta I_o/\Delta T$, em $\text{ppm}/^\circ\text{C}$)



b) Espelho de corrente de “Wilson”:

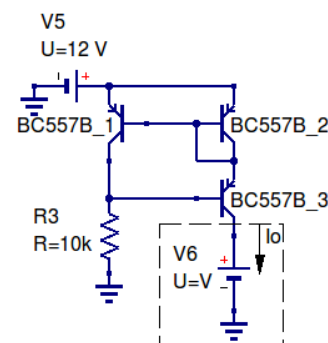
Este espelho de corrente utiliza um transistor suplementar, que através de uma realimentação negativa confere à saída uma maior impedância, porém uma menor excursão de tensão. Determine através de simulações:

-corrente de saída (I_o)

-impedância de saída ($\Delta V_o/\Delta I_o$, em Ω)

-excursão da tensão de saída (valores mínimo e máximo de V_o na região de impedância constante)

-estabilidade com temperatura ($\Delta I_o/\Delta T$, em $\text{ppm}/^\circ\text{C}$)



c) Guias de Corrente:

Utilizando uma fonte de alimentação simétrica de $\pm 5\text{ V}$, projete um circuito guia de corrente CMOS com 4 saídas e as seguintes características:

$$I_{o1} = +1\text{ mA} \quad I_{o2} = +4\text{ mA} \quad I_{o3} = -1\text{ mA} \quad I_{o4} = -4\text{ mA}$$

Determine a impedância e a excursão de tensão para cada uma das saídas.

Obs: utilize como base o transistor PMOS BSS84 (da biblioteca do Qucs). Para conseguir o NMOS complementar, edite as propriedades do componente, trocando o tipo “pfet” por “nfet” e invertendo a polaridade da tensão de limiar “ V_{t0} ”. O circuito básico pode ser projetado para a menor corrente, sendo que as correntes superiores podem ser conseguidas com o aumento da largura do canal “ W ” ou pela colocação de transistores adicionais em paralelo.