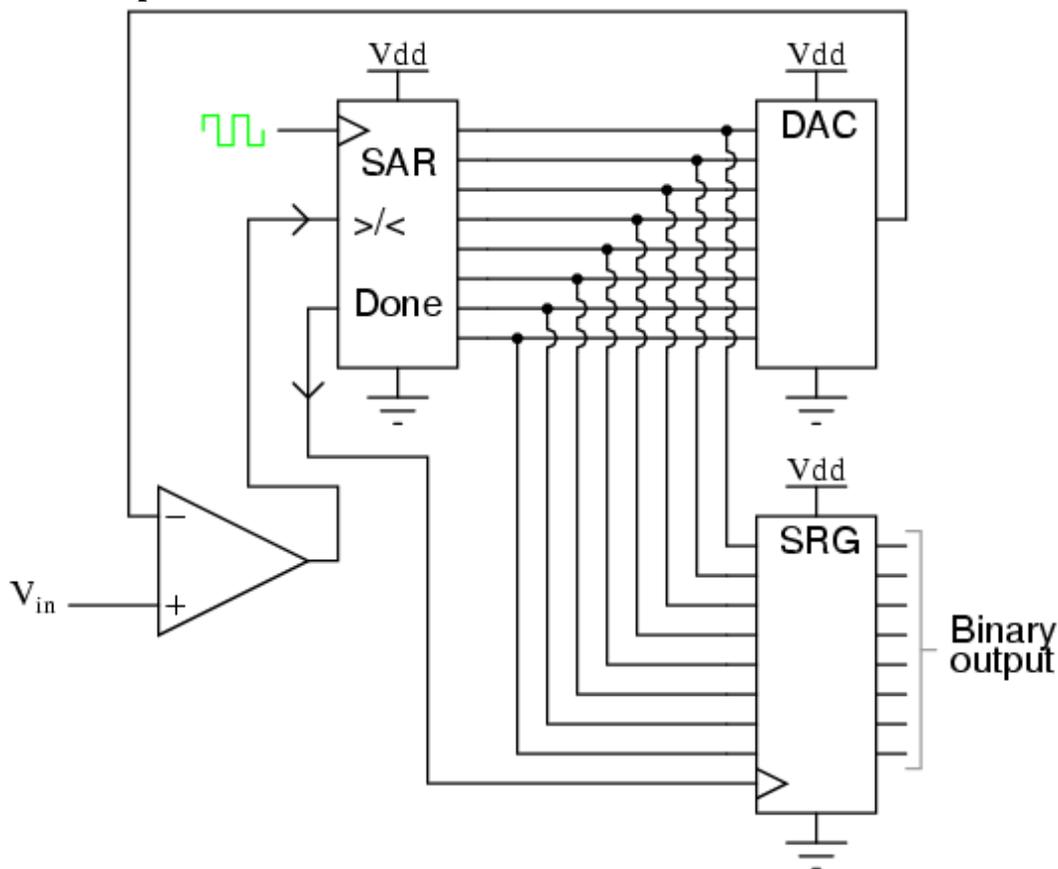
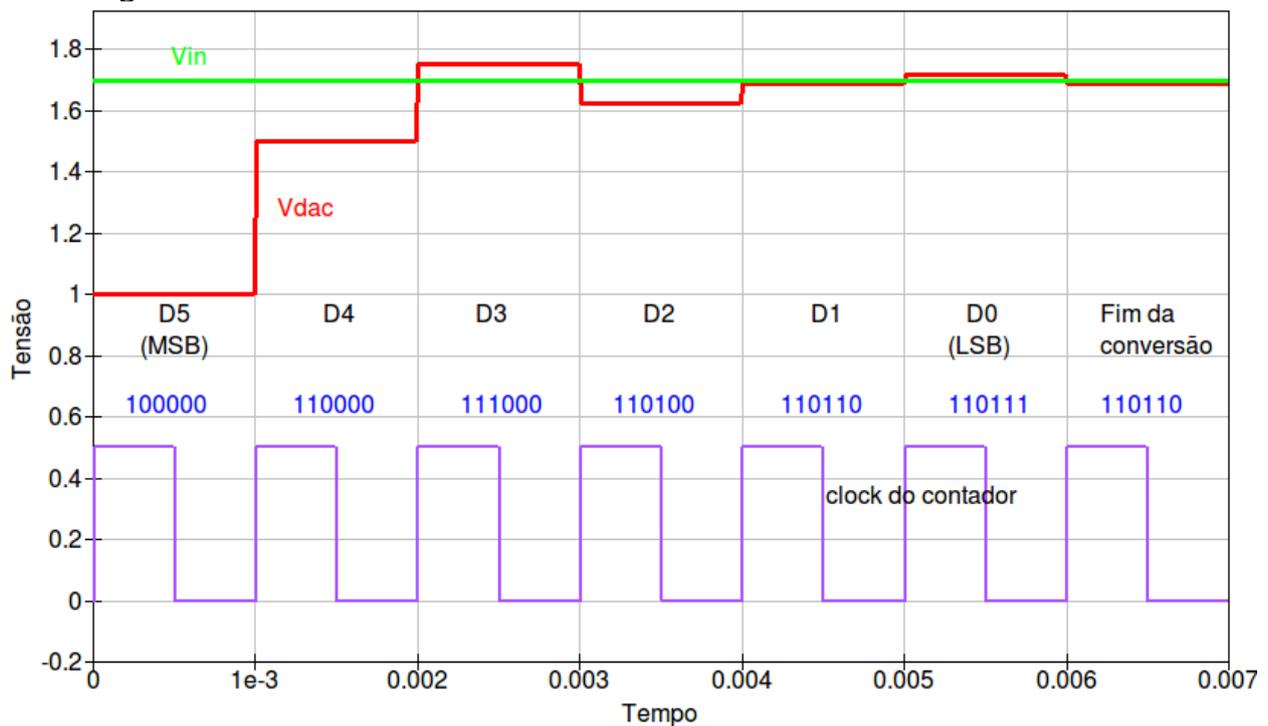


Conversor A/D por aproximações sucessivas

É baseado no mesmo princípio do A/D de rampa digital, onde o sinal analógico de entrada V_i é comparado sucessivamente com a saída analógica do conversor D/A acoplado a um contador digital de n bits, chamado nesse caso de registrador de aproximações sucessivas. O processo de contagem é decrescente, iniciando pelo bit mais significativo (MSB) até o menos significativo (LSB). A cada contagem/comparação, o bit correspondente permanece ativado em “1”, caso o valor de V_i seja superior à tensão gerada pelo D/A, caso contrário, o bit retorna para “0”. A contagem se repete n vezes, até que o LSB seja comparado, quando então o valor do contador, que representa o resultado da conversão A/D, é transferido para um registrador. Uma vez que o valor digital foi lido, a contagem é reiniciada no contador (“reset”) e o processo se repete.

Circuito típico:



Análise gráfica:

O tempo de conversão é definido pela frequência de clock do contador, o número de bits n e pelo tempo de transferência do valor final para o contador. Normalmente o t_{reg} corresponde a dois ciclos do sinal de clock.

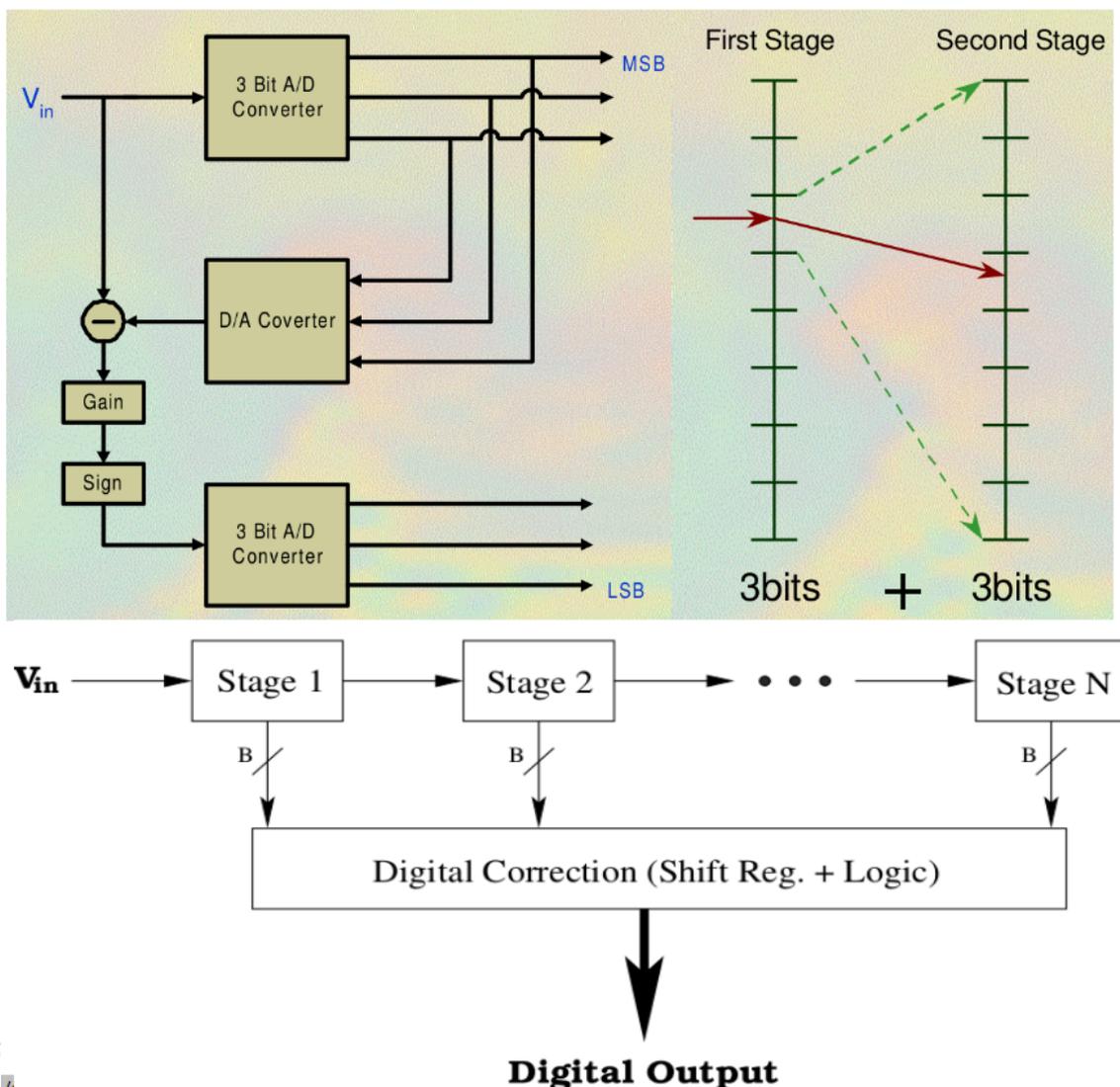
$$T_c = \frac{n}{f_{clk}} + t_{reg}$$

Características principais:

- circuito simples → baixo custo;
- tempo de conversão fixo e inferior ao contador de rampa digital;
- usado em médias e altas resoluções (8 – 16 bits);
- é o tipo mais comum encontrado em microcontroladores

Conversor A/D tipo *pipeline*

O conversor A/D do tipo “pipeline” (também chamado de quantizador de sub-intervalos) utiliza duas ou mais etapas de conversão em cascata. Primeiro, é feita uma conversão dos bits mais significativos. Em uma segunda etapa, é efetuada uma diferença analógica entre o sinal de entrada e a saída da primeira etapa passada por um conversor D/A. Esta diferença é então amplificada e novamente digitalizada, gerando um conjunto de bits menos significativos, num processo semelhante ao conversor A/D de aproximações sucessivas. Este processo pode ser repetido N vezes, até que seja obtida a resolução desejada. O resultado de todas as etapas são combinados gerando o resultado final. Ao combinar os méritos da aproximação sucessiva e dos conversores A/D tipo flash, o A/D pipeline é rápido, tem uma alta resolução, e requer um menor tamanho e menor custo de fabricação. A resolução de cada estágio varia de tipicamente de 1 a 3 bits. Na prática este tipo de conversor está limitado a uma resolução de 14 bits, possuindo taxa de amostragem máxima podendo chegar a 100 MHz. Este tipo de AD é principalmente utilizado em câmeras fotográficas e de vídeo, conversor da frequência intermediária de sistemas de comunicação (receptores de rádio, celulares, TV, etc).



Considerações Gerais Sobre Conversores A/D

- Relação entre a tensão de entrada V_i e o valor digital de saída:

$$V_i = \frac{V_{FS}}{2^n} [2^0 \textit{ bit } 0 + 2^1 \textit{ bit } 1 + \dots + 2^{(n-1)} \textit{ bit } (n-1)] \pm \frac{V_{FS}}{2^{(n+1)}}$$

- V_{FS} : tensão de fundo de escala (normalmente $V_{FS} = V_{ref}$);
- n : número de bits do conversor;
- q : intervalo de quantização = $\frac{V_{FS}}{2^n}$

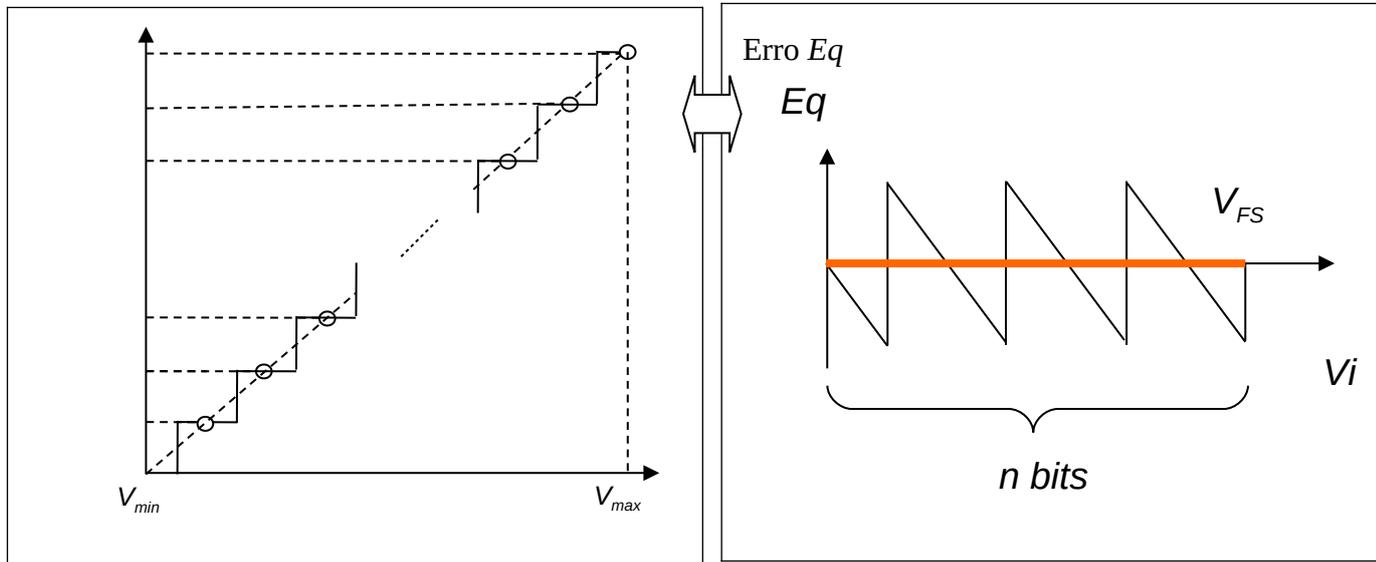
- ◆ Erro de quantização (Eq): intrínseco ao processo de conversão A/D pela discretização dos níveis de tensão de entrada na etapa de comparação:

- ◆ Valor de pico do Eq :

$$Eq = \pm \frac{V_{FS}}{2^{(n+1)}}$$

- ◆ Valor RMS do Eq :

$$Eq_{RMS} = \sqrt{\frac{1}{q} \int_{-q/2}^{+q/2} x^2 dx} = \frac{q}{2\sqrt{3}} [V_{RMS}] = \frac{V_{FS}}{2^{(n+1)}\sqrt{3}}$$



Obs.: note-se que a saída “01” indica que V_i está entre $\frac{1}{4} V_{FS}$ e $\frac{1}{2} V_{FS}$.

Relação sinal ruído (SNR) da conversão A/D:

$$SNR = \frac{V_{i_{RMS}}}{E_{RMS}}$$

Em dB:

$$SNR_{dB} = 20 \log_{10} \frac{V_{i_{RMS}}}{E_{RMS}}$$

Considerando um sinal senoidal com $V_{i_{pp}} = V_{FS}$:

$$V_{i_{RMS}} = \frac{V_{FS}}{2\sqrt{2}}$$



SNR devida unicamente ao ruído de quantização:

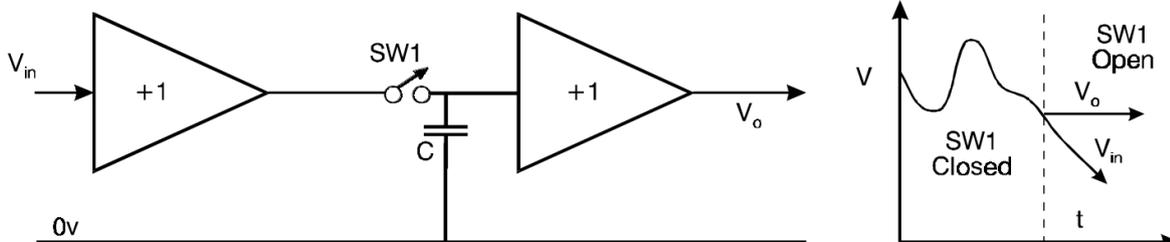
$$SNR = \frac{V_{i_{RMS}}}{E_{q_{RMS}}} = \frac{V_{FS}}{2\sqrt{2}} \frac{2^{n+1}\sqrt{3}}{V_{FS}} = 2^n \sqrt{\frac{3}{2}}$$

$$SNR_{dB} = 20 \log_{10} 2^n + 20 \log_{10} \sqrt{1,5} = 6,02n + 1,76$$

Circuito de Amostragem e Retenção (sample and hold):

A conversão A/D de sinais variáveis no tempo pode gerar problemas de interpretação em conversores rápidos do tipo *pipeline* ou aproximações sucessivas, já que durante o tempo de conversão o sinal de entrada pode estar variando. O circuito de amostragem e retenção elimina este problema pois durante o tempo de conversão o conversor A/D “lê” o sinal de entrada como se o mesmo fosse uma tensão DC. Tomando o circuito da figura abaixo, a amostragem do sinal é feita durante um certo tempo com a chave SW1 fechada (conduzindo), carregando o capacitor com a tensão V_{in} . Em seguida a chave é aberta e as cargas no capacitor são mantidas, fornecendo uma tensão DC de saída V_o igual à tensão do sinal de entrada no instante de tempo imediatamente anterior à abertura de SW1. A tensão V_o é aplicada à entrada do conversor A/D que inicia então o processo de conversão. Durante o tempo de conversão a chave SW1 permanece aberta, mantendo constante a tensão na entrada do A/D (V_o).

A maioria dos conversores A/D atualmente já vêm com um circuito de amostragem e retenção acoplado ao conversor.



“Jitter” de abertura (*aperture jitter*)

O *jitter* de abertura está associado à variação temporal (devido ao ruído de fase no sinal de *clock*) do instante de abertura da chave do circuito do “sample and hold”. Esse erro é zero para a conversor de um nível DC, pequeno em baixas frequências, mas significativo em altas frequências e amplitudes elevadas. Este erro pode ser ignorado se for muito inferior ao erro de quantização. Para que o erro devido ao *jitter* seja igual ou inferior a um LSB, considerando-se um sinal de entrada senoidal, deve-se respeitar:

$$\Delta t_{RMS} \leq \frac{V_{FS}}{2^n V_{i_{RMS}}} \cdot \frac{1}{2\pi f}$$

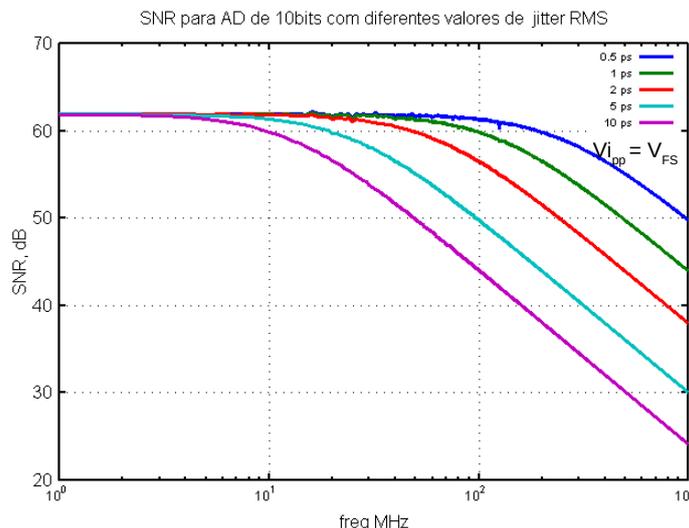
onde:

- V_{FS} : faixa dinâmica do A/D
- $V_{i_{RMS}}$: tensão RMS do sinal de entrada
- n : número de bits do conversor
- f : frequência do sinal de entrada

Erro devido ao *jitter*: $E_{j_{RMS}} = 2\pi f V_{i_{RMS}} \Delta t_{RMS}$

SNR devida unicamente ao *jitter*:

$$SNR = \frac{1}{2\pi f \Delta t_{RMS}} \quad SNR_{dB} = -20 \log_{10}(2\pi f \Delta t_{RMS})$$



Principais ruídos (erros) presentes numa conversão AD:

- ruído de quantização ($E_{q_{RMS}}$)
- ruído do *jitter* de abertura ($E_{j_{RMS}}$)
- ruído analógico ($E_{a_{RMS}}$): relacionado aos diversos ruídos dos circuitos presentes antes da conversão, bem como ruídos provenientes de interferência externas.

Contribuição do ruído total:

Devido ao fato dos diversos ruídos não serem correlacionados, a contribuição total é calculada pela soma quadrática dos ruídos individuais (em termos de amplitude):

$$E_{RMS} = \sqrt{E_{q_{RMS}}^2 + E_{j_{RMS}}^2 + E_{a_{RMS}}^2}$$

Em termos de potência de ruído:

$$P_{tot} = P_q + P_j + P_a$$

Erro de Sub-Amostragem ou “Aliasing”:

Critério de Nyquist: a frequência de amostragem f_s necessária para adquirir sem perdas de informação um sinal alternado com frequência máxima $f_{i_{max}}$ deve ser:

$$f_s \geq 2f_{i_{max}}$$

Quando a frequência de amostragem do conversor A/D não respeita o critério de Nyquist ($f_s < 2f_{i_{max}}$), ocorre uma espécie de batimento entre as duas frequências, fenômeno conhecido como *aliasing*.

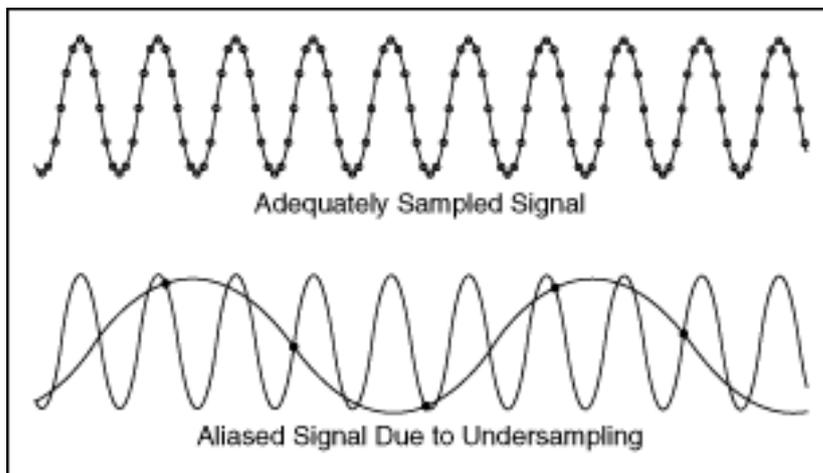
Considerando um sinal de entrada senoidal de frequência f_i , o resultado da conversão não corresponde ao original e possui uma frequência f' igual a:

$$f' = |f_i - i \cdot f_s|$$

sendo f_i a frequência do sinal original; i inteiro ≥ 1

“Aliasing”

$$f_s > 2f_i$$



$$f_s < 2f_i$$

$$f' = |f - i \cdot f_s|$$

Este fenômeno leva a erros na análise do sinal amostrado e deve ser evitado, utilizando-se na prática uma frequência de amostragem $f_s > 4 f_{i_{max}}$. A frequência máxima que pode ser amostrada também é denominada frequência de Nyquist.

Exercício 1.8:

a) Para um conversor A/D de 10 bits, com *jitter* de abertura de 1 ns, determine a máxima frequência do sinal de entrada para que o erro do *jitter* seja inferior a 1/2 LSB. Considere $V_{i_{pp}} = V_{FS}$.

b) Considerando apenas o ruído de quantização de um conversor A/D, determine o número de bits necessário para se obter uma relação sinal-ruído > 70 dB, para as seguintes condições da tensão de entrada:

i) $V_{i_{pp}} = V_{FS}$

ii) $V_{i_{pp}} = V_{FS}/2$