

TE 130

PROJETO DE CIRCUITOS INTEGRADOS DIGITAIS

Oscar C. Gouveia Filho
Departamento de Engenharia Elétrica
UFPR

URL: www.eletrica.ufpr.br/ogouveia
E-mail: ogouveia@eletrica.ufpr.br

OBJETIVOS

- Entender como são projetados circuitos integrados (VLSI)
 - Diferentes estilos de projeto e tecnologias
 - Níveis de abstração e hierarquia
 - Particionamento e arquitetura
- Aprender a projetar CIs digitais
 - Lógica CMOS estática
 - Lógica sequencial
 - Fluxo de dados e memórias
 - Projeto para teste
- Aprender a usar ferramentas de CAD para projeto de CI
 - Simulação elétrica
 - Simulação lógica
 - Noções de HDL
 - Layout de CI
- Se divertir

PRÉ-REQUISITOS

- TE050 - Eletrônica Digital I
 - Álgebra Booleana
 - Simplificação de funções
 - Mapas de Karnaugh
 - Portas lógicas
 - Circuitos combinacionais e sequenciais

BIBLIOGRAFIA

- J. Rabaey , A. Chandrakasan , B. Nikolic , “Digital Integrated Circuits: A Design Perspective” 2nd Edition, Prentice Hall, ISBN 0131207644, January 2003.
- Weste, N. H. E., and Harris, D. “CMOS VLSI Design” 3rd Edition, ISBN 0-321-14901-7, Addison-Wesley, 2005.
- V. A. Pedroni, "Eletrônica Digital Moderna e VHDL", Elsevier, 2010, ISBN 978-85-352-3465-7.

pg. web da disciplina: <http://www.eletrica.ufpr.br/ogouveia/te130>

AVALIAÇÃO

- Exercícios de laboratório – 40 %
 - Devem ser entregues sempre na semana seguinte
 - Devem conter:
 - Descrição do projeto
 - Esquemáticos
 - Gráficos de simulação
 - Layout (quando for o caso)
- Projeto em grupos de 2-3 alunos – 60 %
(Os melhores serão enviados para fabricação - MOSIS)
 - Relatório
 - Descrição do circuito projetado
 - Diagrama em blocos
 - Esquemático e layout completos
 - Prova de que funciona (resultados de simulações lógica e elétrica)
 - Estratégia de teste
 - Apresentação
 - 15 min
 - Slides ppt ou pdf

CAPÍTULO 1

INTRODUÇÃO E TENDÊNCIAS

Baseado nos slides de Peter Cheung
Department of Electrical & Electronic Engineering
Imperial College London

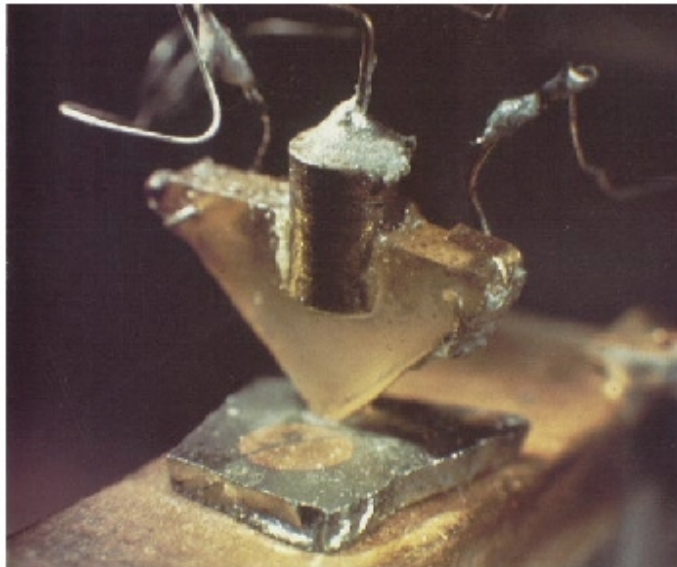
Oscar C. Gouveia Filho
Departamento de Engenharia Elétrica
UFPR

URL: www.eletrica.ufpr.br/ogouveia
E-mail: ogouveia@eletrica.ufpr.br

Histórico

- Tecnologia

- Invenção do transistor (Bardeen, 1947)
- Transistor bipolar (Schokley, 1949)
- Família lógica TTL (Transistor-Transistor Logic, 1962)
- Família lógica ECL (Emitter-Coupled Logic, 1974)
- Lógica NMOS (Intel 4004 e 8080)
- Lógica CMOS (atual)

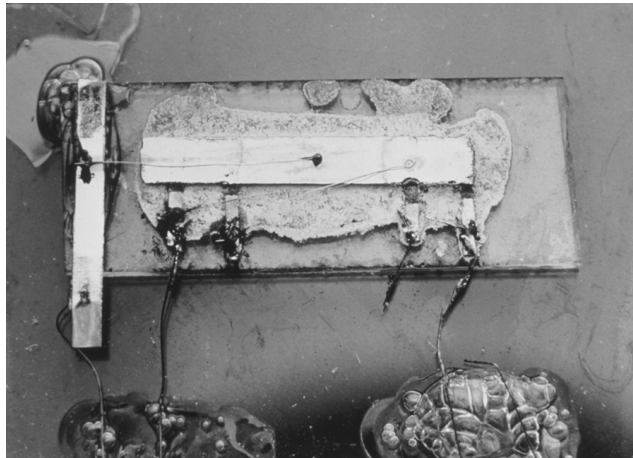


1º Transistor (Bell Labs, 1947)

Histórico

- Integração

- 1º Circuito Integrado (Kilby, 1958)
- small-scale integration (SSI, ~10 gates per chip, 60's)
- medium-scale integration (MSI, ~100–1000 gates per chip, 70's)
- large-scale integration (LSI, ~1000–10,000 gates per chip, 80's)
- very large-scale integration (VLSI, ~10,000–100,000 gates per chip, 90's)
- ultra-large scale integration (ULSI, ~1M–10M gates per chip)



➤ 1º Circuito Integrado (Kilby, 1958)
Texas Instruments

CIRCUITOS INTEGRADOS DEDICADOS

ASIC – Application-Specific Integrated Circuit

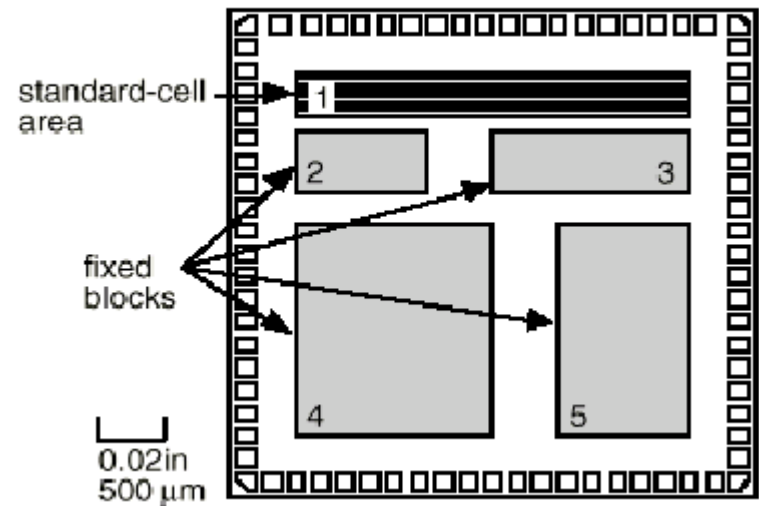
- Classificação em função da metodologia de projeto
 - Full Custom
 - Standard Cells
 - Gate Array

Full-custom ASIC

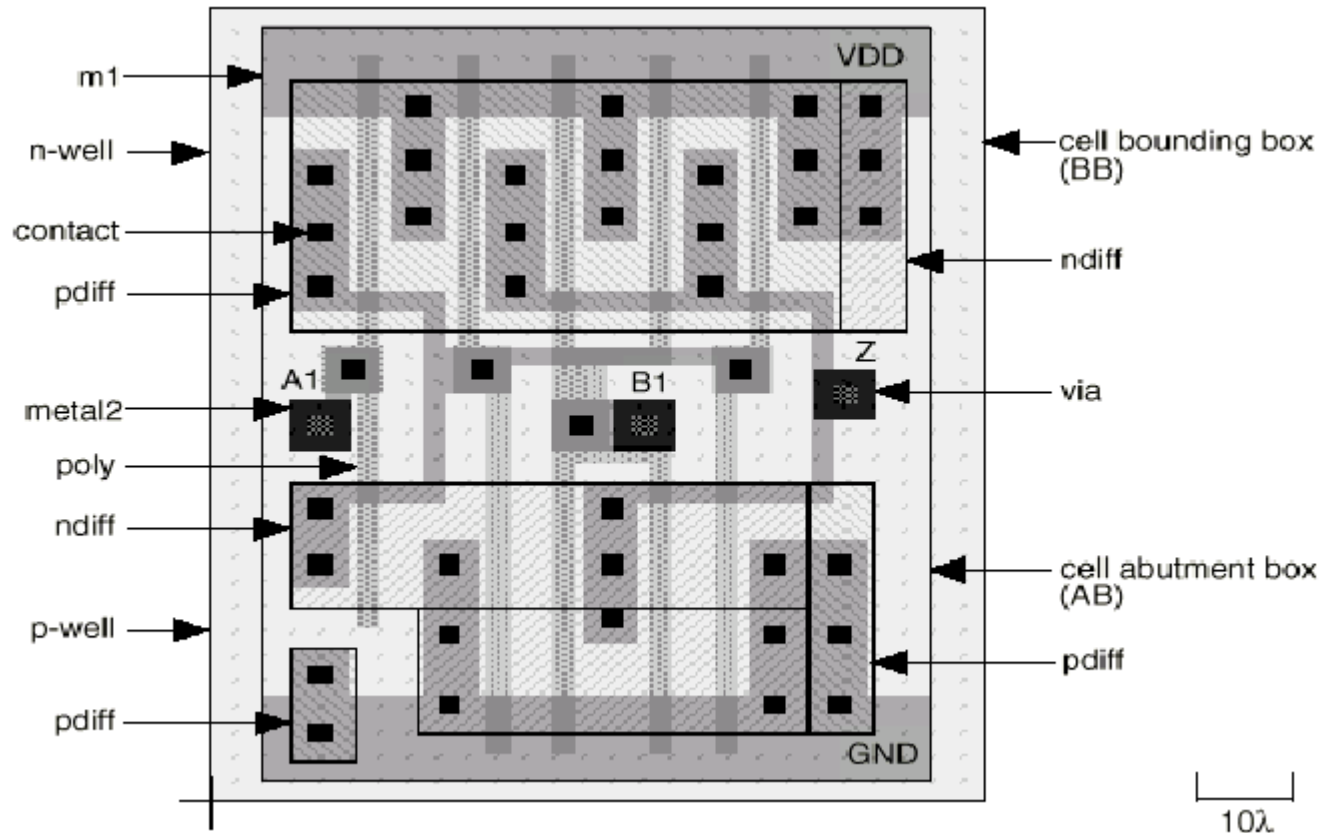
- Todas as máscaras são personalizadas (*customizadas*) em um *full-custom* ASIC.
- Só faz sentido projetar um CI *full-custom* se não houver bibliotecas disponíveis.
- Um CI *full-custom* tem o mais alto desempenho e o menor custo (menor tamanho da pastilha) com as desvantagens de um maior tempo de projeto, maior complexidade e maior risco.
- Microprocessadores são exclusivamente *full-custom*, mas os projetistas estão cada vez mais indo em direção a um projeto *semicustom* também nesta área.
- Outros exemplos de CIs *full-custom* são circuitos que requerem alta tensão (automotivos), circuitos mistos analógico/digital (comunicações), sensors e atuadores.

Standard-cell ASIC

- O Circuito pode conter apenas *standard-cells* ou *standard-cells* junto com outros blocos de circuito.
- Tempol de projeto menor que no caso *full-custom*.
- Todas as máscaras são personalizadas (*customizadas*) em um *full-custom* ASIC.



Exemplo de standard-cell



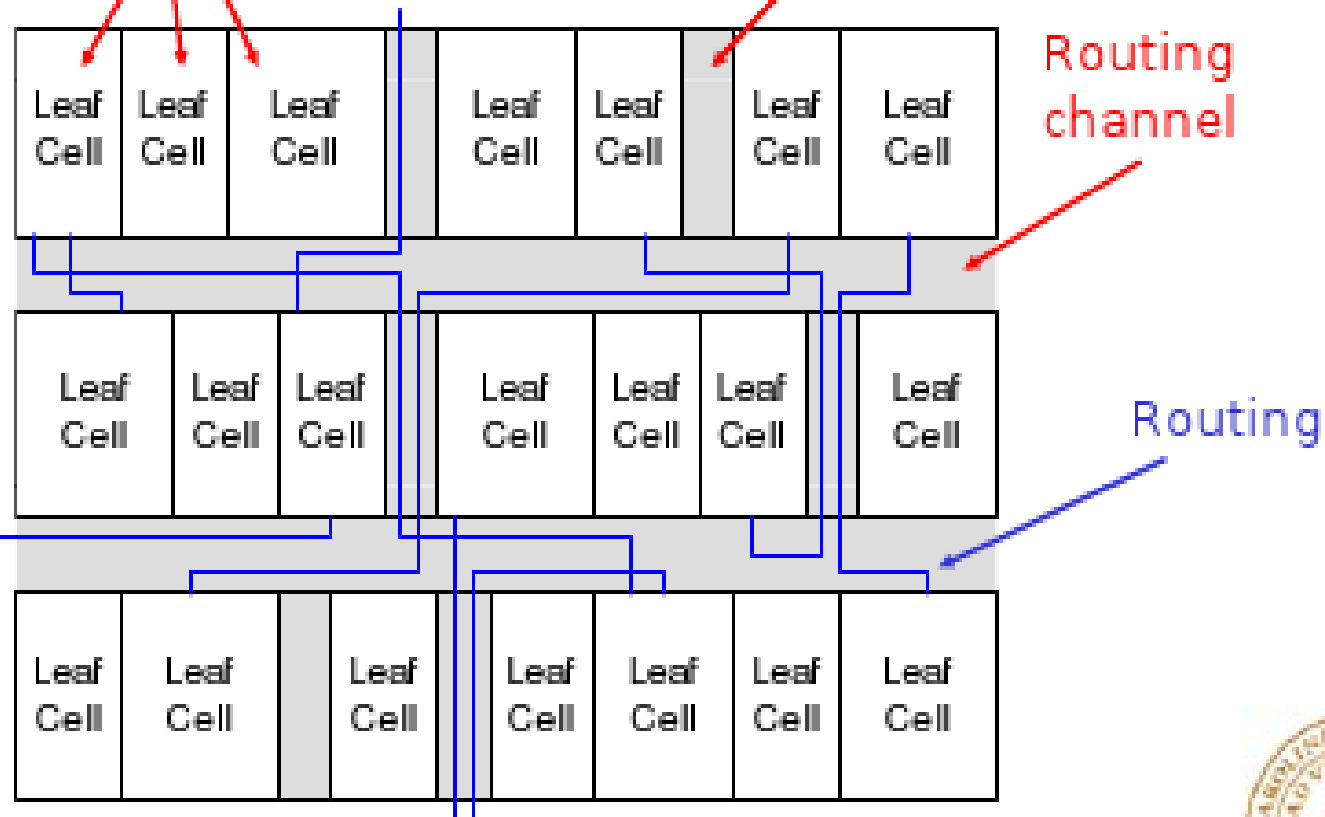
Place & Route (2-3 Metal Layers)

Tools:

- Placer
- Router

Placement of library cells

Routing cell



www.eit.lth.se/index.php?id=241&ciuid=260&coursepage=898&L=1



Place & Route (3-10 Metal Layers)

No
Routing
channels
needed

Placement of library cells

Routing

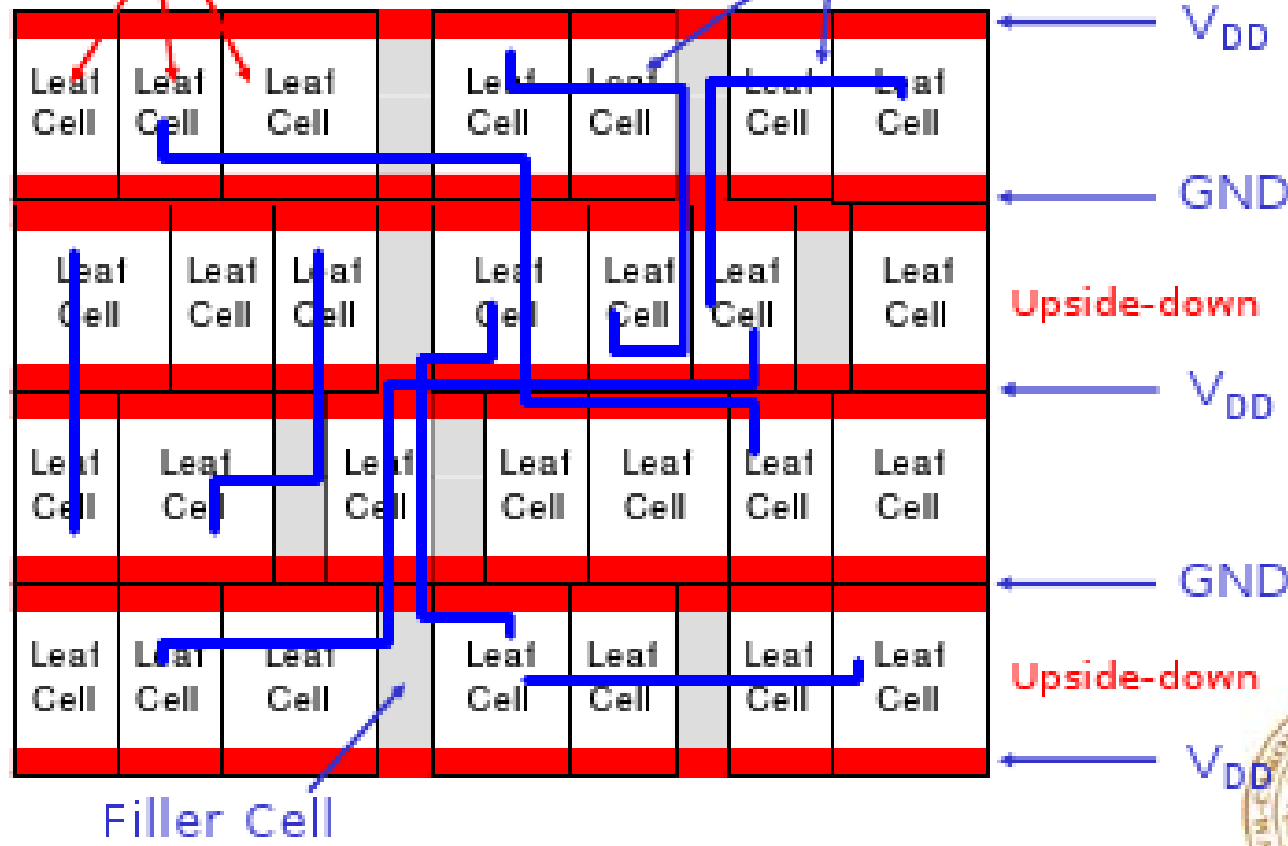


PHOTO: MICROGRAPHY OF LITH 500



www.eit.lth.se/index.php?id=241&ciuid=260&coursepage=898&L=1

Gate Array

- Apenas as interconexões são personalizadas.

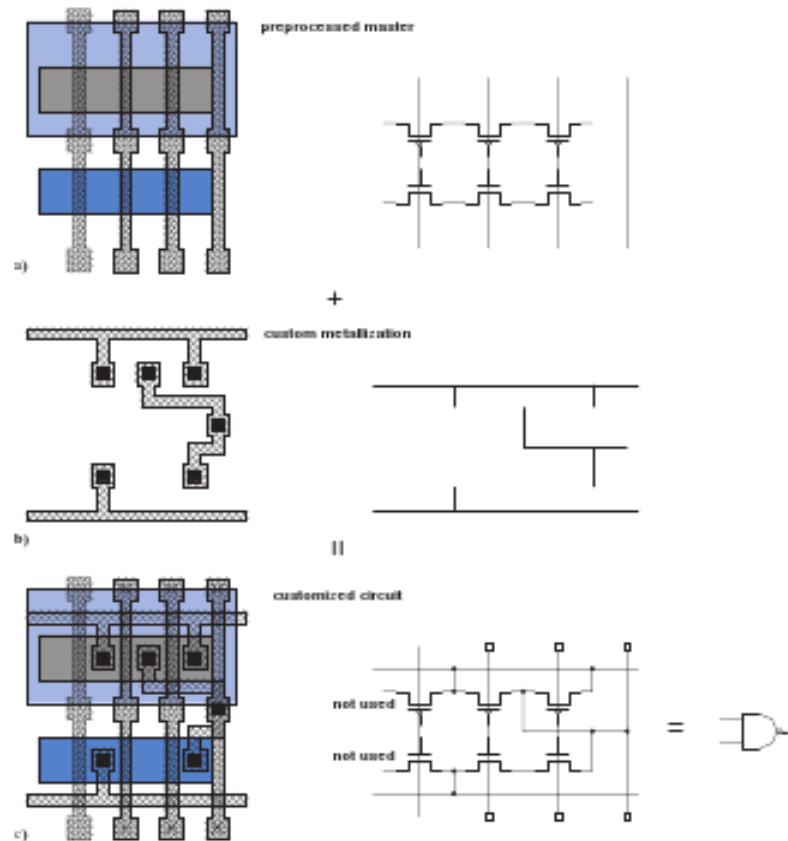


Fig. 1.5 Customization of a gate array site (simplified). A six-pack of prefabricated MOS transistors (a), metal pattern with contact openings (b), and finished 2-input NAND gate (c).

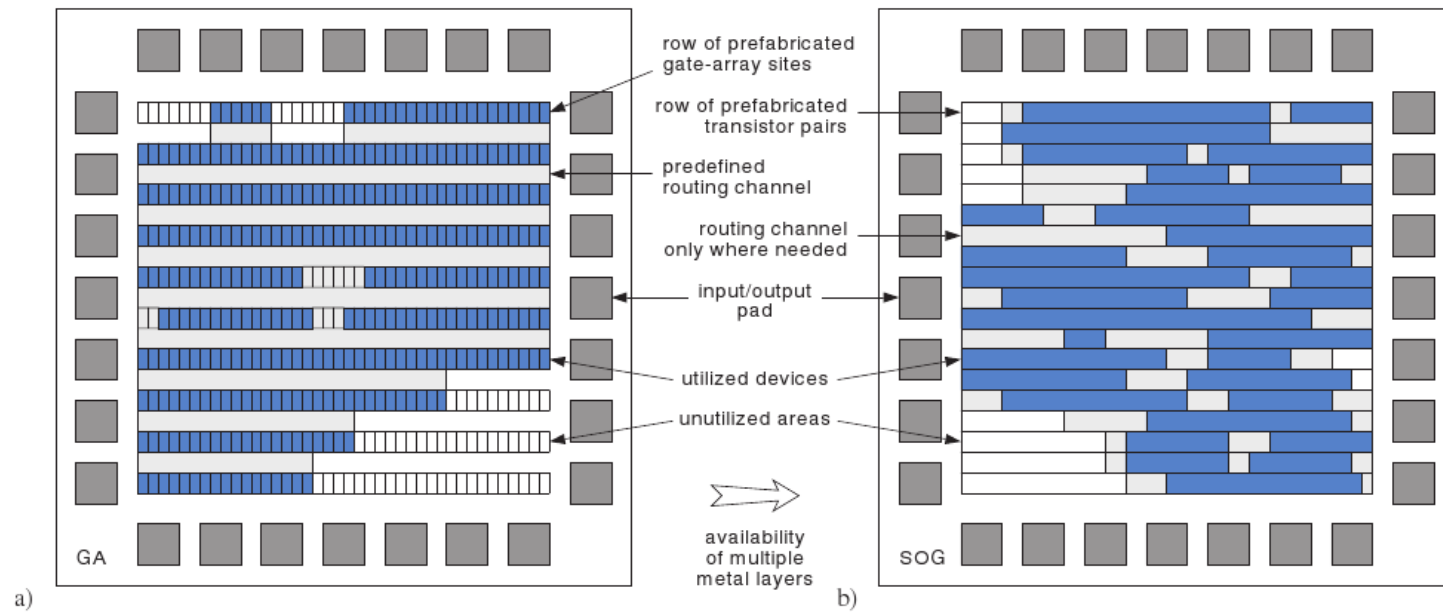
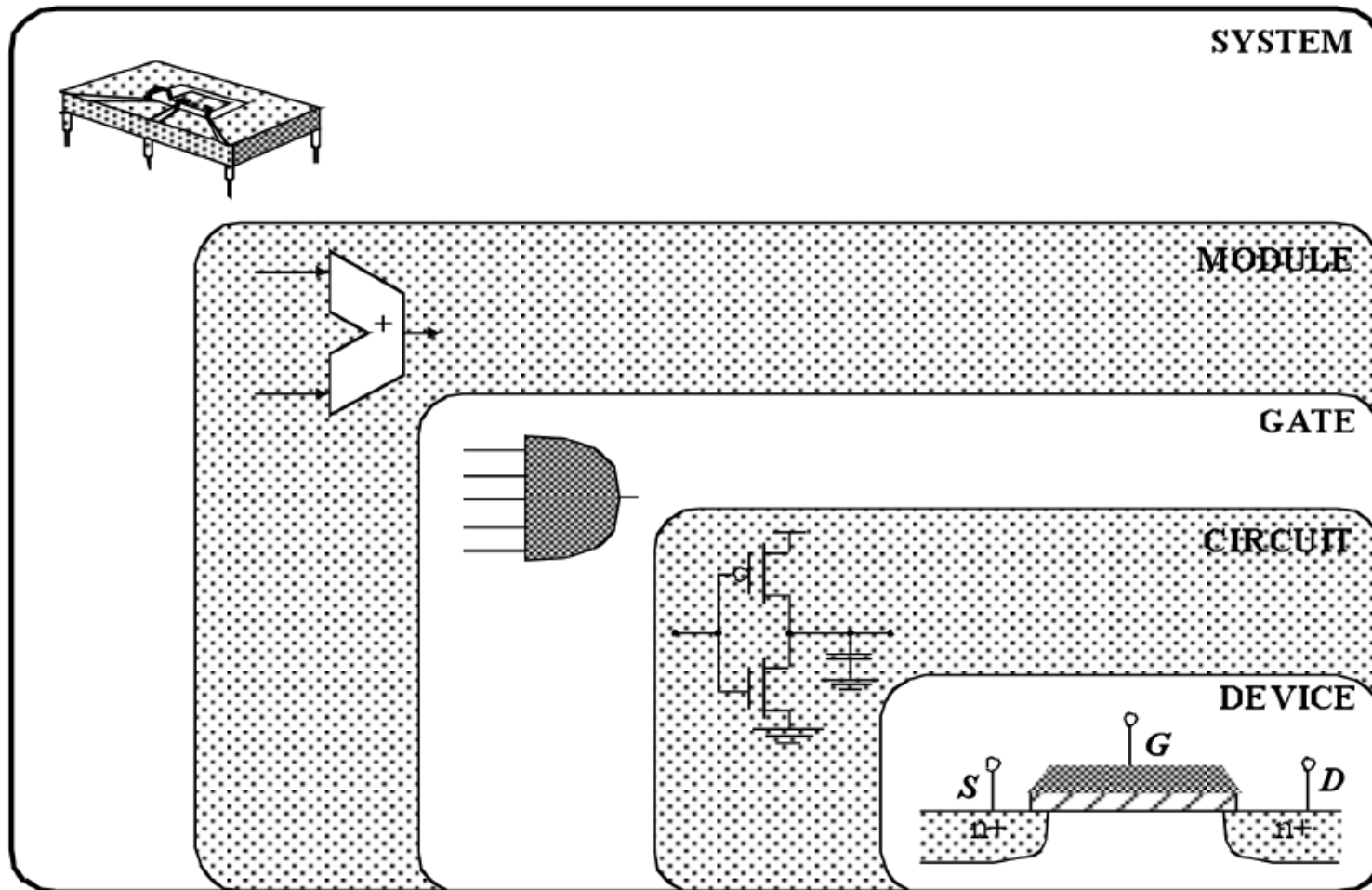


Fig. 1.6 Floorplan of channeled gate-array (a) versus channelless semi-custom circuits (b).

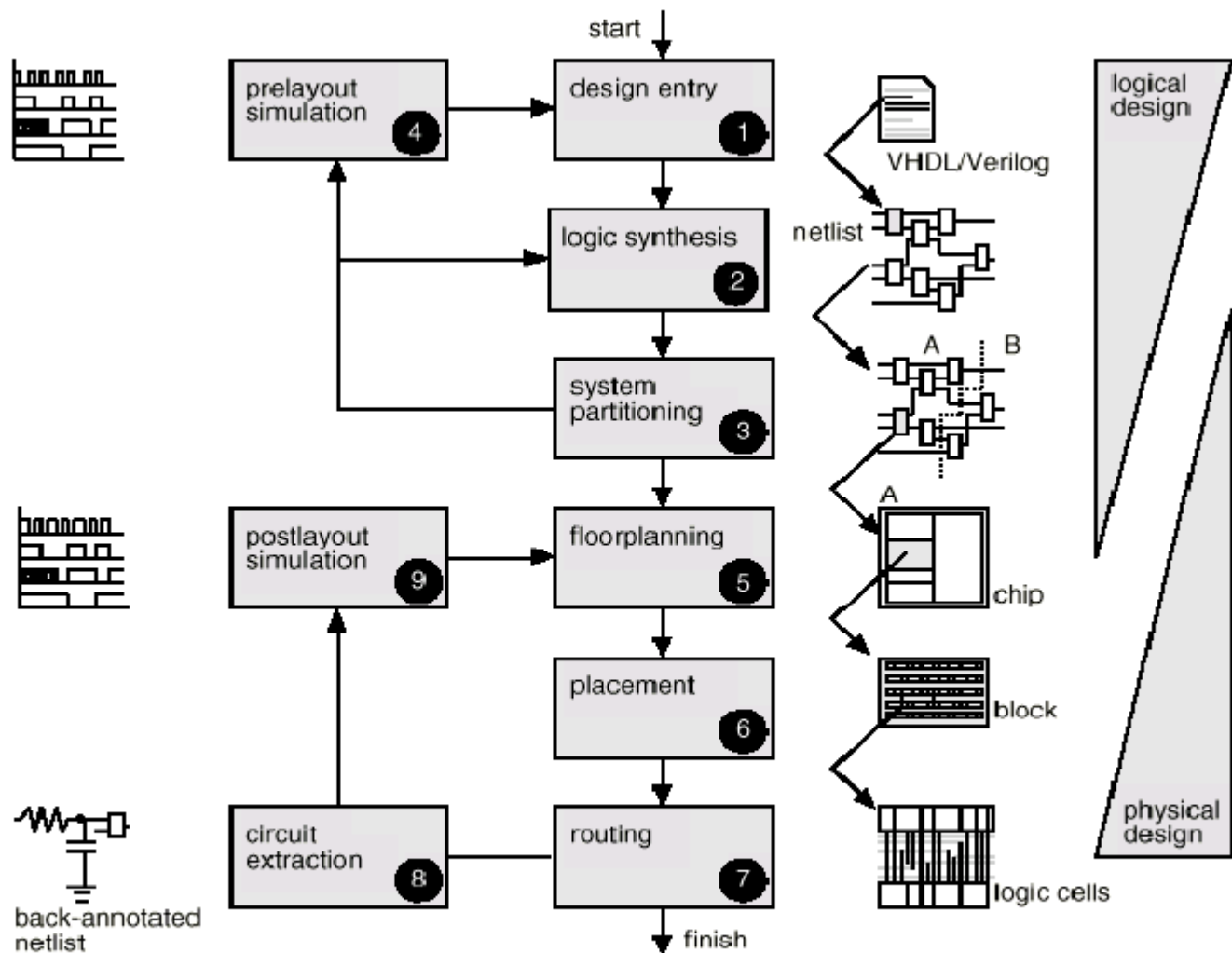
Níveis de Abstração



Fluxo de Projeto

Fluxo de projeto é a sequência de etapas para o projeto de um **ASIC**.

- **Projeto:** Hardware Description Language (HDL) ou esquemático.
- **Síntese Lógica:** Produz um *netlist* – células lógicas e suas interconexões.
- **Partição:** Divide um grande sistema em blocos.
- **Simulação pré-layout:** Verifica se o projeto funciona corretamente
- **Floorplanning:** Posiciona os blocos do sistema no chip.
- **Alocação:** Aloca as células em um bloco.
- **Roteamento:** Faz as conexões entre células e blocos.
- **Extração:** Determina as resistências e capacitâncias das interconexões.
- **Simulação pós-layout:** Verifica se o projeto ainda funciona após a inclusão das cargas de interconexão.

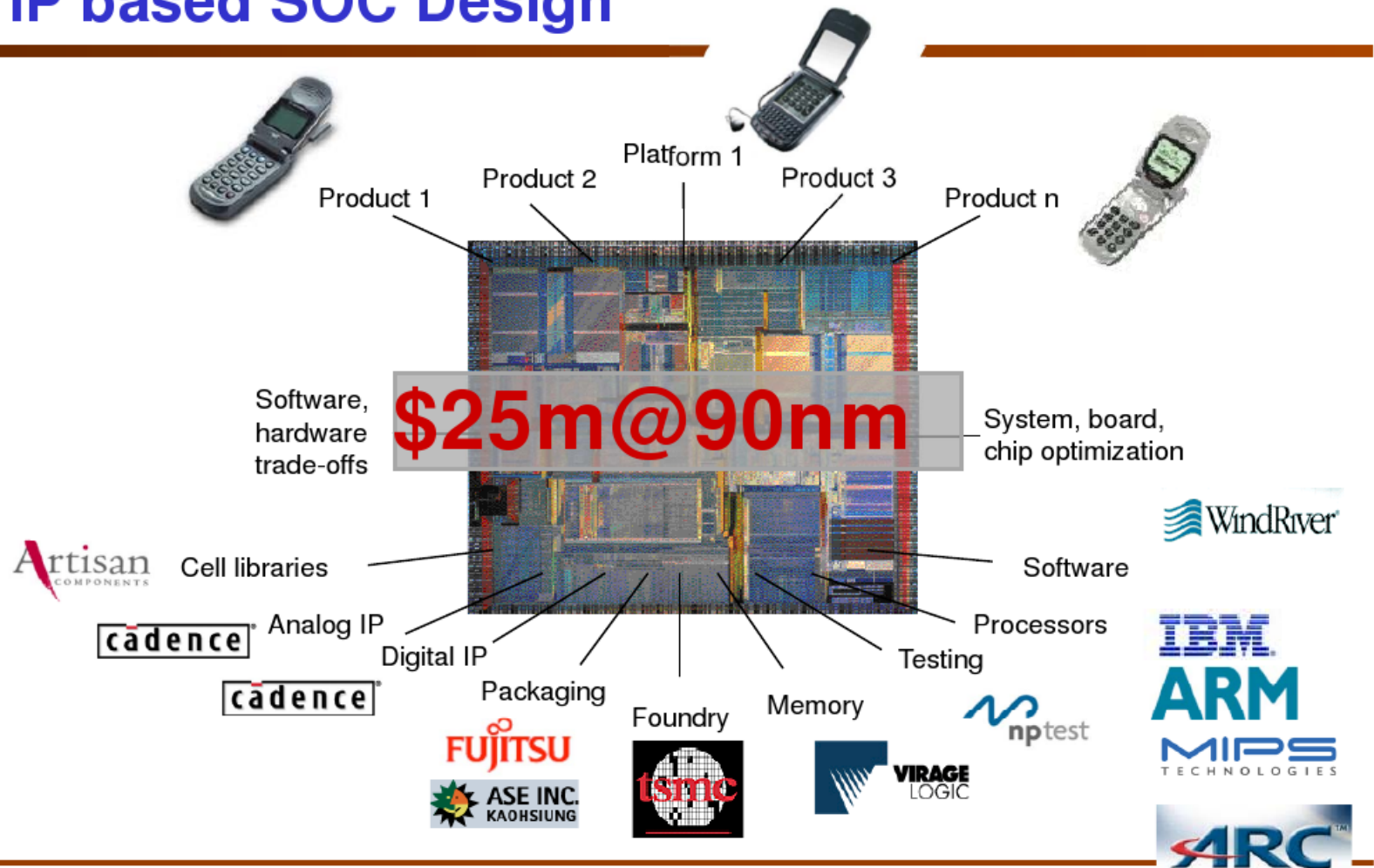


ASIC design flow. Steps 1–4 are **logical design**, and steps 5–9 are **physical design**

Biblioteca de Células

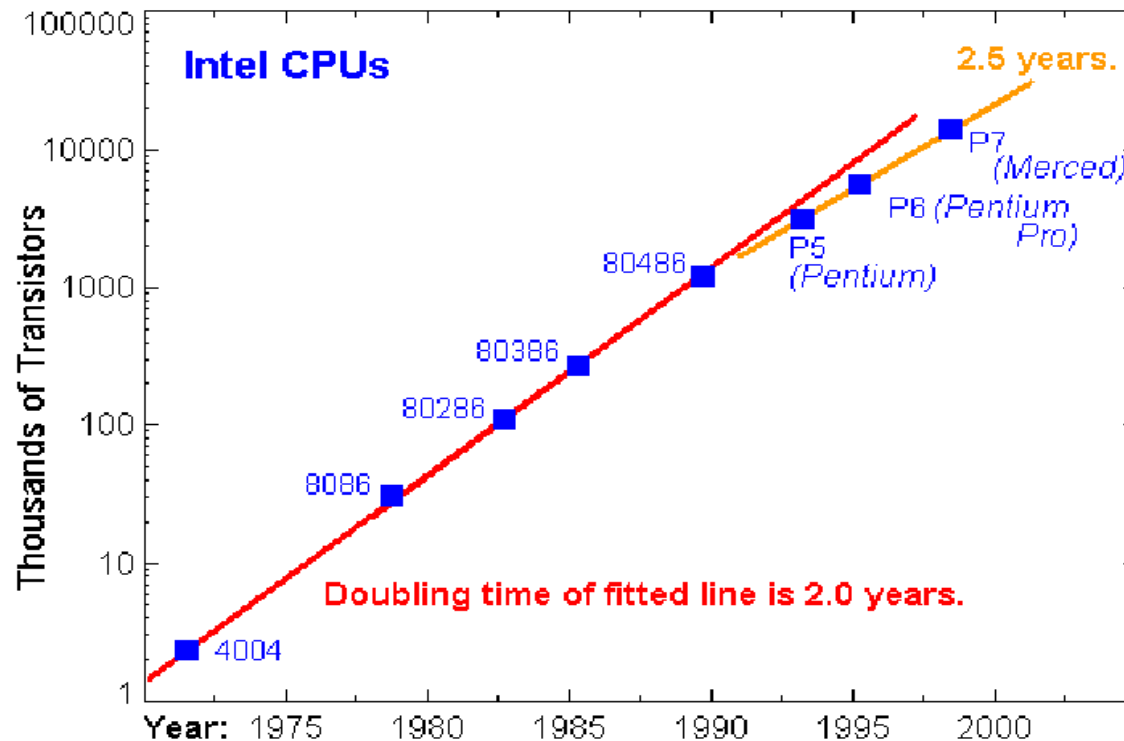
- Usar um *design kit* de um fornecedor de ASIC.
- Comprar uma biblioteca de uma empresa de projeto (IP).
- Projetar sua própria biblioteca.

IP based SOC Design



Desafios e Tendências

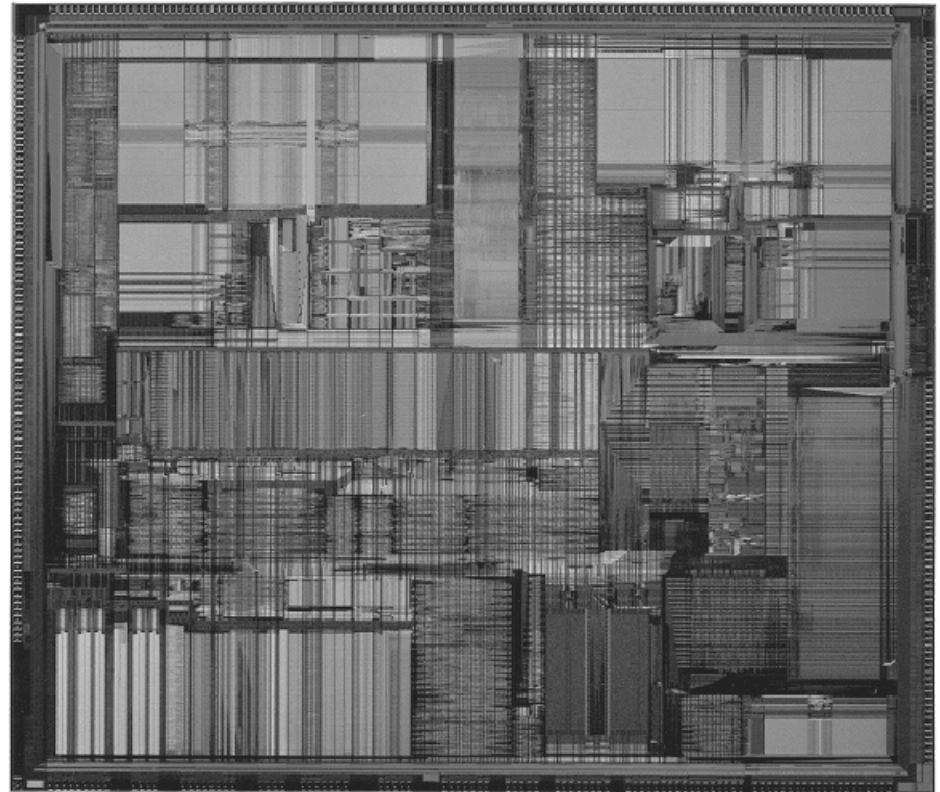
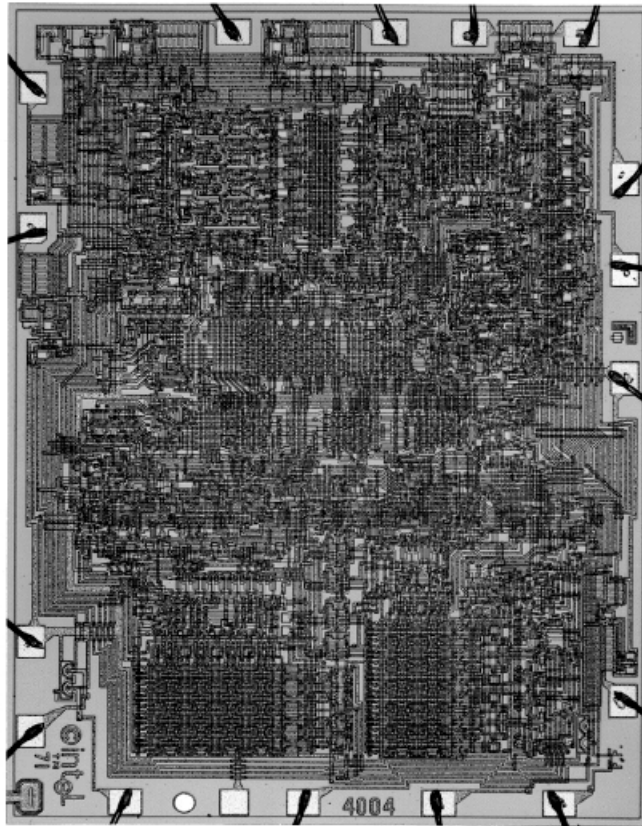
Lei de Moore – Gordon Moore, co-fundador da Intel observou que a densidade de transistores em um CI dobra a cada 12 meses (18 meses).



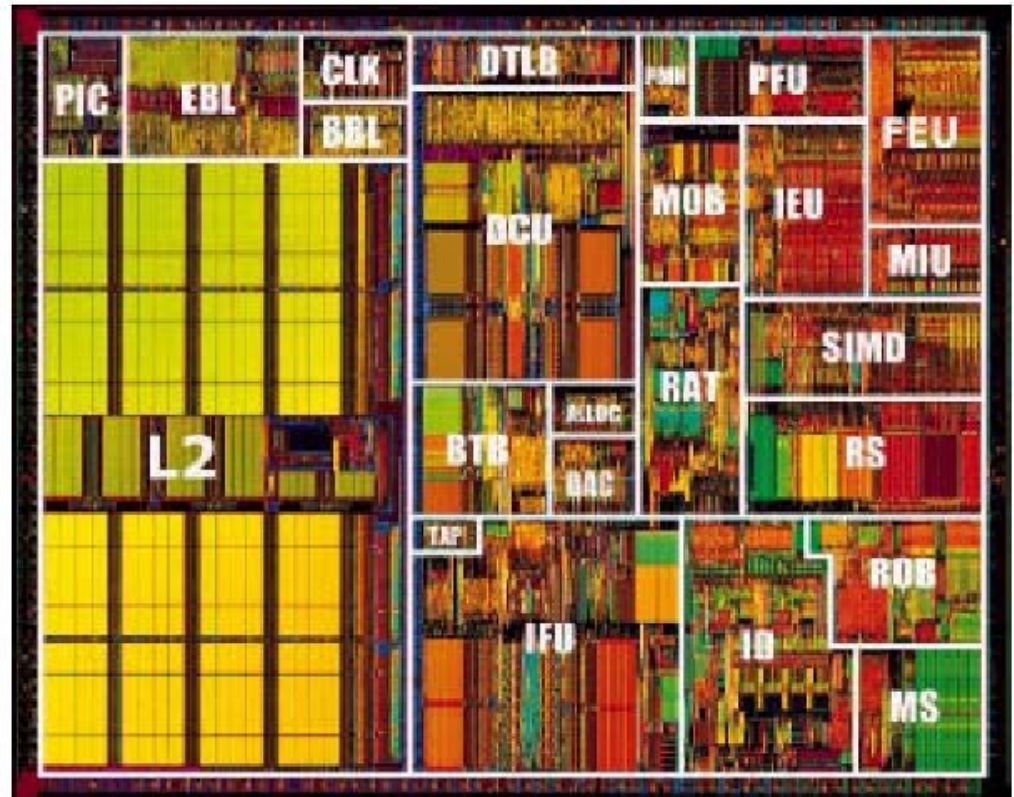
Source: Intel

	Year of introduction	Transistors
4004	1971	2,250
8008	1972	2,500
8080	1974	5,000
8086	1978	29,000
286	1982	120,000
386™ processor	1985	275,000
486™ DX processor	1989	1,180,000
Pentium® processor	1993	3,100,000
Pentium II processor	1997	7,500,000
Pentium III processor	1999	24,000,000
Pentium 4 processor	2000	42,000,000

Intel Microprocessor - 4004 & Pentium II

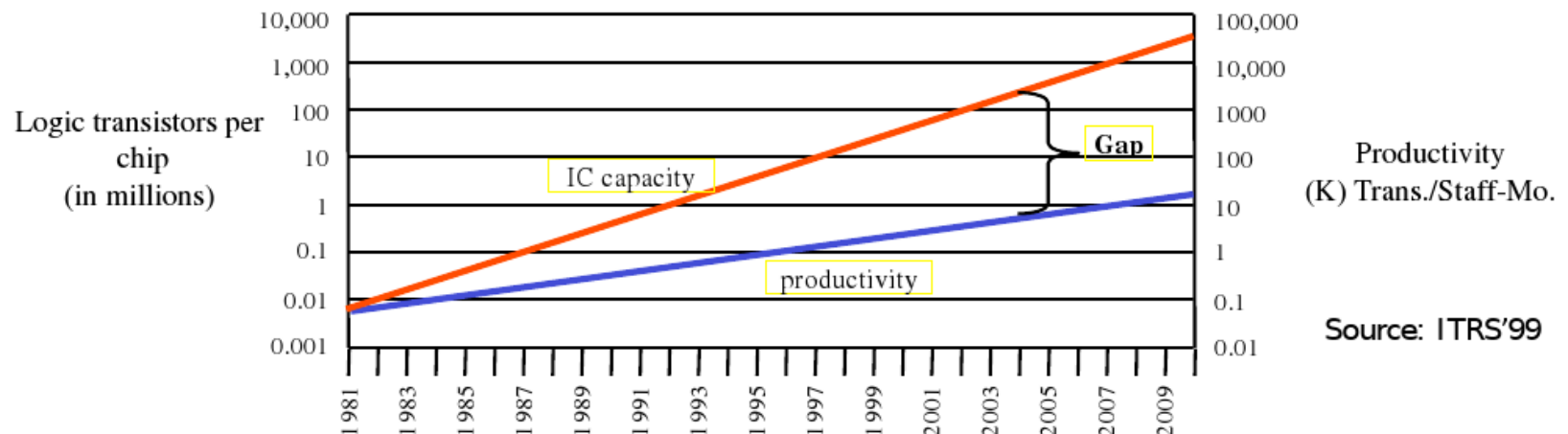


- ◆ Intel Pentium III
- ◆ 0.18 micron process
- ◆ 28 million transistors



Very Few Companies Can Design High-End ICs

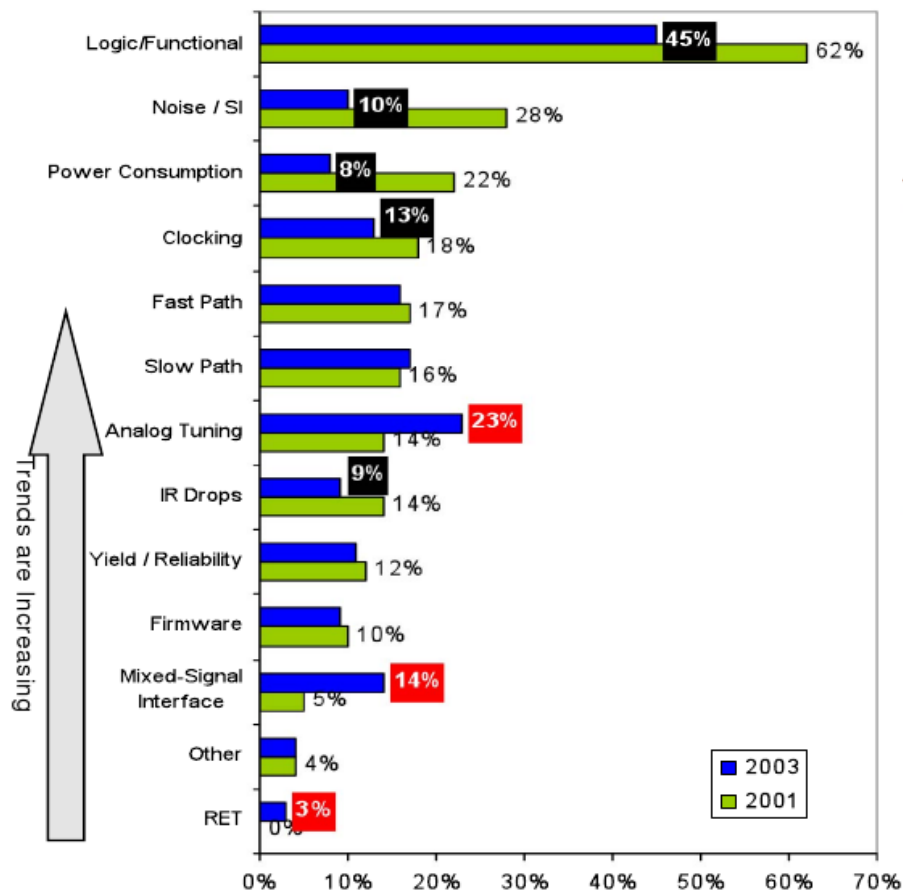
Design productivity gap



- ◆ Designer productivity growing at slower rate
 - 1981: 100 designer months → ~\$1M
 - 2002: 30,000 designer months → ~\$300M

Less First Silicon Success

and the Changing Rate of Failures

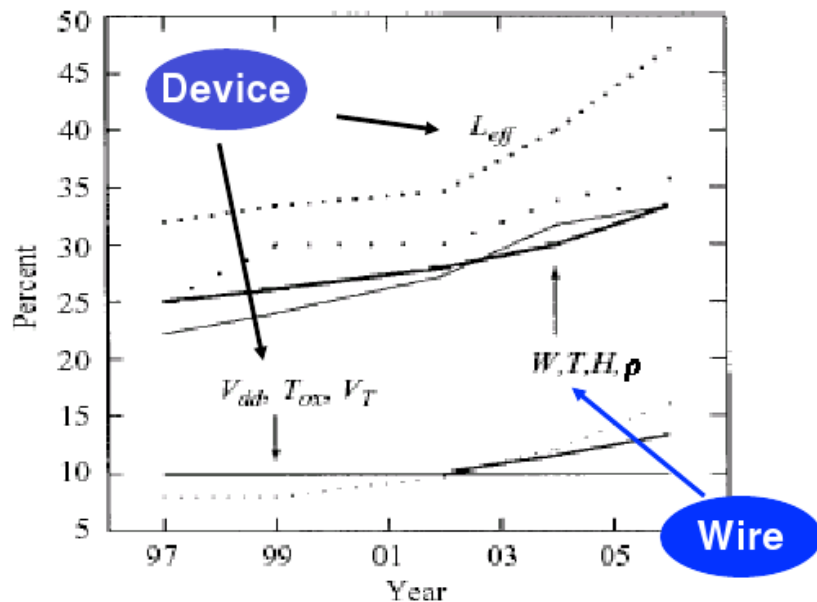


First silicon success rates declining

- **First Silicon OK**
48% in 2000
39% in 2002
34% in 2003
- **Third Silicon OK**
>90% in 2000
>70% in 2002
>60% in 2003

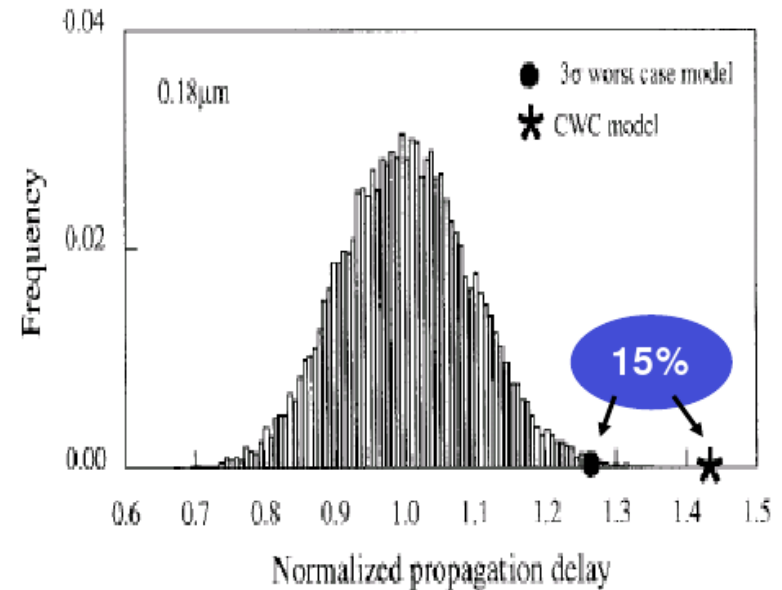
Collett International Research:
2000, 2002 Functional Verification Studies;
2003 Design Closure Study, 01/04

Process Variability Dealing with Uncertainty



Source: "Models of process variations in device and interconnect" by Duane Boning, MIT & Sani Nassif, IBM ARL.

16-bit adder Critical Path delay 0.18 μ m



"Impact of Unrealistic Worst Case Modeling on the Performance of VLSI circuits in Deep Submicron Region CMOS Technologies"- A.Nardi, A.Neviani, E.Zanoni, M.Quarantelli, *IEEE '99*

Silicon in 2009

Die Area: 2.5x2.5 cm
Voltage: 0.6 V
Technology: 0.07 μm

	Density	Access Time
	(Gbits/cm ²)	(ns)
DRAM	8.5	10
DRAM (Logic)	2.5	10
SRAM (Cache)	0.3	1.5

	Density	Max. Ave. Power	Clock Rate
	(Mgates/cm ²)	(W/cm ²)	(GHz)
Custom	25	54	3
Std. Cell	10	27	1.5
Gate Array	5	18	1
Single-Mask GA	2.5	12.5	0.7
FPGA	0.4	4.5	0.25