

## Simulação Lógica Usando Mentor Graphics

1. Abra seu projeto e crie uma nova biblioteca.
2. Clique nessa biblioteca. Na barra de menu escolha “file – import – Verilog”. Na janela que se abre marque “Verilog/Symbol”. Em “Verilog netlist” coloque “/opt/mentor/adk3\_1/technology/adk.v”. Clique “import”. Aguarde que os modelos sejam compilados. Em seguida se abrirá a janela “Symbol Creation Options”. Para acelerar o processo marque “use these settings for remaining models”, você poderá editar os símbolos depois, se desejar. Algumas células contém erros, aparecerá então uma janela com a mensagem “problem detected”. Clique close e continue a importação. Ao final você terá uma biblioteca de células em verilog. Todas as células terão duas vistas “symbol” e “Verilog(REF)”.
3. Se você quiser editar o símbolo de alguma célula, clique duas vezes em “Symbol”. Faça as mudanças que desejar. Se você quiser apagar “vl\_logic”, para deixar seu esquemático mais limpo, clique no pino correspondente com o botão direito, selecione “properties – edit”, na janela selecione “vhdl\_pin\_type” e apague o conteúdo de “Value”. Após modificar o símbolo saia do “DA-IC”. Na célula modificada “Verilog(REF)” aparecerá em vermelho. Clique com o botão da direita sobre “Verilog(REF)” e selecione “check HDL”. A célula será recompilada.
4. Agora você pode usar essas células em seu esquemático em nível de portas. Para isso volte para a biblioteca que contém seu projeto e crie um novo esquemático. Siga os passos seguintes: a) coloque os símbolos desejados no esquemático; b) faça as interligações necessárias; c) coloque quantas portas de saída forem necessárias; d) coloque apenas uma porta de entrada e de a ela o nome (comando: name net) IN[0:n-1], onde n é o número de entradas, por exemplo, se você tem 3 entradas o nome será IN[0:2]; e) na barra lateral esquerda selecione “add bus” e ligue à porta IN[0:2], este será o seu barramento de dados”; f) na barra lateral esquerda selecione “add wire” e ligue a primeira entrada ao barramento, aparecerá uma janela pedindo o valor do bit, coloque 0. Repita para todas as entradas, no caso de 3 entradas os bits serão 0, 1, 2; g) “check and save” seu esquemático. O esquemático está pronto para simulação.
5. Aperte no triângulo verde, na barra lateral esquerda, para entrar no modo de simulação. Escolha “New Configuration”, selecione “Digital\_Simulation” e de um nome á nova configuração. Aperte OK duas vezes.
6. No modo de simulação deve ser feito o “setup” do simulador. Na barra lateral direita clique em “session – simulator/viewer”, selecione ModelSim e em seguida “Advanced Setup”, selecione então “ns” e “1”. O visualizador será o EZWave. OK duas vezes. Novamente na barra lateral direita, selecione “Model Selector”, na janela marque Verilog, para cada célula. Feche a janela. Clique “Netlist” e depois “Run”. Se abrirão duas janelas “EZWave e ModelSim”.
7. O simulador tem 3 painéis: sim, objects e transcript. Em “objects” clique com o botão direito em IN e escolha “add to wave – selected signals”. Repita para as saídas. Os sinais aparecerão no EZWave.
8. Simulação: a) em “objects” clique com o botão direito na entrada 3, escolha clock e período 2 ( a unidade é nS, escolhida no setup, o período deve ser maior que a unidade escolhida); faça o mesmo para as outras entradas com períodos múltiplos de 2; b) na barra superior escolha a duração da simulação em ns; c) clique “run”; d) vá para o EZWave para ver as formas de onda. Para alterar as condições de entrada siga o mesmo procedimento, os resultados serão colocados na sequencia temporal no EZWave. Por exemplo, se você simulou por 20 ns a segunda simulação estará entre 20ns e 40 ns.

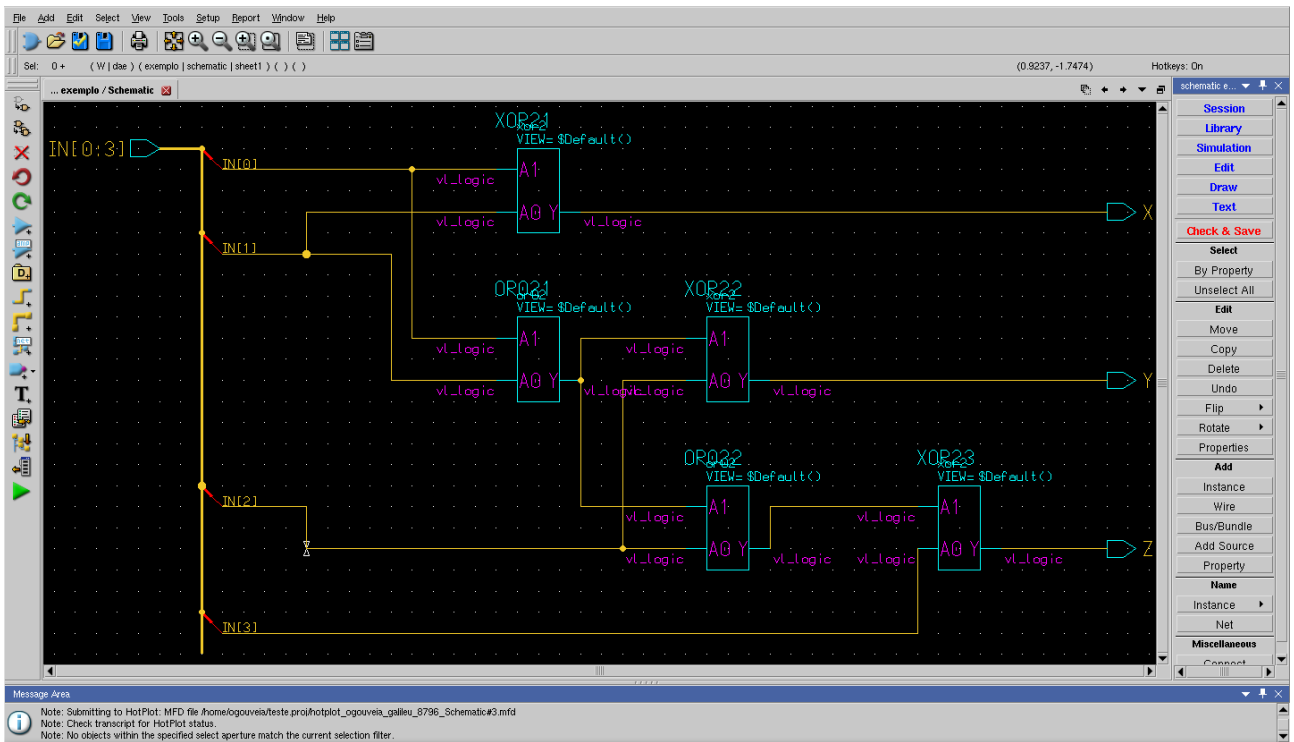


Figura 1. Exemplo de esquemático para simulação digital

The screenshot shows the ModelSim simulation environment. The top menu bar includes File, Edit, View, Compile, Simulate, Add, Structure, Tools, Layout, and Window. The main workspace is divided into several panes:

- Instance:** A tree view showing the design hierarchy. It includes the top-level 'exemplo' module and its sub-modules: OR022, OR021, XOR23, XOR22, XOR21, and a foreign component #vsim\_capacity#.
- Objects:** A table listing the objects in the simulation. The table has columns for Name, Value, Kind, and Mode.
 

Name	Value	Kind	Mode
X	S11	Net	Out
Y	S10	Net	Out
Z	S10	Net	Out
IN	1011	Net	In
[0]	S11	Net	In
[1]	S11	Net	In
[2]	S11	Net	In
[3]	S11	Net	In
N\$16	S11	Net	Internal
N\$20	S11	Net	Internal
- Transcript:** A window showing the simulation commands and their execution status.
 

```

(sim:/exemplo:Y) \
(sim:/exemplo:Z) \
Force -freeze (sim:/exemplo:IN[3]) 1 0, 0 (1 ns) -r 2
Force -freeze (sim:/exemplo:IN[2]) 1 0, 0 (2 ns) -r 4
Force -freeze (sim:/exemplo:IN[1]) 1 0, 0 (4 ns) -r 8
Force -freeze (sim:/exemplo:IN[0]) 1 0, 0 (8 ns) -r 16
VSIM 7> run
VSIM 8>
      
```

The status bar at the bottom indicates the current simulation time is 20 ns with a delta of 1 ns, and the active design unit is sim/exemplo.

Figura2. Tela do ModelSim para o exemplo da Figura 1

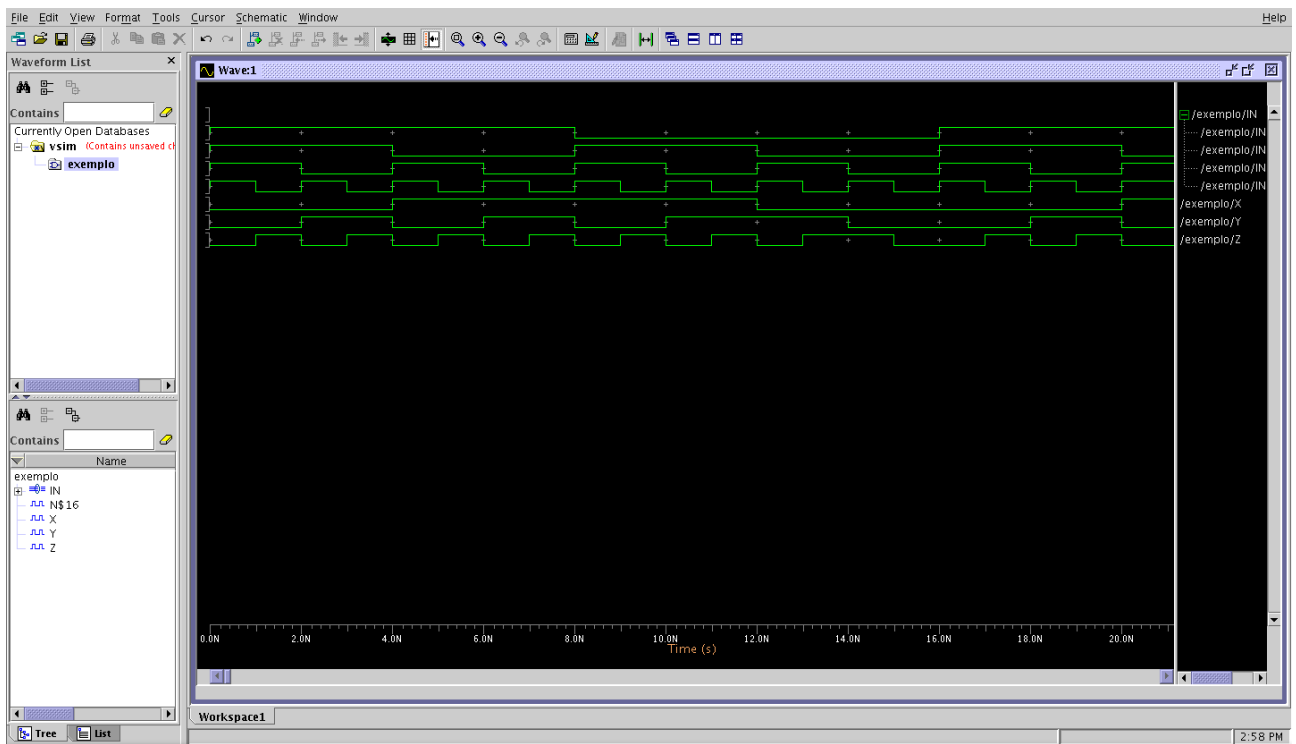


Figura 3. Resultado da simulação no EZWave.