

Universidade Federal do Paraná

ULA de 2 entradas de 4 bits e 4 operações

Relatório entregue para
avaliação da disciplina Projeto de
Circuitos Integrados Digitais da
UFPR -1º semestre 2010.

Nomes : Rodrigo M. Da Silva

Tiago A. Adamczewski

Professores :

Márlio José do Couto Bonfim

Oscar Gouveia

Curitiba
2010

Sumário

<i>1 INTRODUÇÃO</i>	<i>1</i>
<i>2 DESENVOLVIMENTO</i>	<i>2</i>
<i>2.1 Topologia</i>	<i>2</i>
<i>2.2 Otimização dos circuitos</i>	<i>5</i>
<i>3 SIMULAÇÕES ELÉTRICAS E LÓGICAS</i>	<i>6</i>
<i>4 LAY-OUT</i>	<i>12</i>
<i>5-CONCLUSÃO</i>	<i>19</i>

1 INTRODUÇÃO

Uma Unidade Lógica Aritmética (ULA) pode ser encontrada em diversos processadores de dados. Esta é a parte do processador que realmente efetua cálculos aritméticos.

A ULA foi proposta pelo matemático John von Neumann em 1946..

Desde então o desenvolvimento destas tem sido de vital importância para o acelaramento do processamento de dados e a realização de cálculos matemáticos mais rapidamente. Hoje em dia uma unidade lógica aritmética pode realizar as seguintes operações:

- Operações aritméticas com inteiros
- Operações lógicas bit a bit And, Not, Or, XOR
- Operações de deslocamento de bits* (deslocamento, rotação por um número específico de bits para esquerda ou direita, com ou sem sinal).
- Operações de divisão e multiplicação.

*Deslocamentos podem ser interpretados como multiplicações ou divisões por 2.

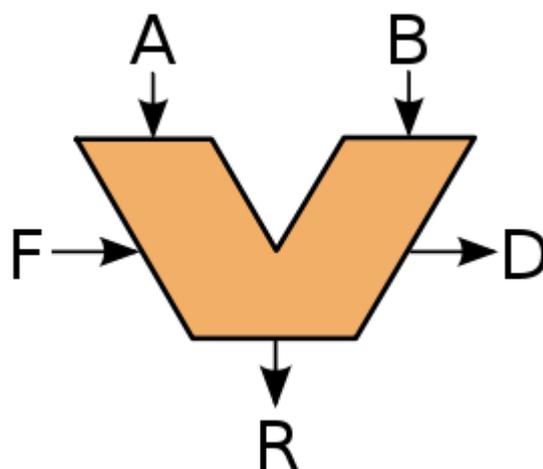


Figura 1: Diagrama de uma Unidade Lógica Aritmética

A Figura 1 representa uma ULA com suas entradas A e B, seletor de função F, saída R e D carry-out.

O objetivo deste trabalho é projetar uma ULA com entrada e saída com 4 bits, seletor de funções de 2 bits e funções : Soma, subtração , and e or.

2 DESENVOLVIMENTO

2.1 Topologia

Inicialmente o projeto foi dividido em 4 módulos um para cada operação, a saída de cada módulo foi ligada a um multiplexador, que era controlado por duas entradas externas.

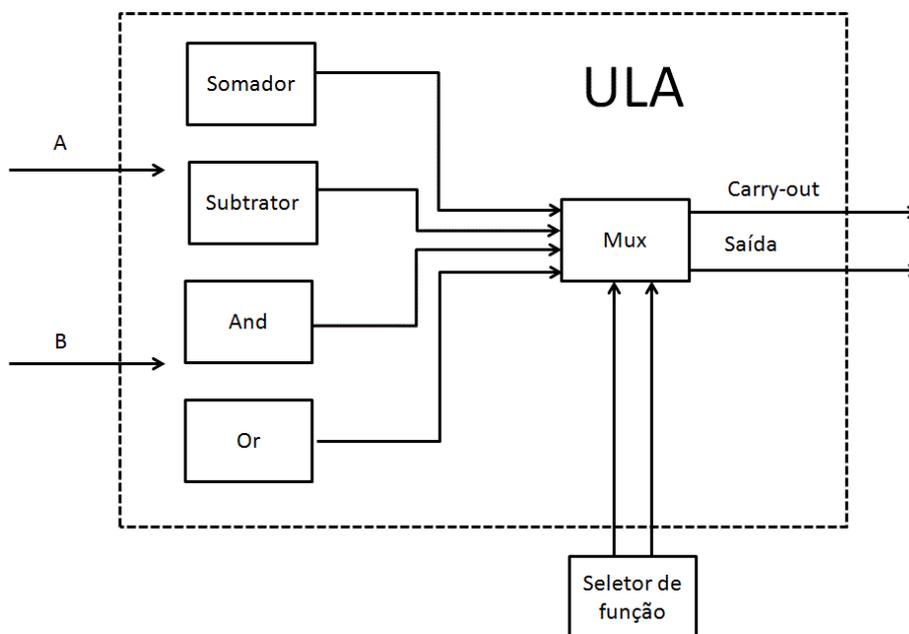


Figura 2: Diagrama de blocos da ULA projetada

O diagrama de blocos do circuito projetado encontra-se na Figura 2.

Cada bloco foi projetado individualmente.

O módulo da adição encontra-se na Figura 3. Como pode-se notar, foram utilizados três tipos de portas : XOR, OR e AND. Foram utilizados 4 blocos desse, um para cada bit, sendo o pino de carry-out de cada um ligado no respectivo “primeiro” mais significativo após ele. Sendo que o carry-in do bit menos-signitivo foi ligado ao terra.

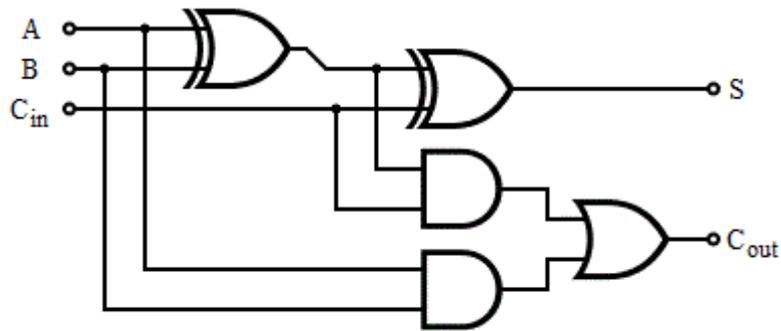


Figura 3: Esquema de portas utilizado no bloco do somador

A	B	Cin	S	C _{out}
1	1	0	0	0
1	1	1	1	1
0	1	0	1	0
0	1	1	0	1
0	0	0	0	0
0	0	1	1	0

Tabela 1: Tabela verdade incompleta para o circuito somador.

O circuito de subtração foi projetado utilizando o circuito de soma , pórem com outra entrada chamada aqui de controle de modo.

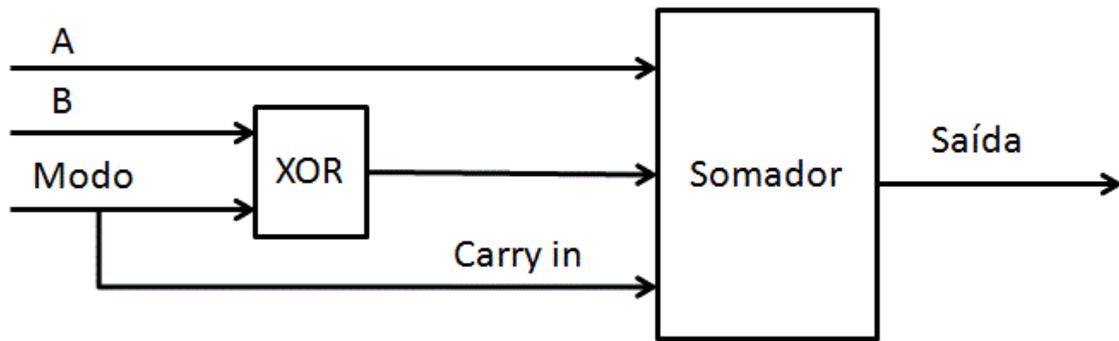


Figura 4: Circuito subtrator implementado apartir do somador; Modo = 0 seleciona soma e Modo = 1 subtração.

Modo	A	B	Cin	S	Cout
1	0	0	1	0	0
1	1	0	1	1	1
1	0	1	1	1	1
1	1	1	1	0	1

Tabela 2: Tabela verdade com algumas situações para o crcuito de subtração

Deve-se observar que ao usar o circuito somador como subtrator Cin deve ser iniciado com zero, e o valor de Cout não necessariamente representa o valor do “empresta-um” do circuito subtrator original.

O circuitos utilizados para a operação AND e OR são as já conhecidas operações, realizadas bit-a-bit .



Figura 5: Operação OR (direita) e AND (esquerda) efetuadas bit-a-bit

O Mux utilizado para seleção da função foi utilizado usando a tabela verdade da Tabela 3.

Tabela 3: Tabela verdade para o seletor de funções

SEL 1	SEL 2	SOMA	SUB	AND	OR
0	0	1	0	0	0
0	1	1	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

2.2 Otimização dos circuitos

Para o projeto do circuito foram utilizadas somente portas AND, OR, XOR e NOT. Todas essas portas foram construídas utilizando a construção já otimizada que foi utilizada em aula. Para que o tempo de subida e descida da resposta do sistema seja igual, ou em outras palavras, a resistência de entrada para cada canal na porta seja a mesma, deve-se ajustar a largura dos canais. Este cálculo da largura do canal foi feito individualmente para cada porta. Os valores encontrados estão na tabela

Partindo do fato de que :

$$R_p \propto \frac{2}{W_p} \qquad R_n \propto \frac{1}{W_n}$$

Tabela 4: Valores de largura de canal para os transistores. Para que a entrada de cada canal tenha a mesma resistência

Porta	R_{ep} / R_{en}	W_p / W_n	W_n usado	W_p usado
NOT	1	2	0.81	1.62
AND	4	0.5	1.62	0.81
OR	0.25	8	0.81	6.48
XOR*	-	-	0.81	0.81

**Para esta porta os valores foram encontrados experimentalmente*

3 SIMULAÇÕES ELÉTRICAS E LÓGICAS

3.1 Simulação Elétrica

Para verificar a funcionalidade da ULA bem como de seus sub-circuitos foi utilizado o simulador de circuitos da Mentor, que é um software amplamente utilizado para simulações elétrica e bem como simulações lógicas como será visto mais adiante.

Com a simulação elétrica é possível verificar as principais características elétricas de um circuito como o tempo de subida, tempo de descida e tempo de propagação que são importantes para uma análise de atraso, que apesar de pequenos, devem ser verificados e analisados para cada tipo de situação a fim de melhorar as características elétricas do circuito a ser projetado.

As tabelas abaixo mostram os tempos de subida, descida e de propagação de cada uma das operações efetuadas pela ULA, os tempos de subida e descida são medidos parada cada uma das saídas, já o tempo de propagação é medido apenas para a saída que tem o maior atraso:

OPERAÇÃO AND

Saída	Tempo de Subida[os]	Tempo de Descida[ps]	Tempo de Propagação[ps]
Y0	26,52	21,02	521,40
Y1	24,57	22,98	
Y2	37,07	24,21	
Y3	29,99	23,83	
Cout	Não medido	Não medido	

OPERAÇÃO OR

Saída	Tempo de Subida[os]	Tempo de Descida[ps]	Tempo de Propagação[ps]
Y0	34,86	20,84	322,35
Y1	35,45	22,72	
Y2	36,29	20,04	

Y3	30,79	19,75	
Cout	Não medido	Não medido	

OPERAÇÃO SOMA

Saída	Tempo de Subida[os]	Tempo de Descida[ps]	Tempo de Propagação[ps]
Y0	41,05	15,54	999,00
Y1	41,77	18,83	
Y2	34,02	18,48	
Y3	33,17	20,15	
Cout	-	21,27	

OPERAÇÃO SUBTRAÇÃO

Saída	Tempo de Subida[os]	Tempo de Descida[ps]	Tempo de Propagação[ps]
Y0	46,74	19,28	510,36
Y1	40,17	16,33	
Y2	40,52	18,63	
Y3	39,21	18,01	
Cout	-	-	

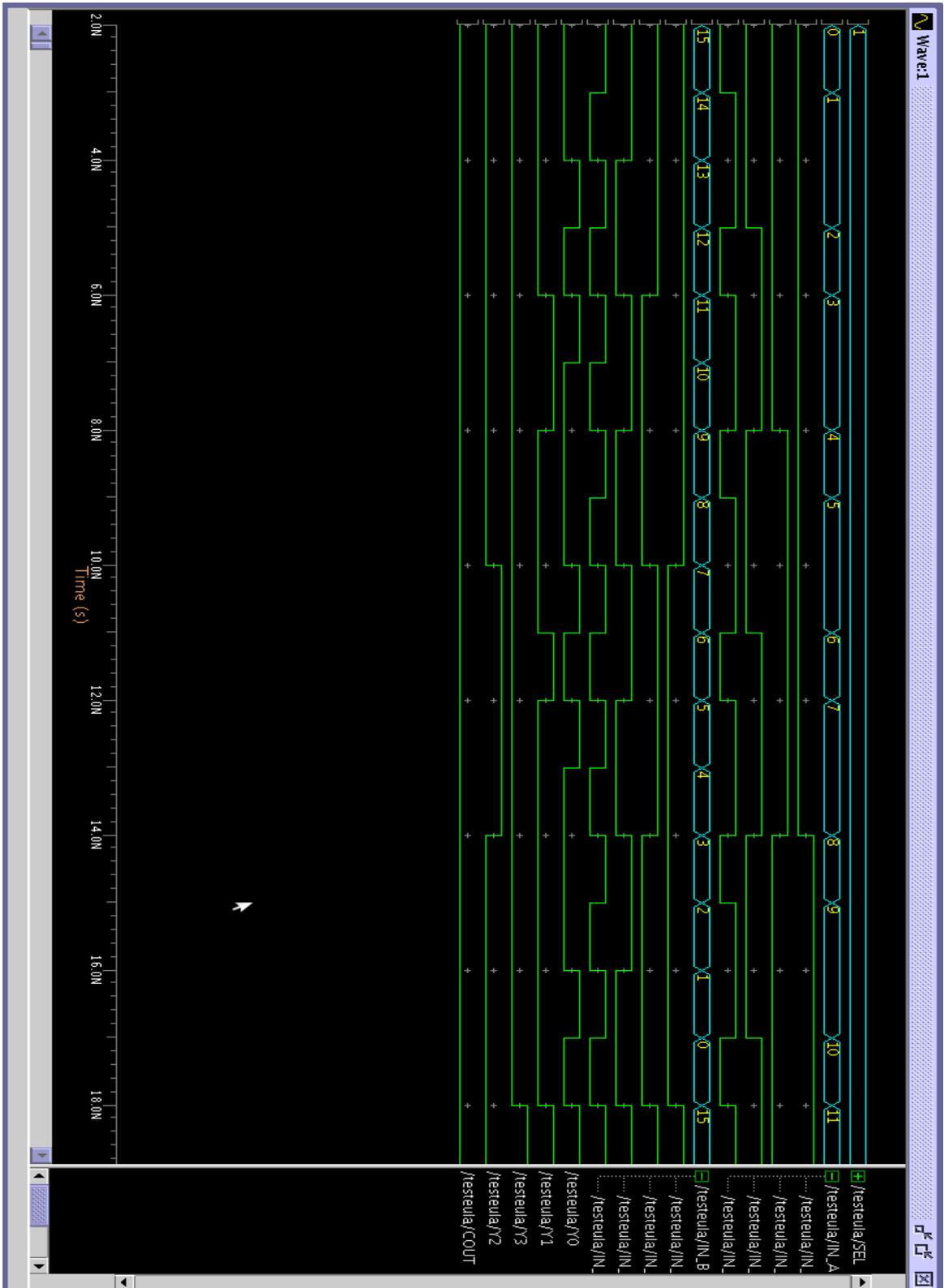
No anexo 1 estão as imagens de cada operação com o seus respectivos tempos de subida, descida e propagação.

3.2 Simulação Lógica

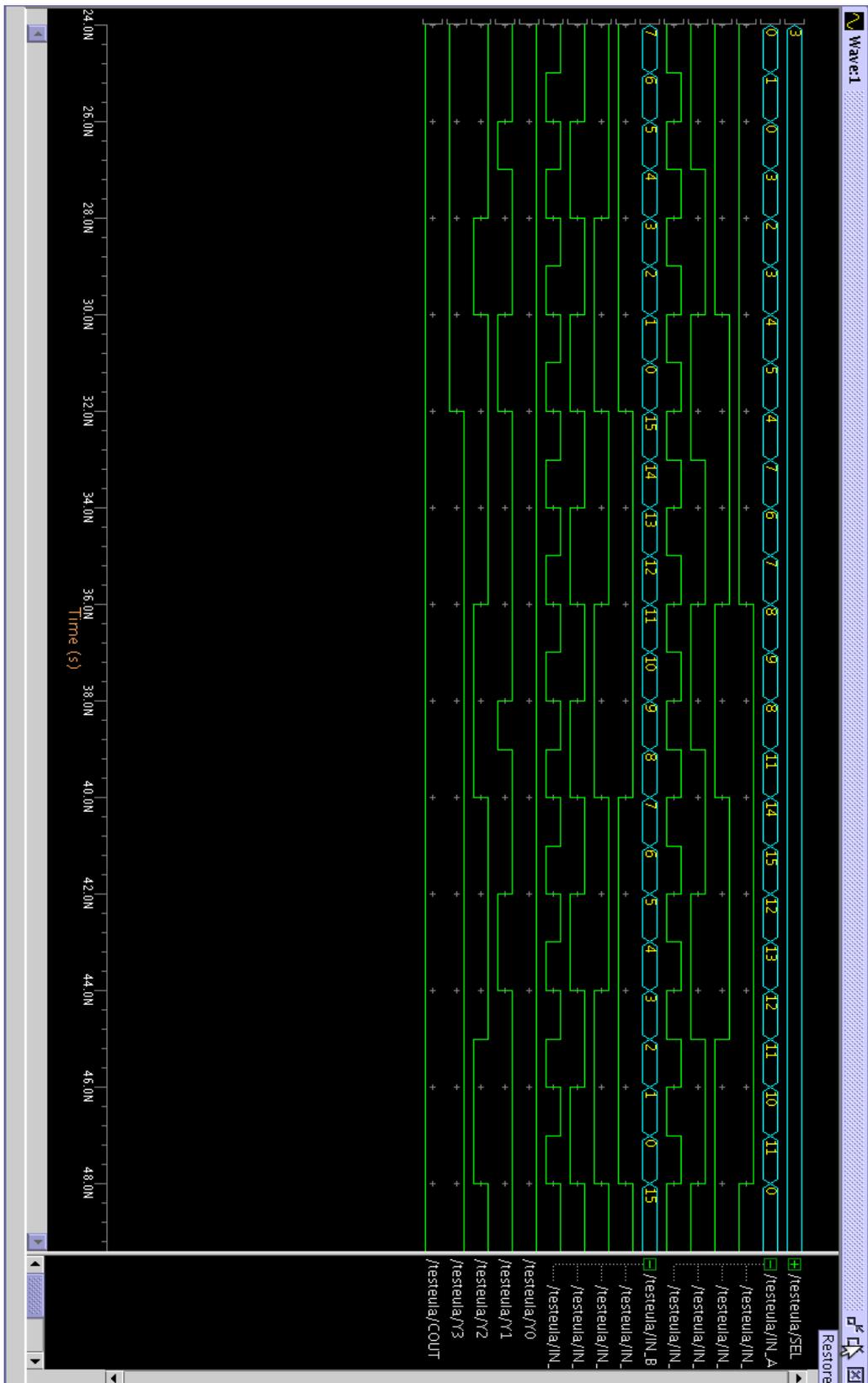
Na simulação elétrica estamos preocupados com os tempos de subida, descida e os atrasos contidos no circuito, já na simulação lógica são testadas as combinações de entrada e saída que cada circuito tem, a fim de verificar a validade e a funcionalidade das operações envolvidas que neste projeto são as operações de soma e subtração e as operações lógicas and e or:

As figuras abaixo mostram os resultados de algumas combinações para cada uma das operação contidas na ULA:

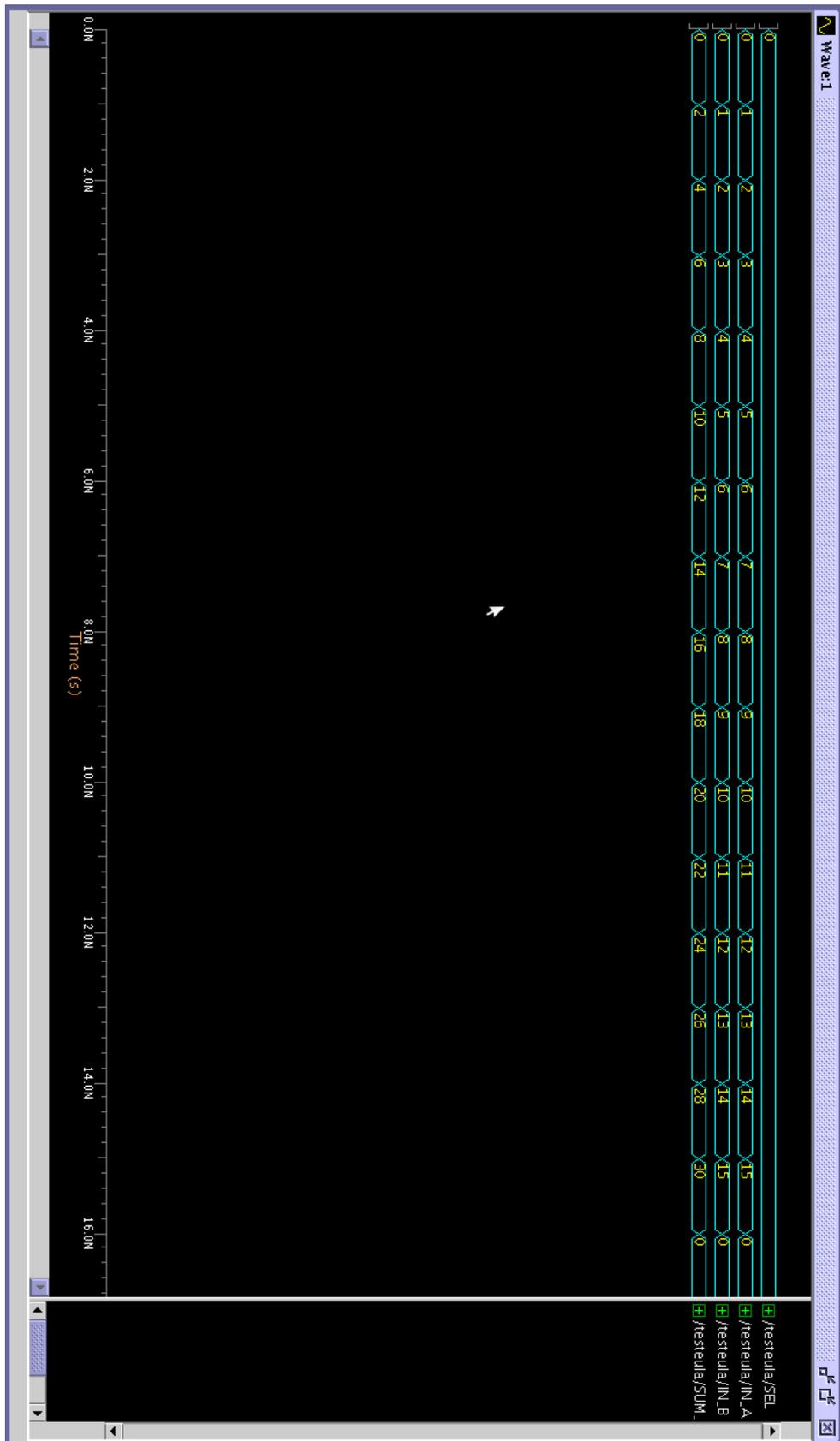
OPERAÇÃO AND



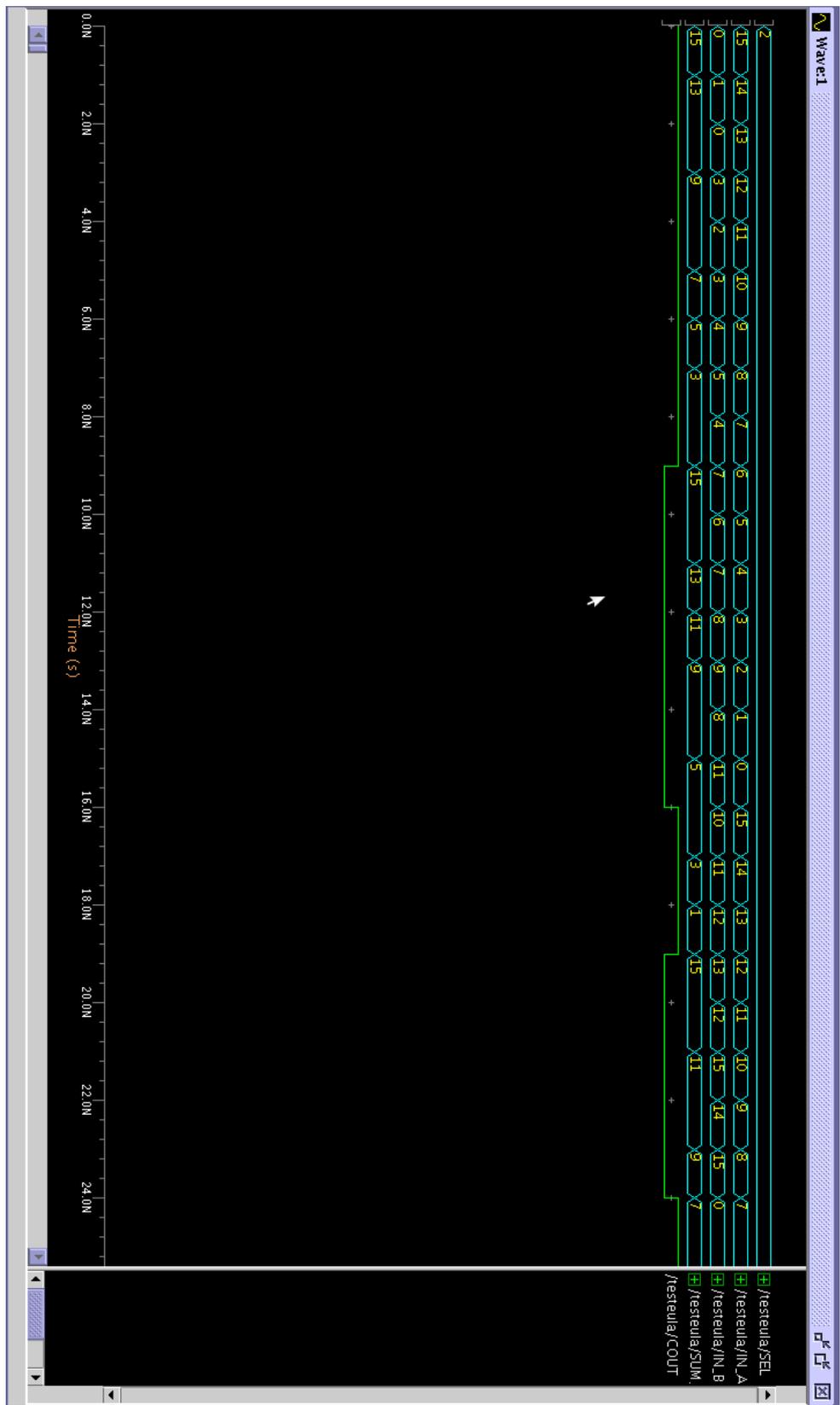
OPERAÇÃO OR



OPERAÇÃO SOMA



OPERAÇÃO SUBTRAÇÃO



Como dito anteriormente, cada uma das imagens contém apenas algumas combinações que comprovam a funcionalidade do circuito, pois o número de combinações que é utilizado em uma ULA com quatro operações é muito grande e levaria muito tempo de simulação, além de termos um resultado muito grande, logo apenas algumas combinações foram feitas para mostrar a funcionalidade do circuito.

4 LAYOUT

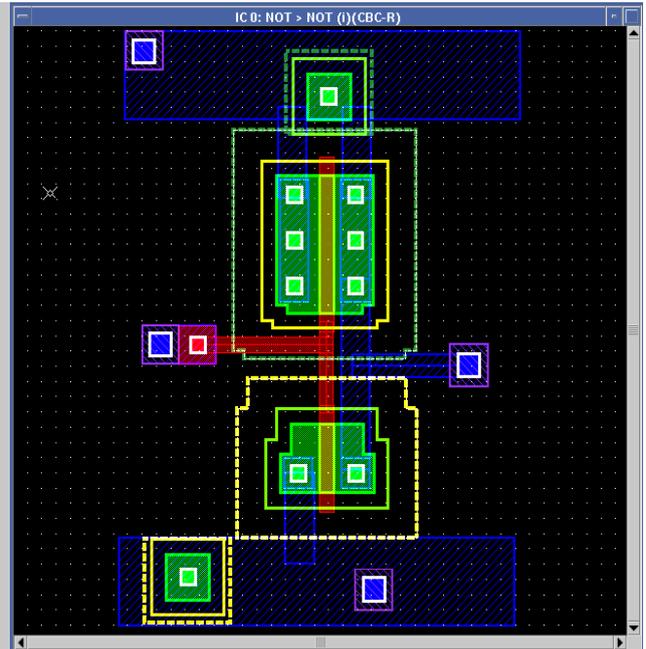
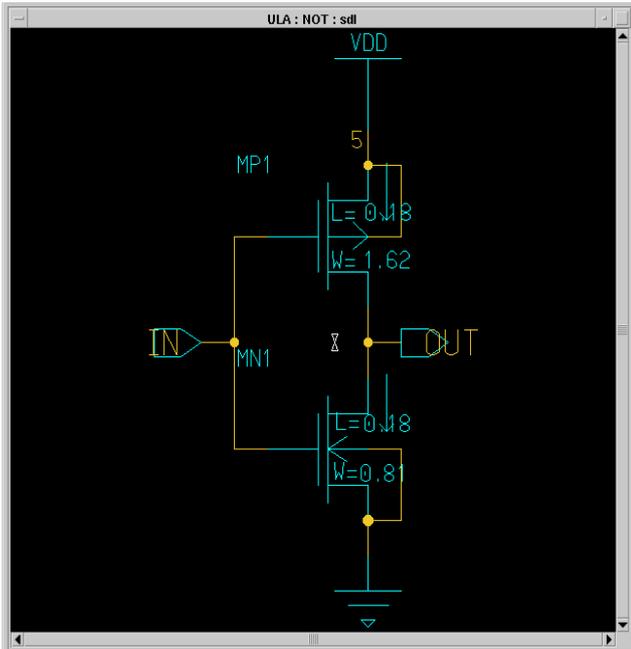
Para a conclusão do projeto da ULA foi criado o layout das portas utilizadas no projeto. Esta parte consiste elaborar em um conjunto de imagens para criação das portas a níveis de substrato e canais que compõem os transistores, podendo desta forma dar uma idéia de como é de fato o circuito elaborado.

Para a confecção do layout deve-se respeitar um conjunto de regras e materiais a serem utilizados no processo, pois é a partir do layout é que se pode realmente “fabricar” a ULA ou qualquer outro circuito eletrônico, esta uma parte importante do projeto, pois requer cuidado e paciência para que o circuito possa ser construído com máxima precisão sem perder as características elétricas e lógicas previamente simuladas.

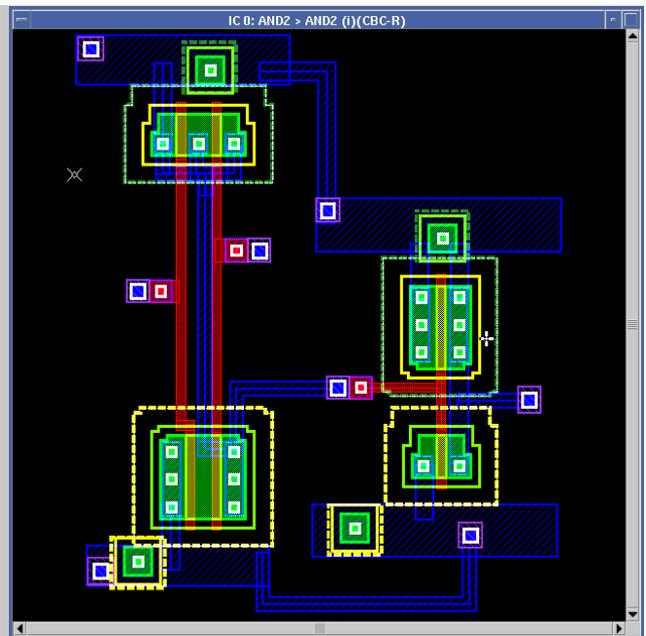
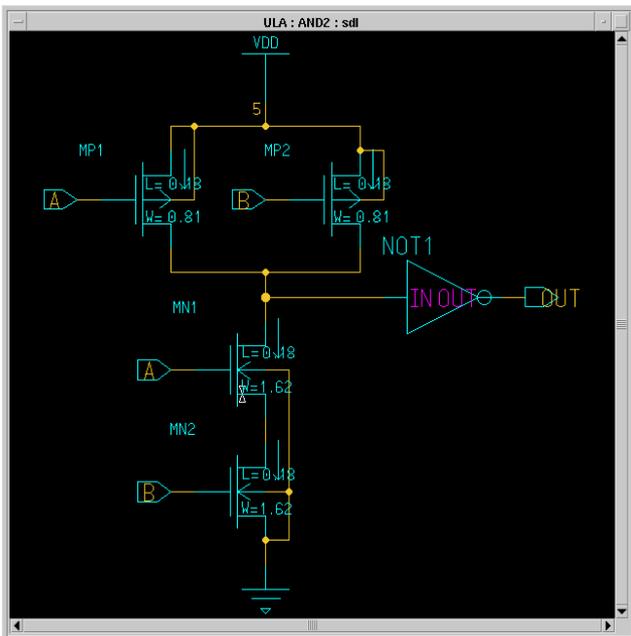
A confecção do layout foi feita em um sistema bottom-up, ou seja, foi feito primeiramente o layout dos transistores utilizados, seguindo depois para a confecção de cada um dos circuitos que efetua cada uma das operações e também circuitos internos em que não se tem acesso diretamente, como os “MUX” e os seletores de operações e, por fim, a interligação de todas as funções da ULA.

As figuras abaixo mostram as portas lógicas e as funções efetuadas pela ULA e seus respectivos layout's:

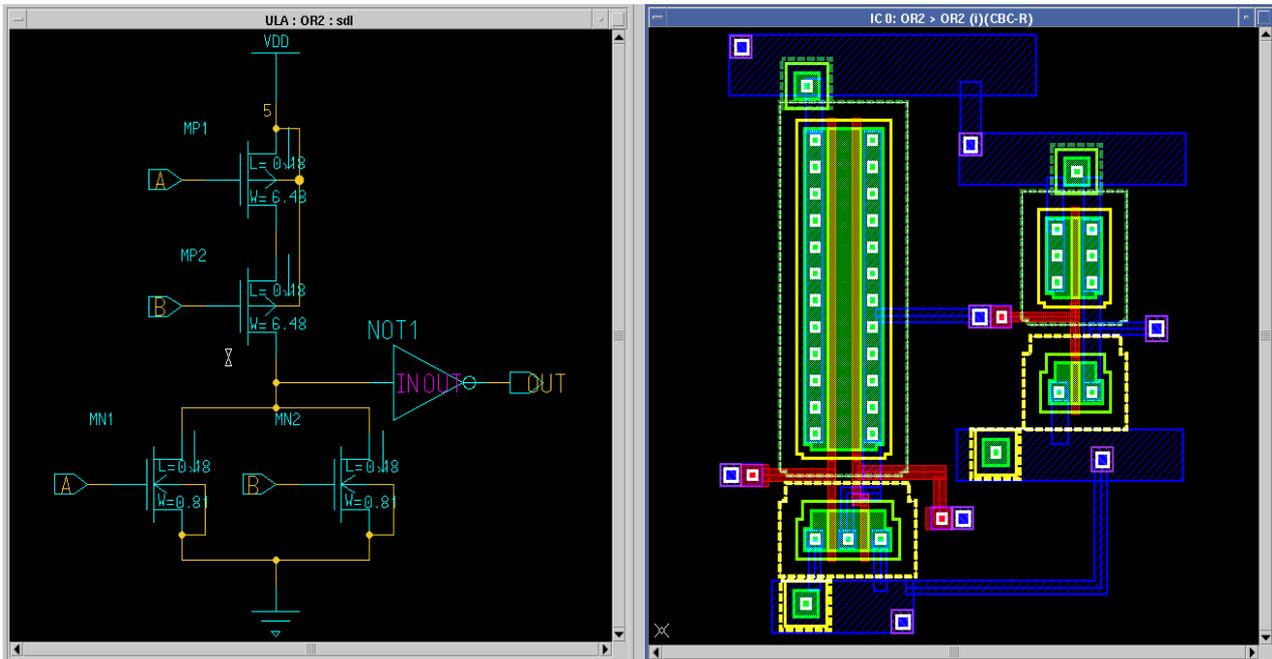
Layout porta NOT:



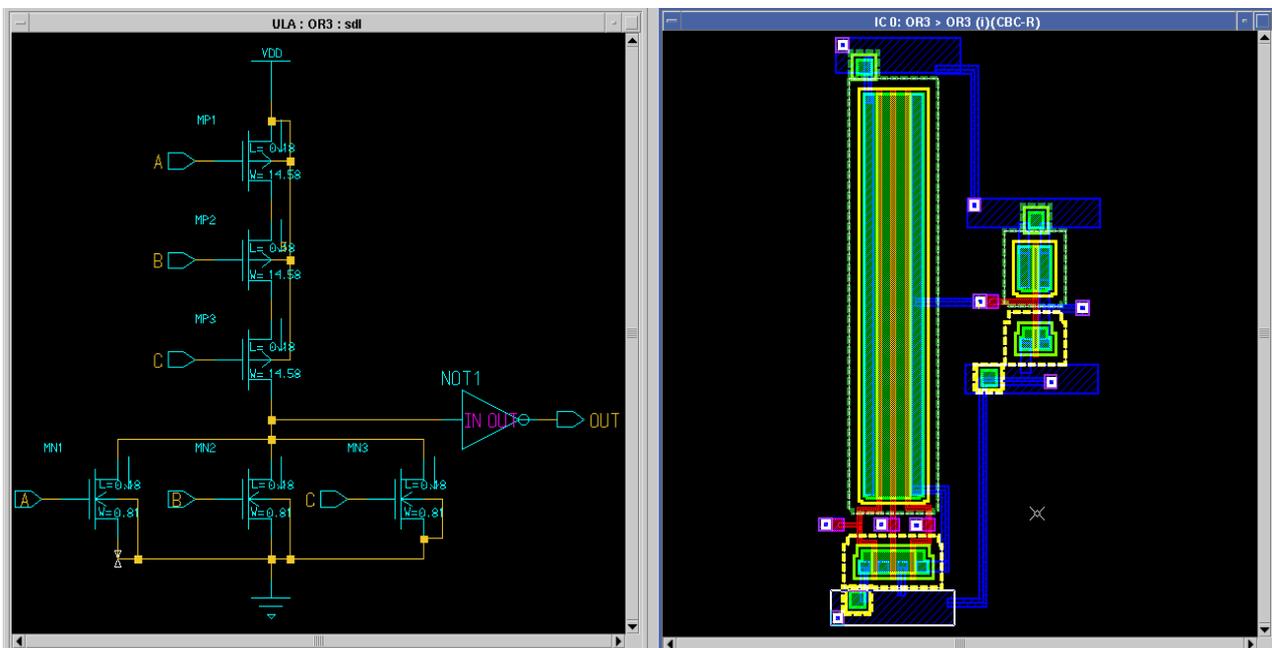
Layout porta AND2:



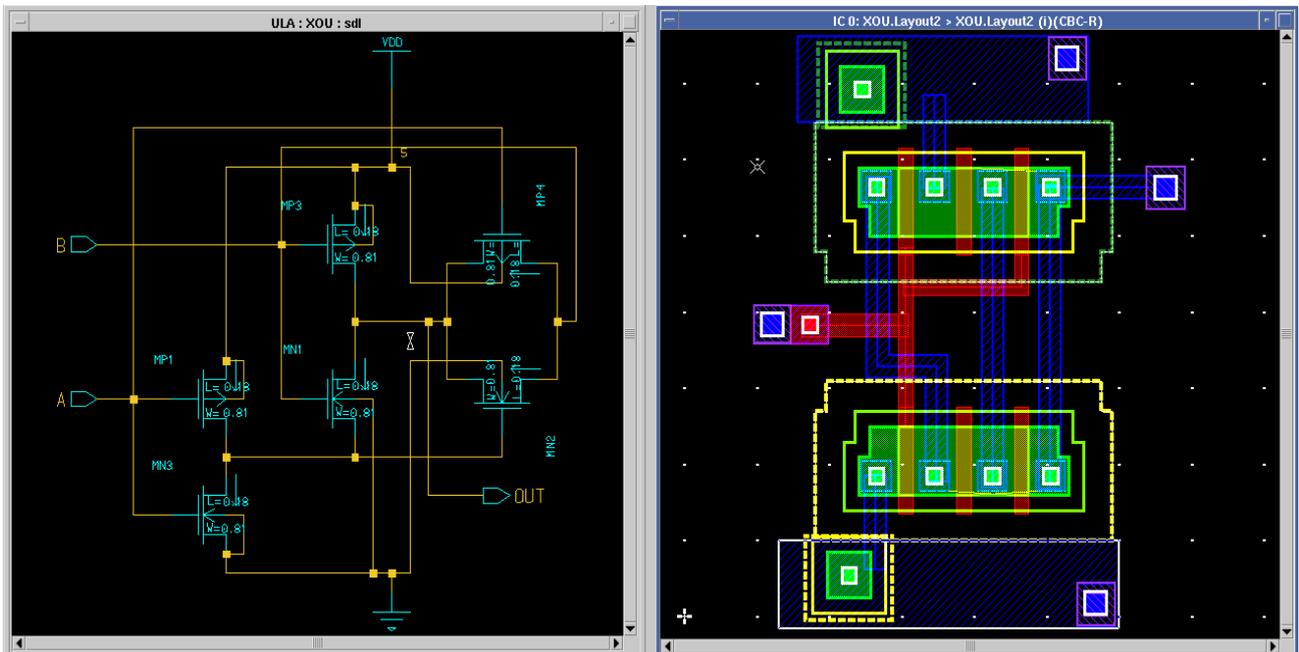
Layout da porta OR2:



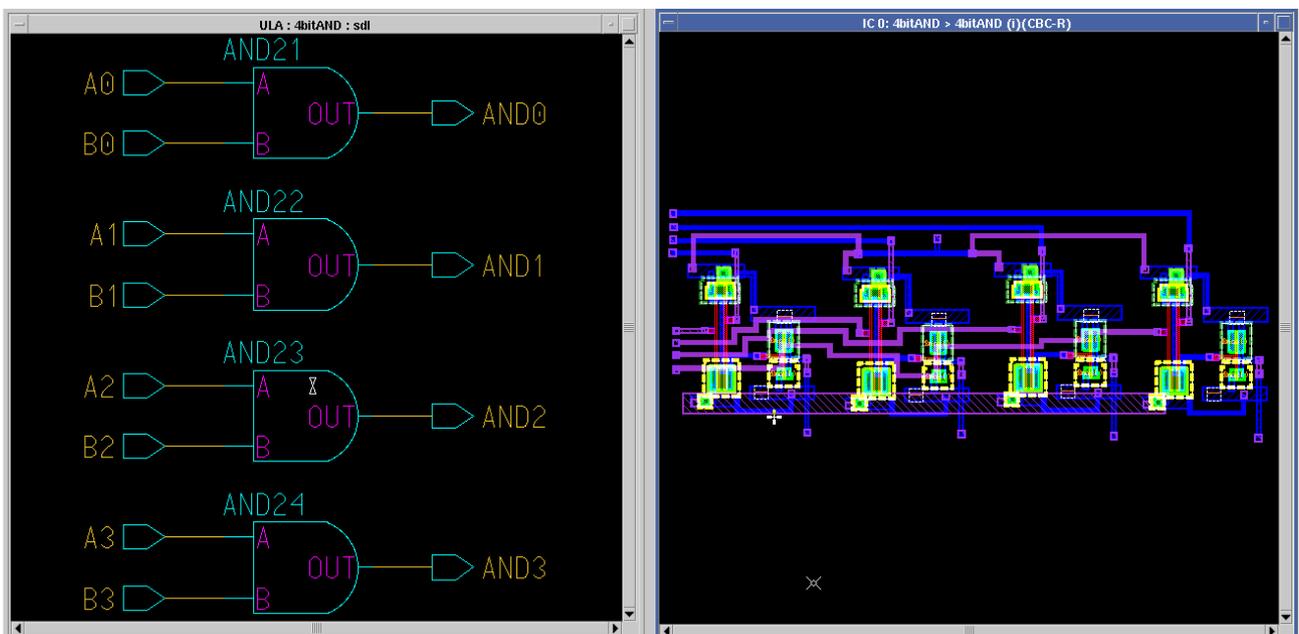
Layout da porta OR3:



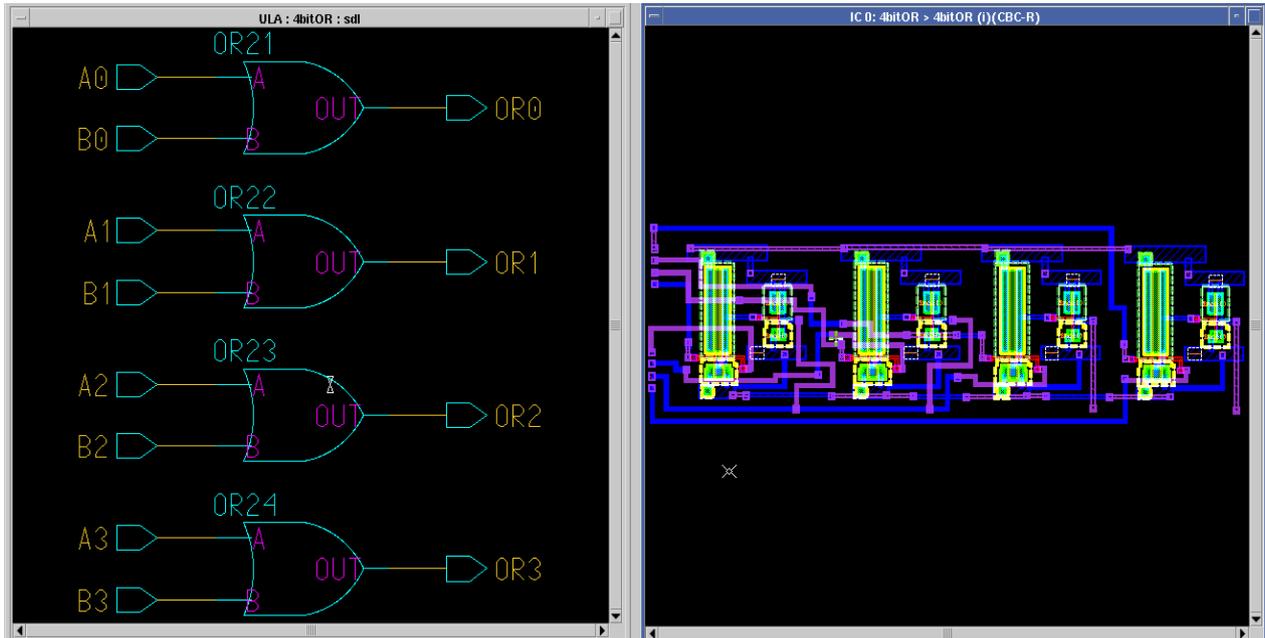
Layout da porta XOR



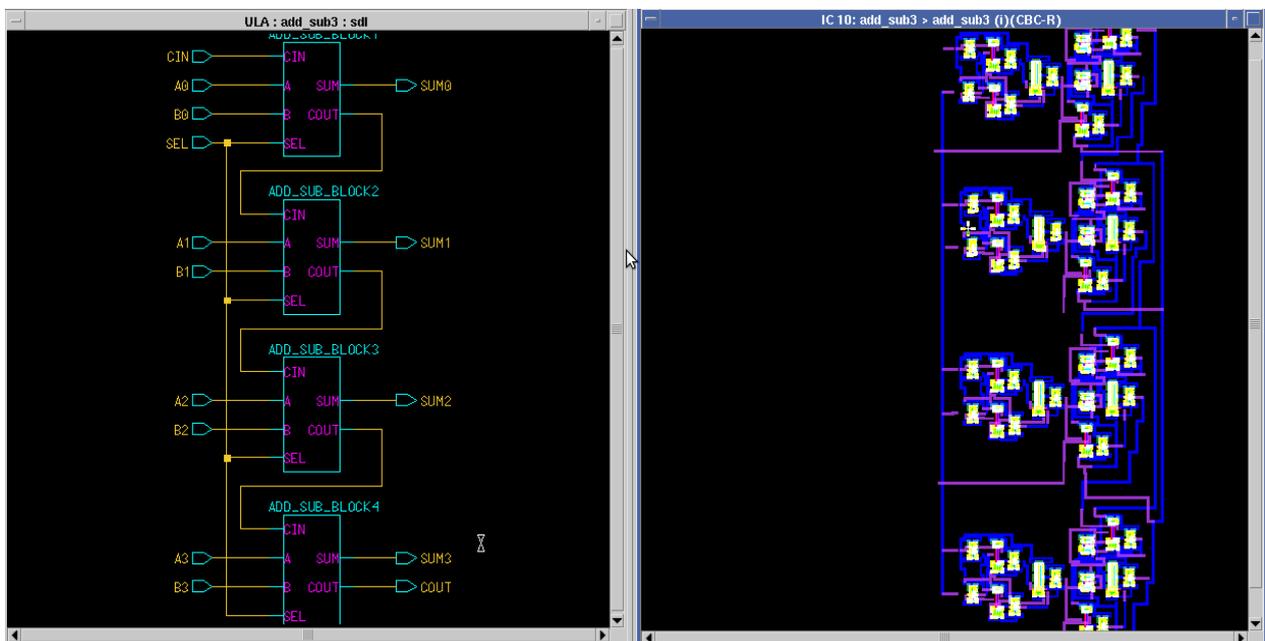
Layout do módulo AND:



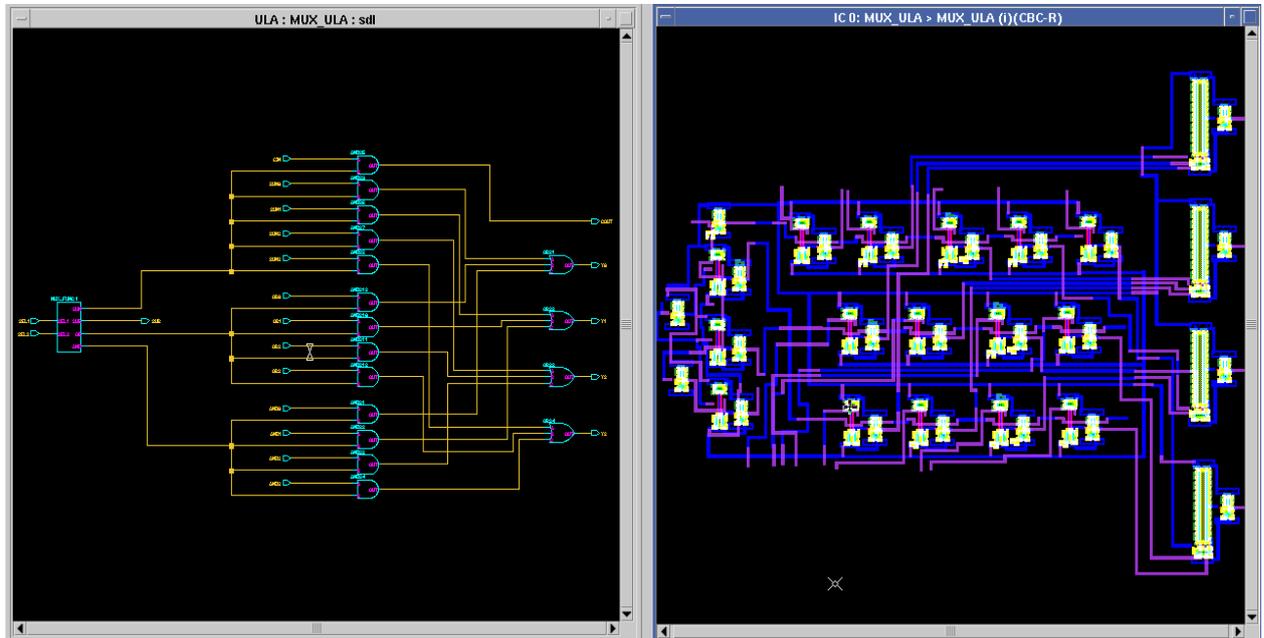
Layout do módulo OR:



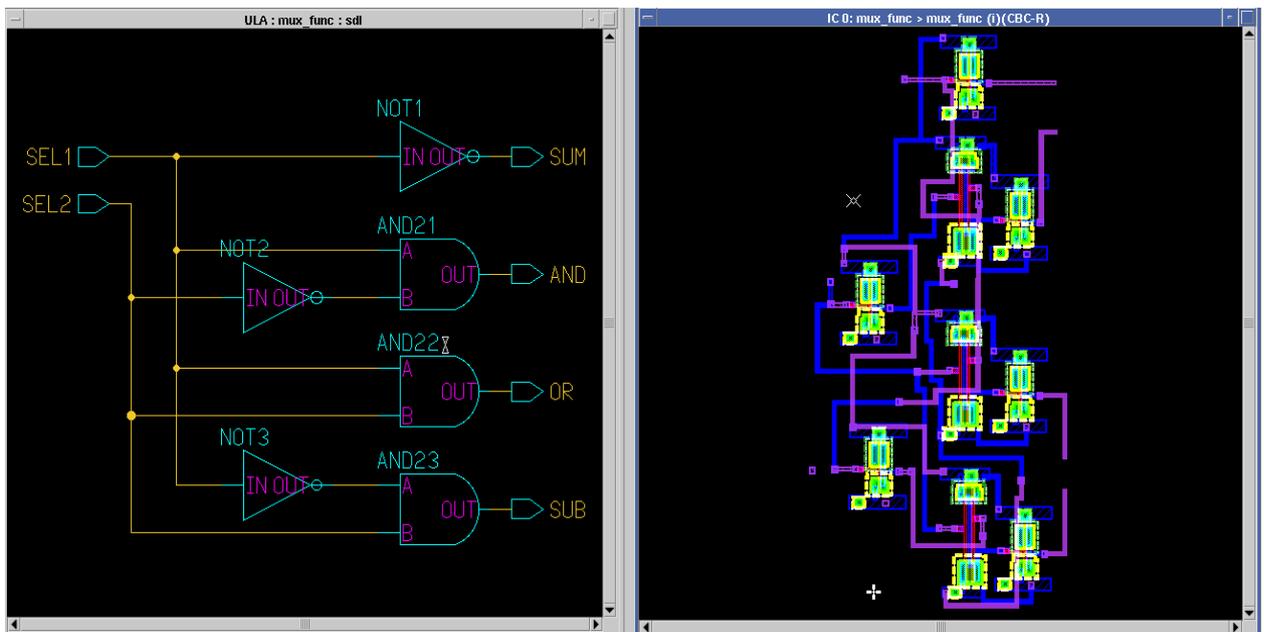
Layout do módulo SUM/SUB



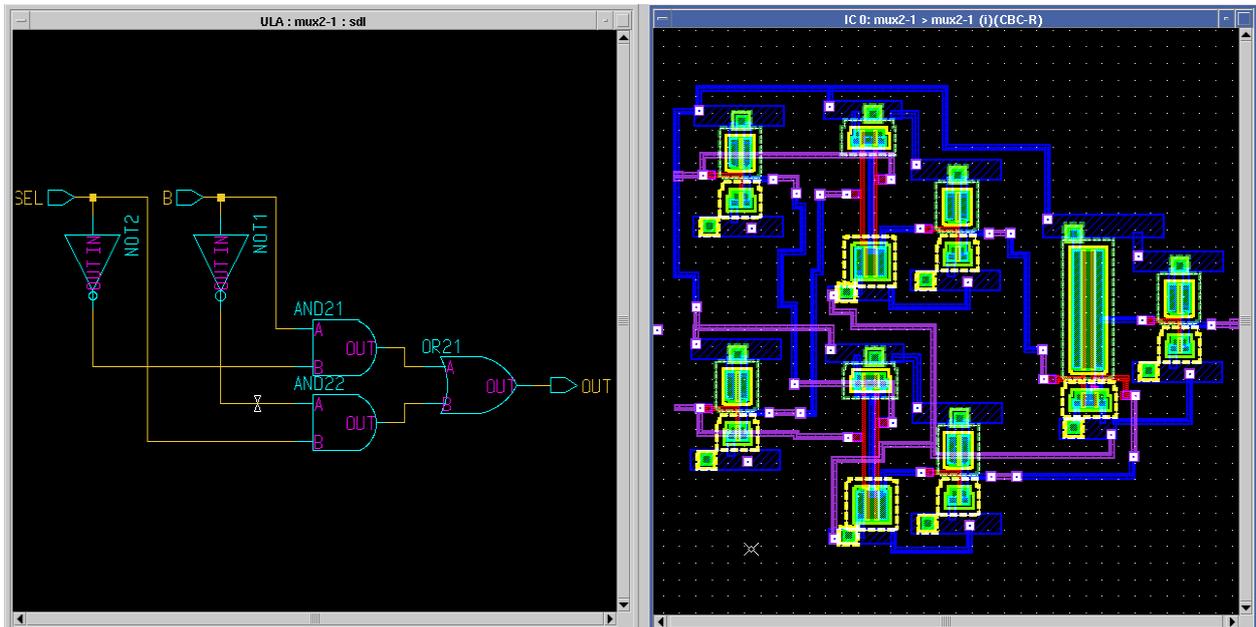
Layout do MUX ULA



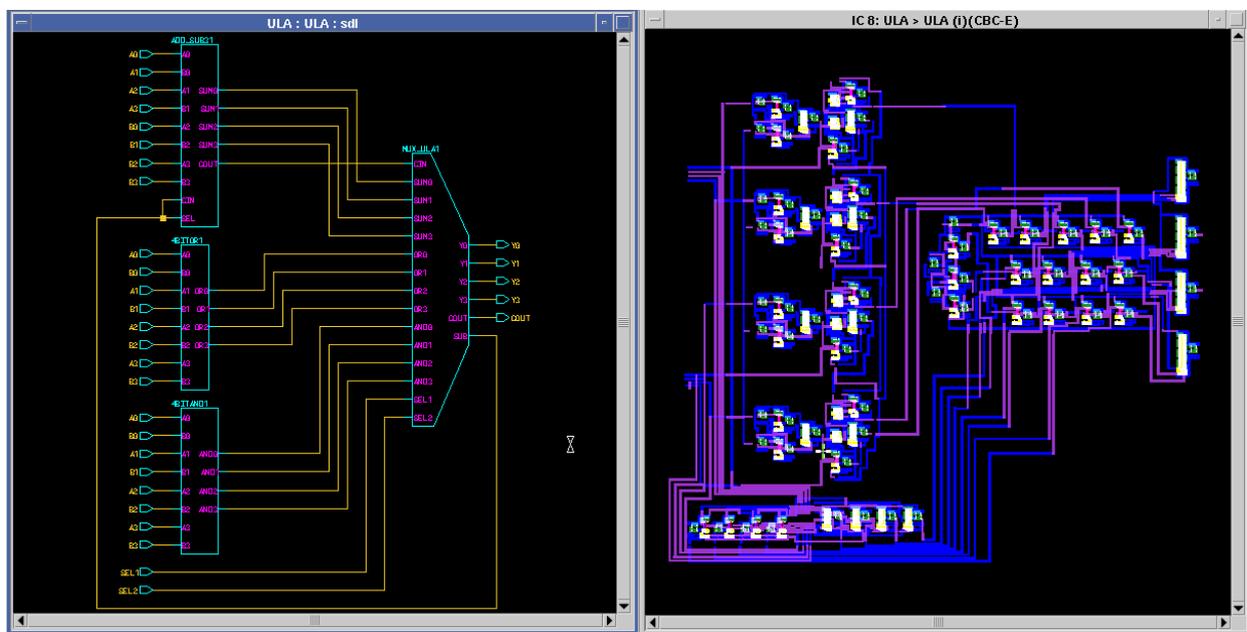
Layout do MUX Func.



Layout do MUX 2-1



Layout da ULA



5 CONCLUSÃO

Para o desenvolvimento da ULA foram seguidas as regras e programas utilizados previamente em sala de aula, o circuito teve seu funcionamento satisfatório tanto em nível elétrico – tempos de subida, descida e propagação – quanto em nível lógico que demonstra a funcionalidade da ULA.

O layout também funcionou corretamente, seguindo cuidadosamente as regras de espaçamento entre trilhas quanto o material a ser usado nos substratos e ligações entre circuitos.

O número de transistores utilizados no projeto foi de 316, a área total do CI é de $50,81\text{nm}^2$ e isto no da uma densidade de $6,22$ transistores/ nm^2 . A largura do CI é de $237,6\mu\text{m}$ e a altura é $213,84\mu\text{m}$.

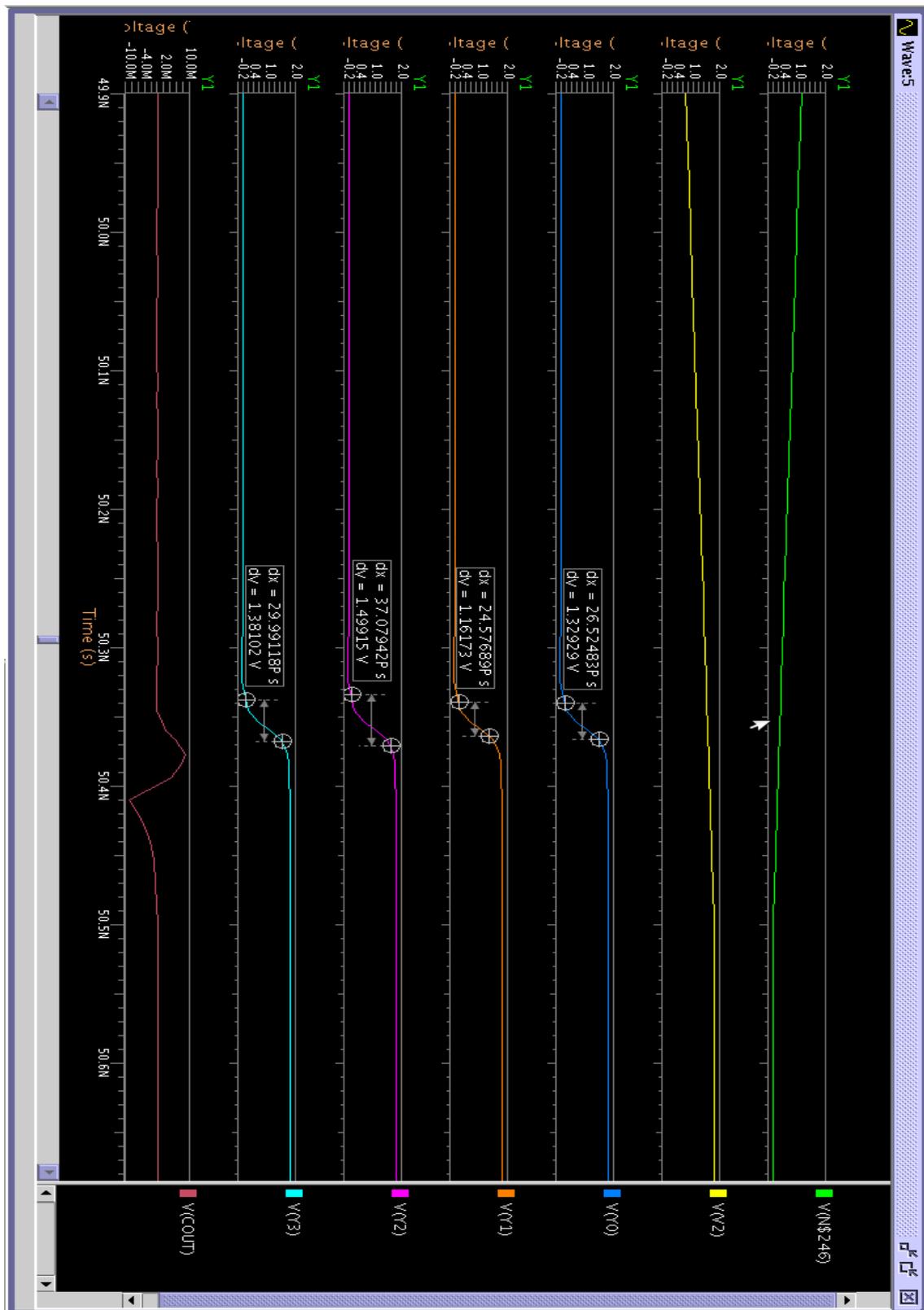
ANEXOS

Anexo 1:

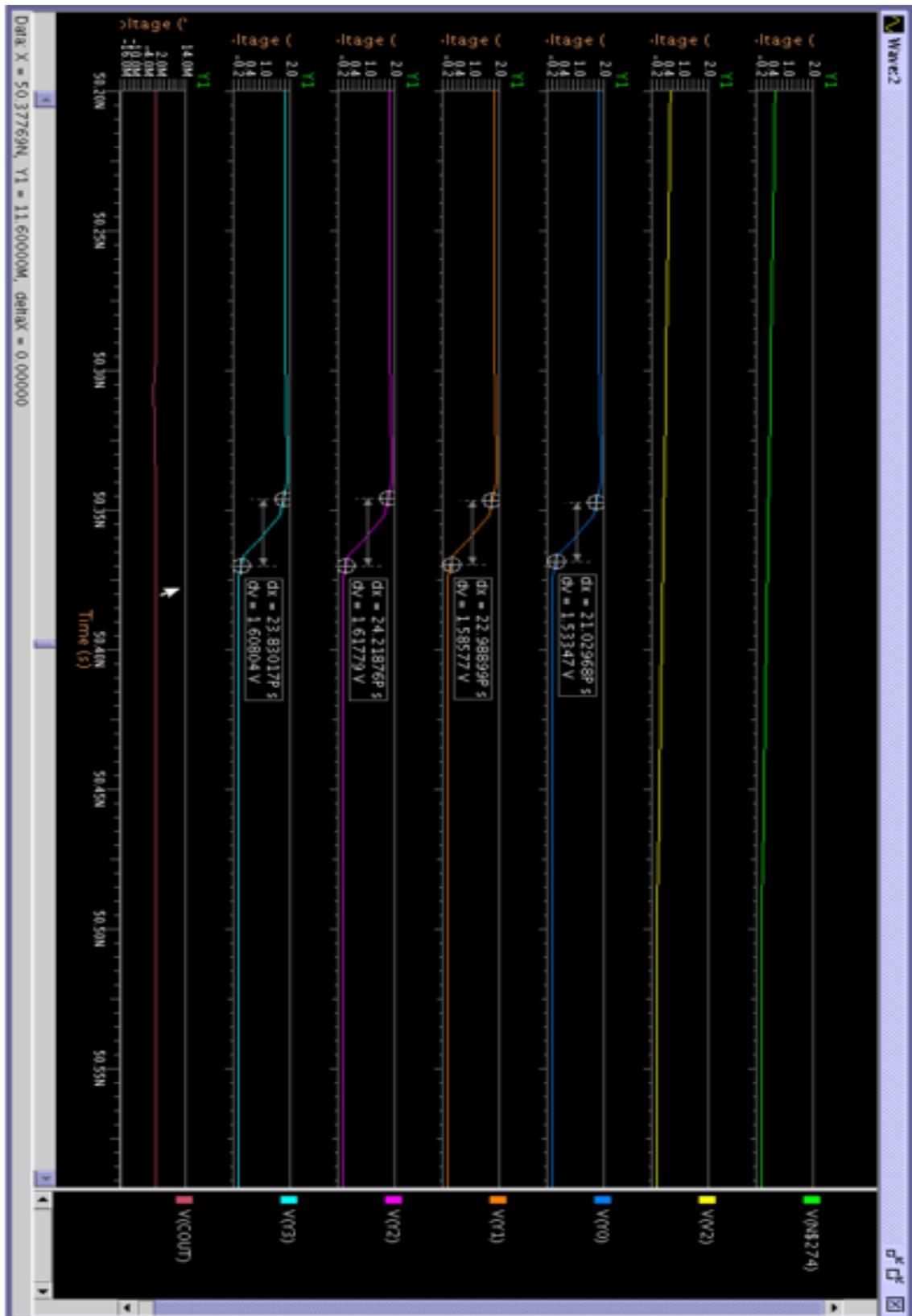
Gráficos com os tempos de subida, descida e de propagação de cada uma das operações feitas pela ULA:

OPERAÇÃO AND:

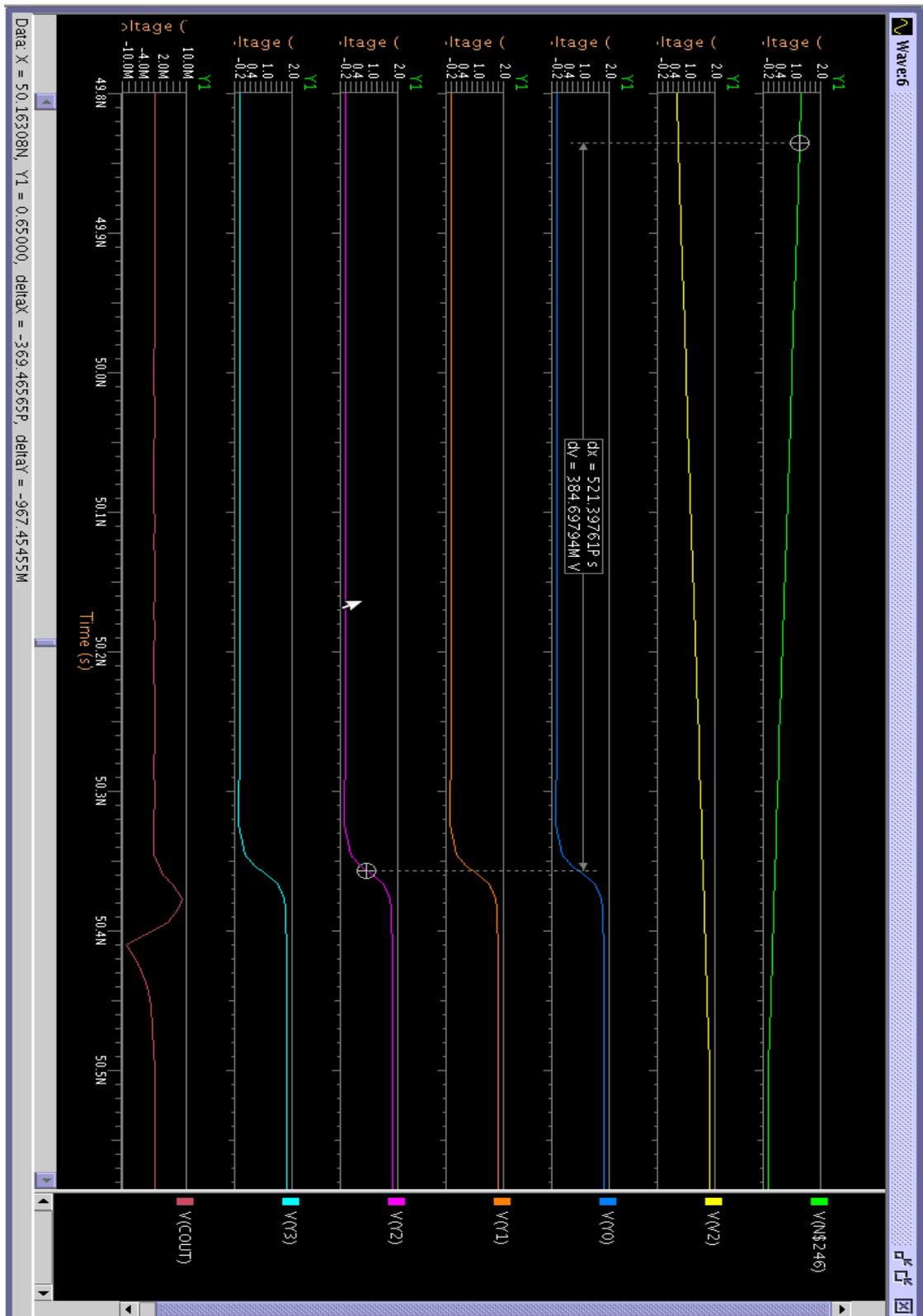
Tempo de Subida



Tempo de Descida:

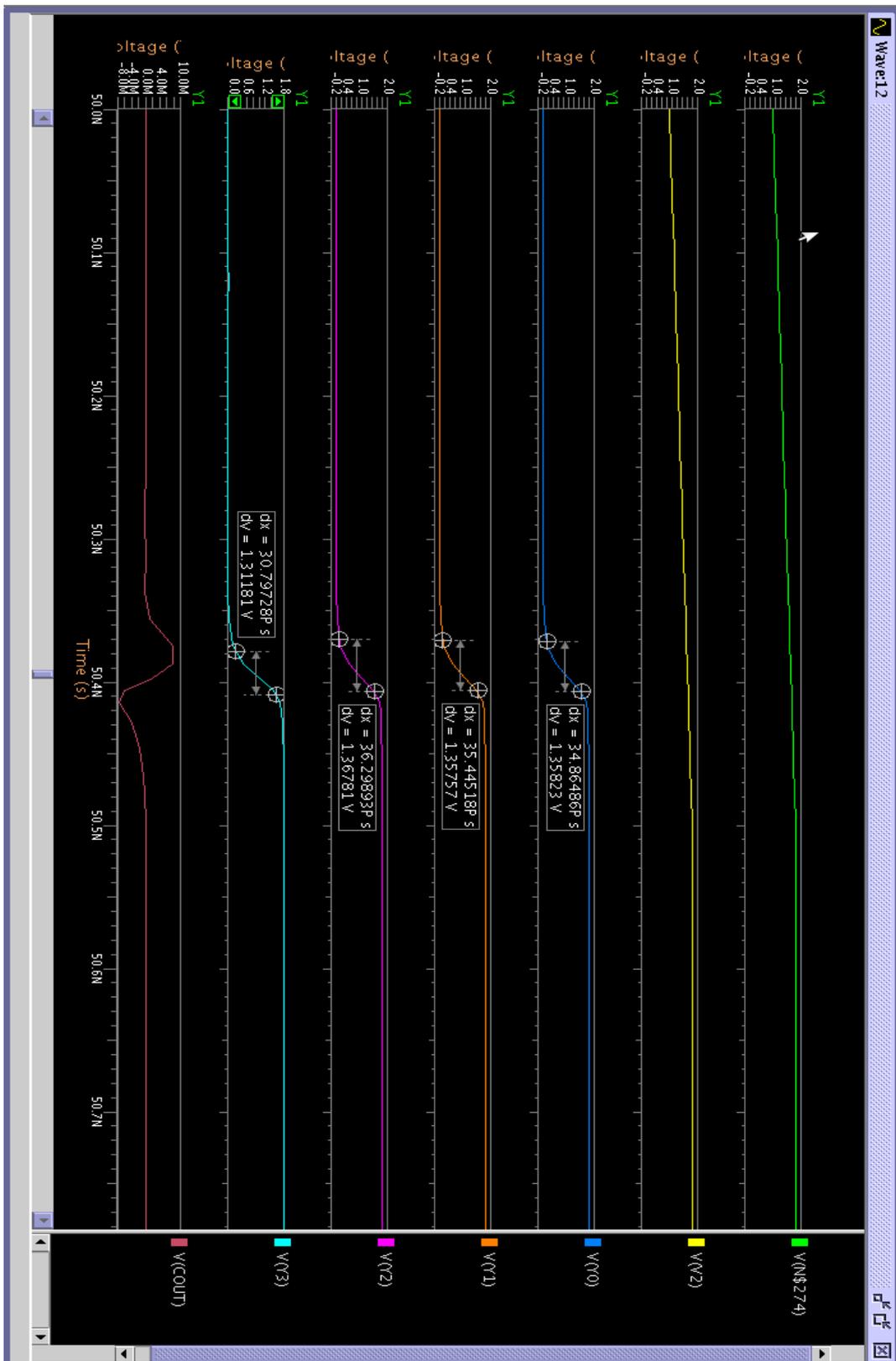


Tempo de Propagação

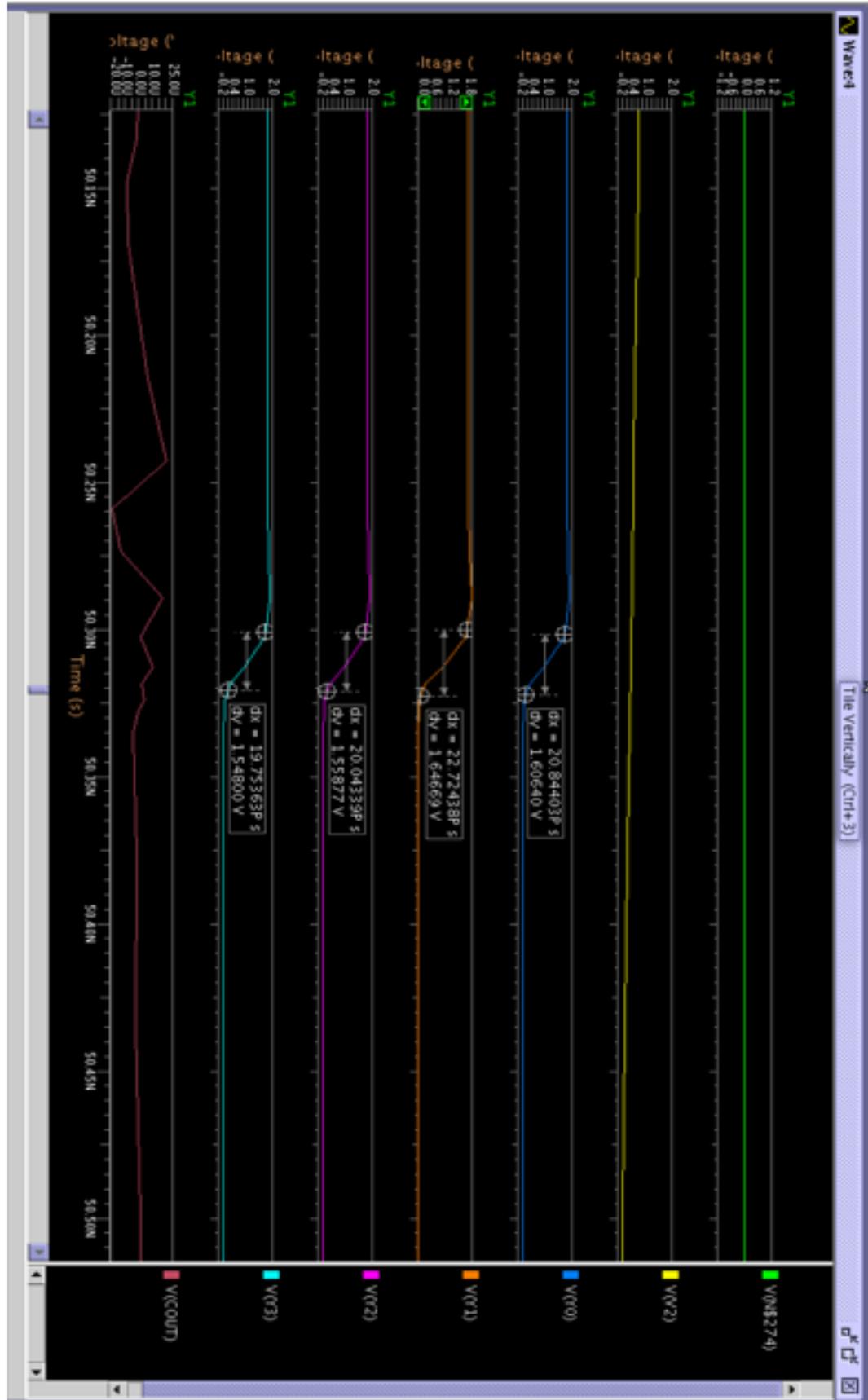


OPERAÇÃO OR

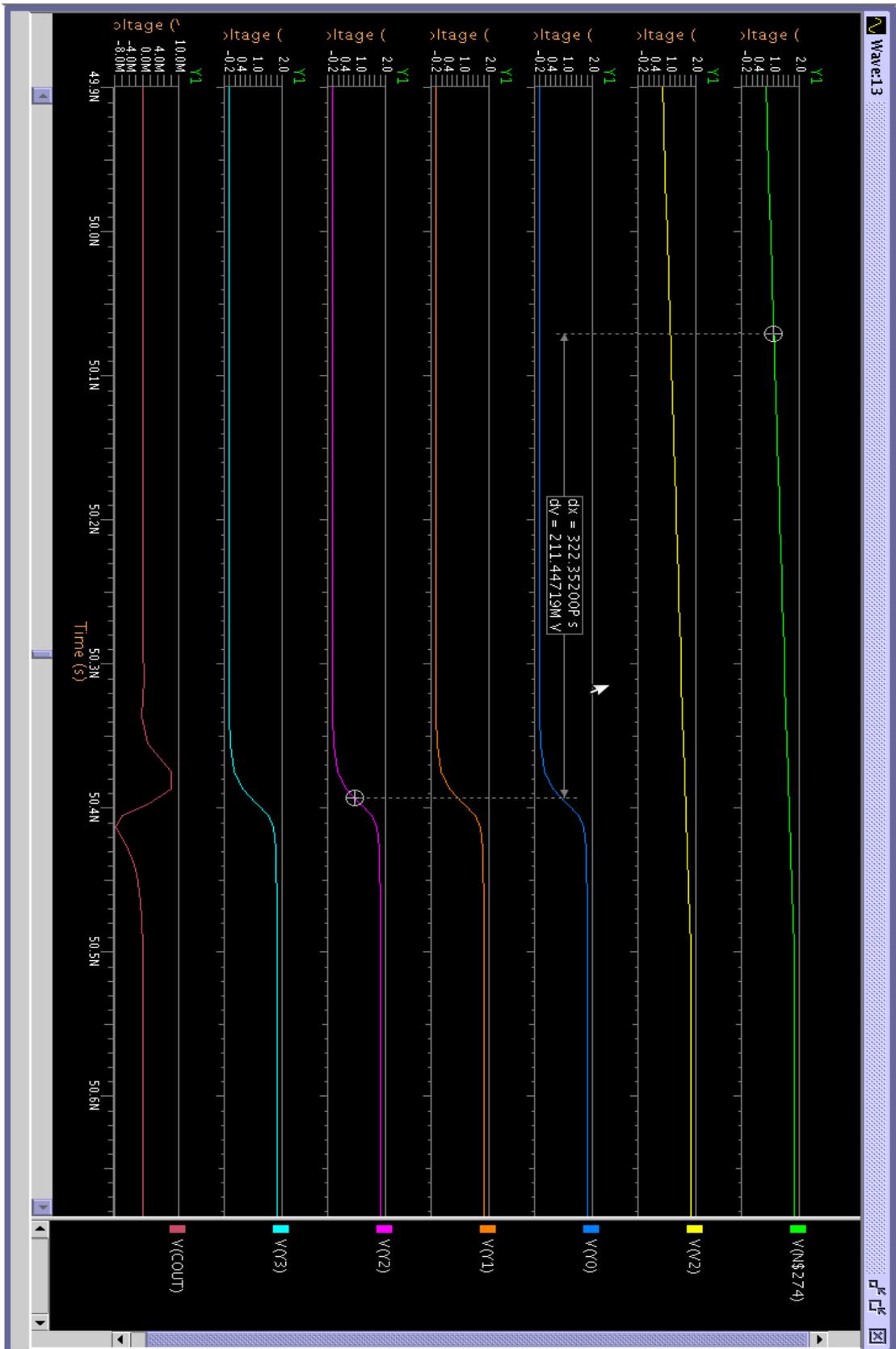
Tempo de Subida



Tempo de Descida

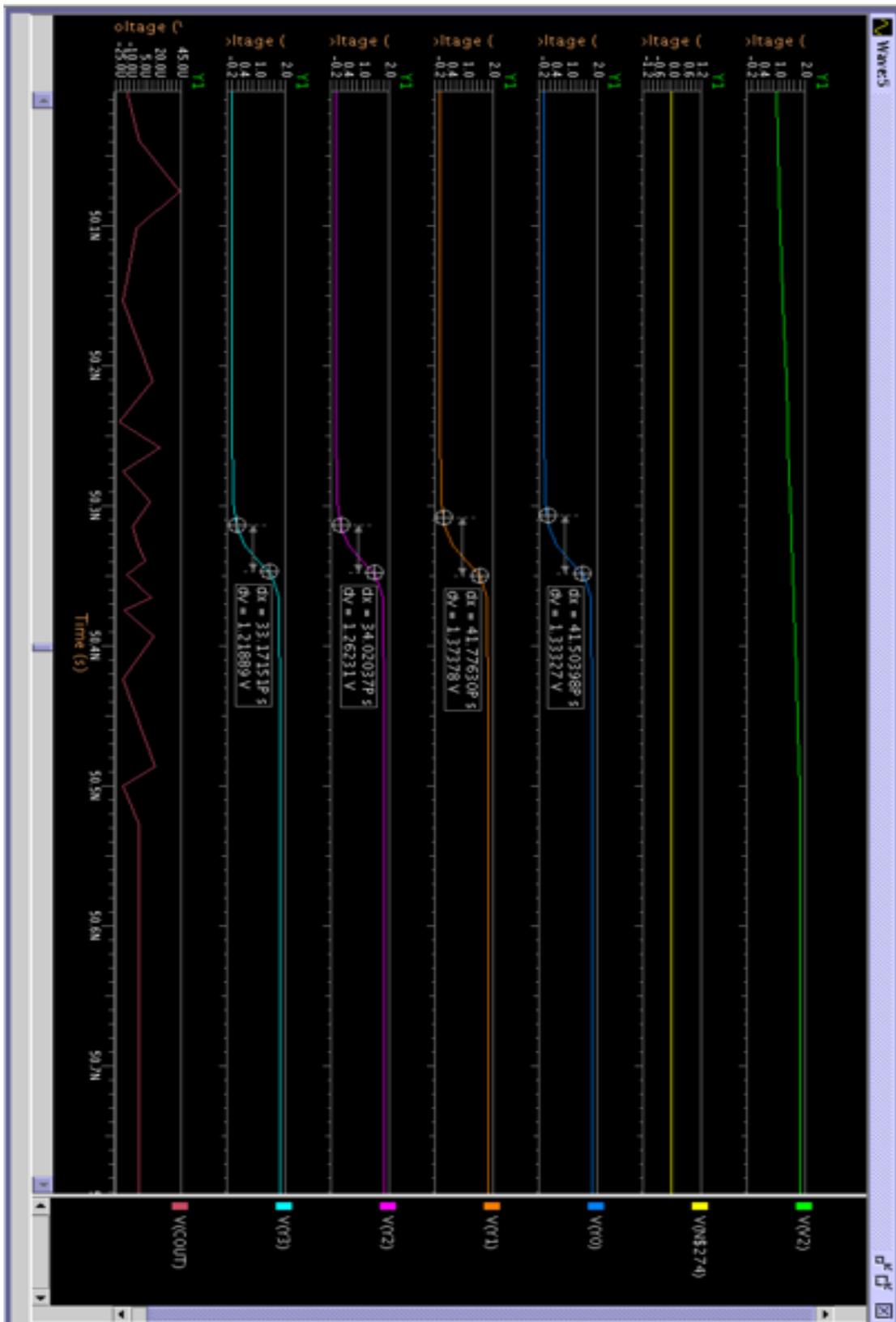


Tempo de Propagação

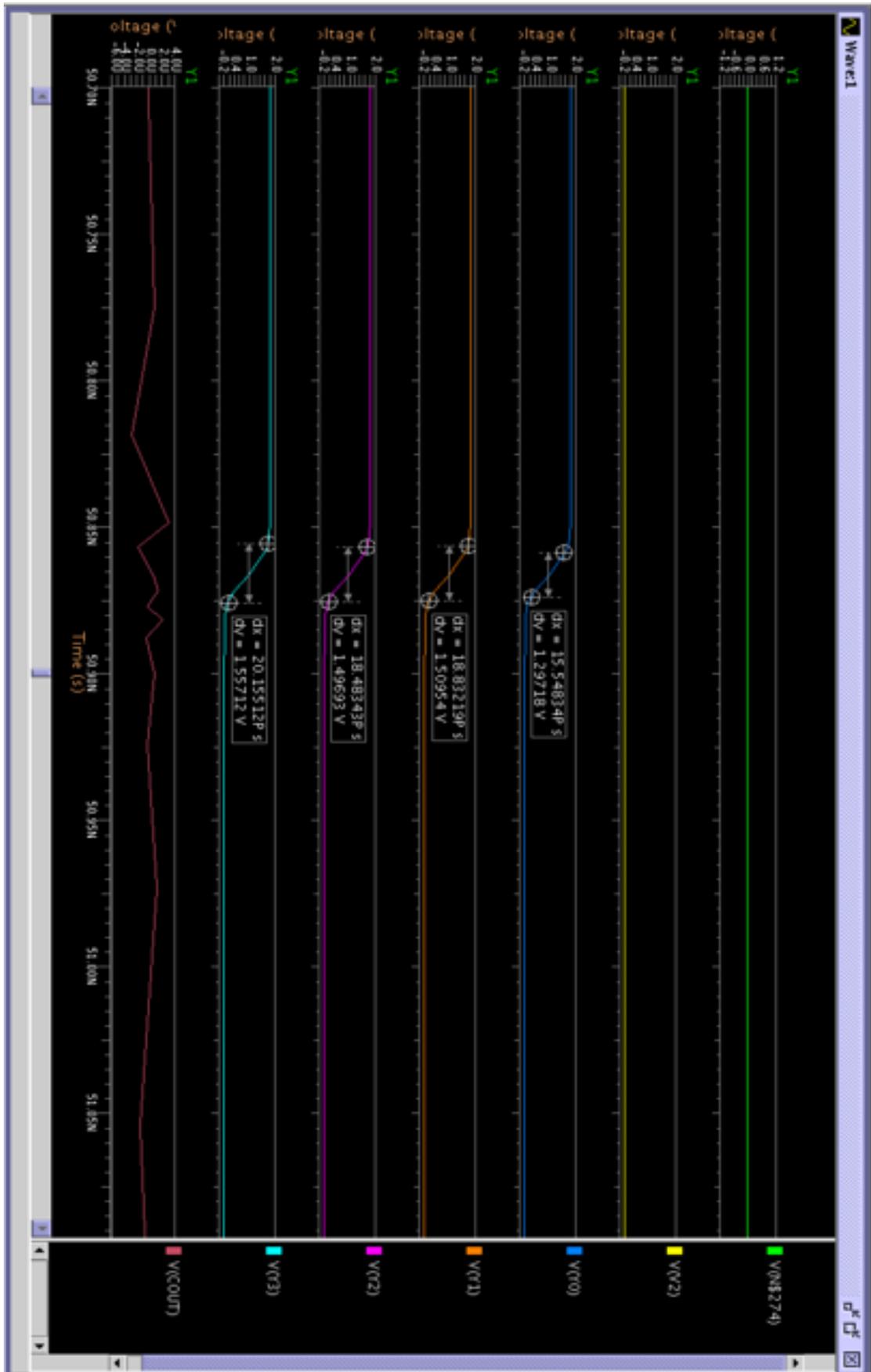


OPERAÇÃO SOMA

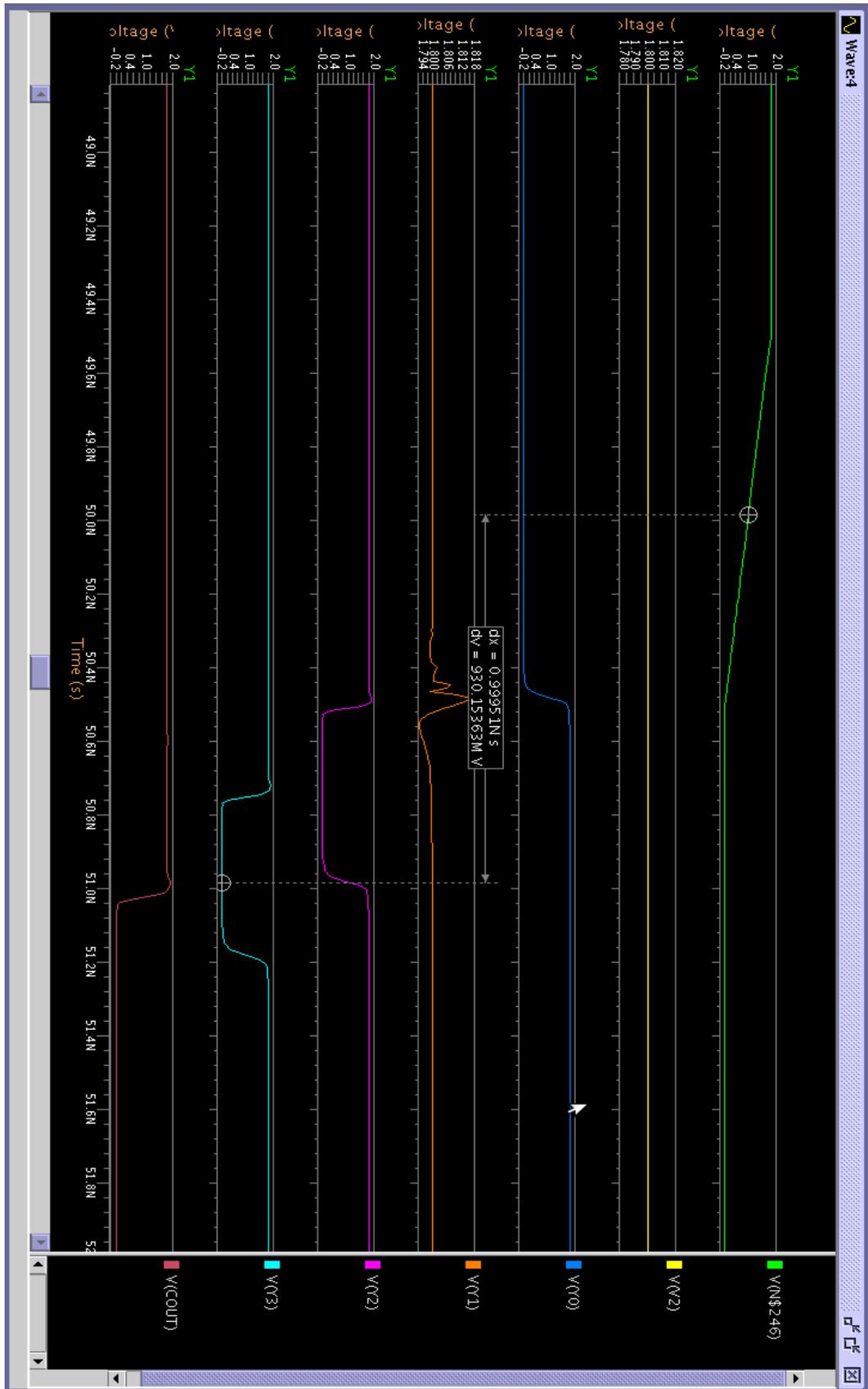
Tempo de Subida



Tempo de descida

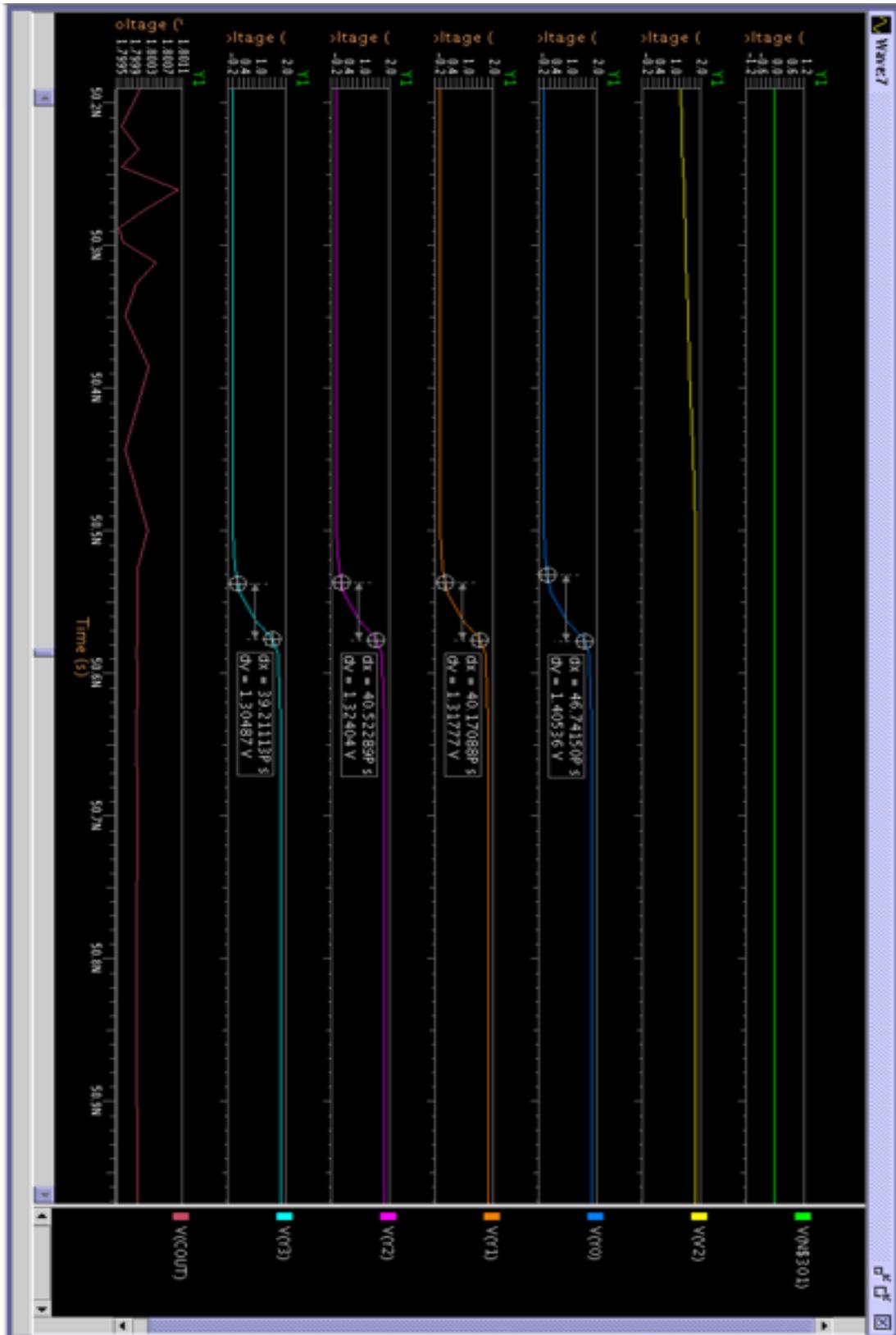


Tempo de Propagação

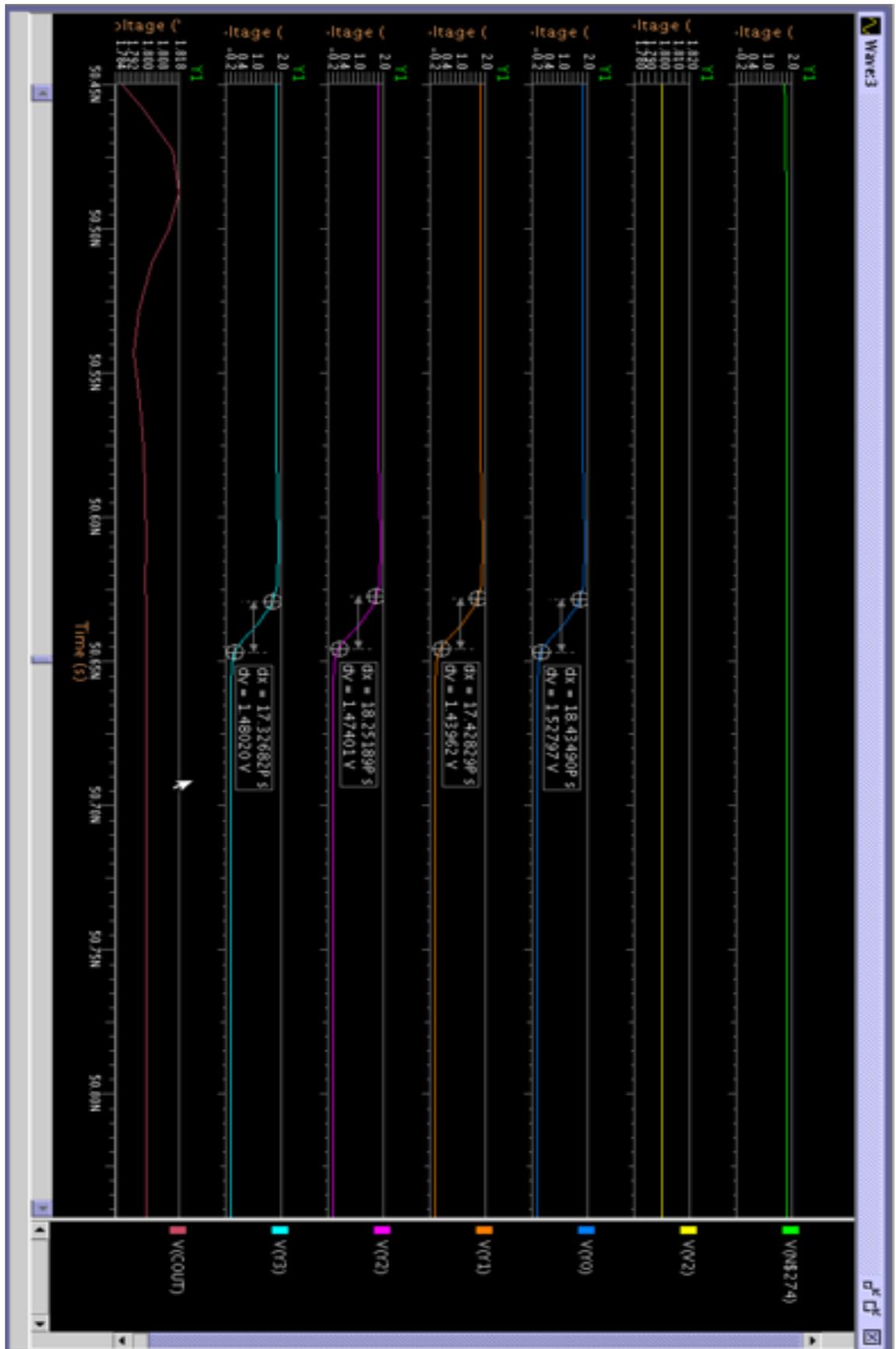


OPERAÇÃO SUBTRAÇÃO

Tempo de Subida



Tempo de Descida



Tempo de Propagação

