

UNIVERSIDADE FEDERAL DO PARANÁ
SETOR DE CIÊNCIA E TECNOLOGIA – ENGENHARIA ELÉTRICA

RELATÓRIO CONTADOR DE 6 BITS PROGRAMÁVEL

Trabalho apresentado à disciplina de Projeto de Circuitos Integrados Digitais, ministrada pelos professores Márlio Bonfim e Oscar Gouveia.

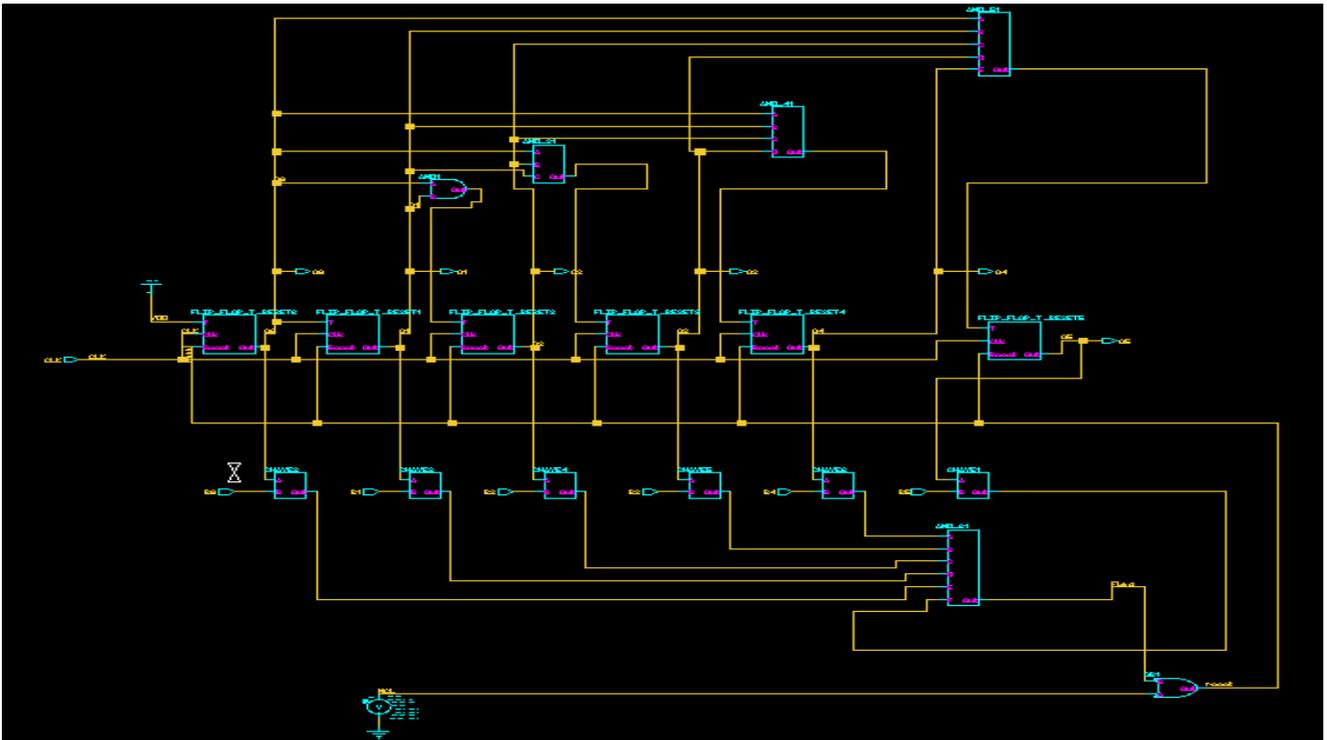
Alunos: Felipe Escobar Pires
Marcelo Baggio

Curitiba – 2010

1. INTRODUÇÃO

Este relatório tem por objetivo mostrar os passos para o projeto de um contador binário de 6 bits programável de contagem progressiva acionado pela borda negativa do pulso de clock. Relatando o funcionamento teórico do mesmo, assim como simulações para verificar o desempenho do circuito e de suas partes individualmente. Além disso, o relatório contém o *layout* do esquemático para a implementação deste projeto fisicamente.

O contador tem por objetivo contar pulsos de *clock* a fim de chegar à contagem desejada. Para isso, são usados 6 flip-flops tipo “T”, onde cada um divide a frequência de oscilação na entrada por 2. Desta forma, uma sequência binária de '0101' na entrada T do flip-flop faz surgir na saída '00 11', ou seja, quatro transições na entrada resumem-se em duas transições na saída, porém com o dobro de duração dos pulsos. Assim sendo, o contador é capaz de contar de zero até $2^n - 1$, onde 'n' é o número de bits do contador. Neste caso, $n = 6$, então a contagem se faz de “000 000” (zero) até “111 111” (63). Para o contador ser programável, é necessário que a contagem se reinicie quando chegar no número desejado pelo usuário. Por exemplo, se é desejado contar até 3, o circuito fará a contagem: '000 000', '000 001', '000 0010' e assim que for pra '000 011', a contagem é reiniciada para zero (000 000). O circuito contador completo pode ser visto na figura abaixo.



2 PRINCÍPIOS E FUNCIONAMENTO

2.1 Flip-Flop tipo T

Como pode ser visto na figura do circuito (figura 1), há uma linha de flip-flops tipo 'T', que são responsáveis pela contagem como já explicado anteriormente. A entrada do primeiro flip-flop (da esquerda para a direita), e também uma das entradas do circuito, é onde o *clock* é ligado. Então o flip-flop passa a dividir essa frequência de *clock* por dois que faz, por sua vez, a contagem de pulsos. A tabela verdade a seguir exemplifica o funcionamento do flip-flop T.

T	clock	Q_{n-1}	Q_n
0	0→1	0	0
0	1→0	1	1
1	0→1	0	1
1	1→0	1	0

Tabela 1 – Tabela Verdade do flip-flop tipo T

Sempre que a entrada 'T' estiver com nível lógico alto, a saída irá se inverter a cada

Tempo de propagação L→H: 578ps
Número de Transistores: 42

2.2 Reset e o circuito programável

A parte de baixo do circuito é responsável pelo reset do mesmo. Cada flip-flop tem uma entrada responsável pelo reset do circuito interno, fazendo com que a saída seja forçada ao nível baixo. Todos os resets juntos fazem o circuito inteiro reiniciar a contagem de forma forçada, ou seja, não é necessário o contador chegar na sequência “111 111” para então retornar ao valor “000 000”, pode-se fazer isso resetando todos os flip-flops ao mesmo tempo. Esse artifício é usado para tornar o contador programável, sendo capaz de contar até um valor especificado pelo usuário e então reiniciá-la.

Para realizar isto, é necessário gerar o pulso de reset geral de todos os flip-flops. Este pulso é formado quando a sequência atual de contagem do circuito é a mesma que a desejada pelo usuário. Assim, foram criadas chaves de comparação, capaz de manter uma saída alta enquanto as duas entradas da chave forem iguais.

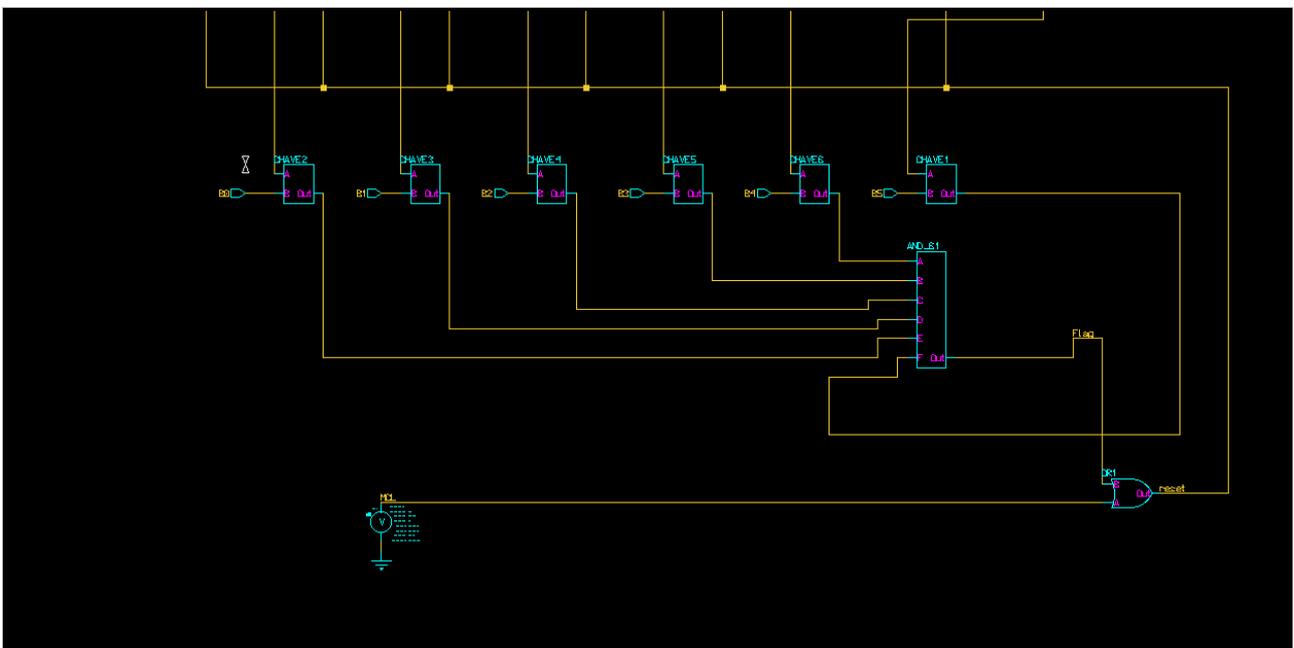


Figura 3 – Parte inferior do circuito

A chave é formada por uma porta XOR em série com um inversor. Como mostra a tabela abaixo, sempre que os dois bits forem iguais, a saída da XOR vai para nível baixo. Porém, ao

passar pelo inversor, a saída vai para nível alto.

A	B	Saída XOR	Saída da Chave (XOR + INV)
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

Tabela 3 – Tabela verdade da chave comparadora

A entrada A de cada chave dessas é conectada à saída de cada flip-flop, enquanto a entrada B é o usuário que determina, tornando-a nível alto ou baixo. Para exemplificar, supondo uma contagem desejada de 10, a sequência para se comparar será “001 010”. A contagem se inicia sempre com “000 000”, portando, colocando as duas sequências na chave, tem-se na saída a série de bits “110 101”, que pode ser interpretada como: os bits 0, 2, 4 e 5 são os mesmos que se deseja, porém os bits 1 e 3 não são. E a cada incremento do valor da contagem é realizada essa verificação, até a contagem chegar em 10, onde são comparadas a sequência desejada com o valor “001 010”, retornando na saída das chaves a série “111 111”, mostrando que os dois valores binários são iguais.

Com os níveis de saída das chaves, pode-se gerar o pulso de reset geral do circuito simplesmente conectando as 6 saídas das chaves em uma porta AND. Assim, sempre que as entradas forem nível alto, a saída também será, gerando o pulso de reset e recontagem do contador. A tabela verdade da porta AND de duas entradas é mostrada abaixo.

A	B	Out
0	0	0
0	1	0
1	0	0
1	1	1

Tabela 4 – Tabela verdade da porta AND

Os circuitos e dados das chaves e da porta AND são mostrados a seguir.

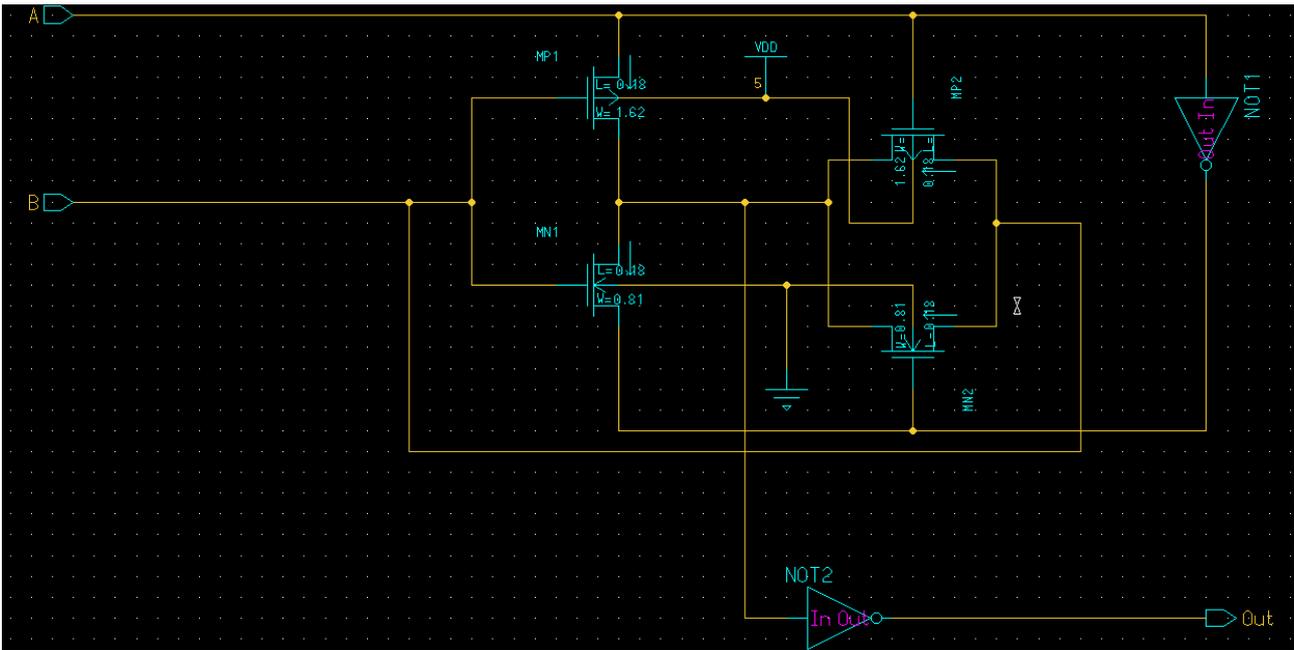


Figura 4 – Esquemático de uma chave comparadora

Número de Transistores: 8

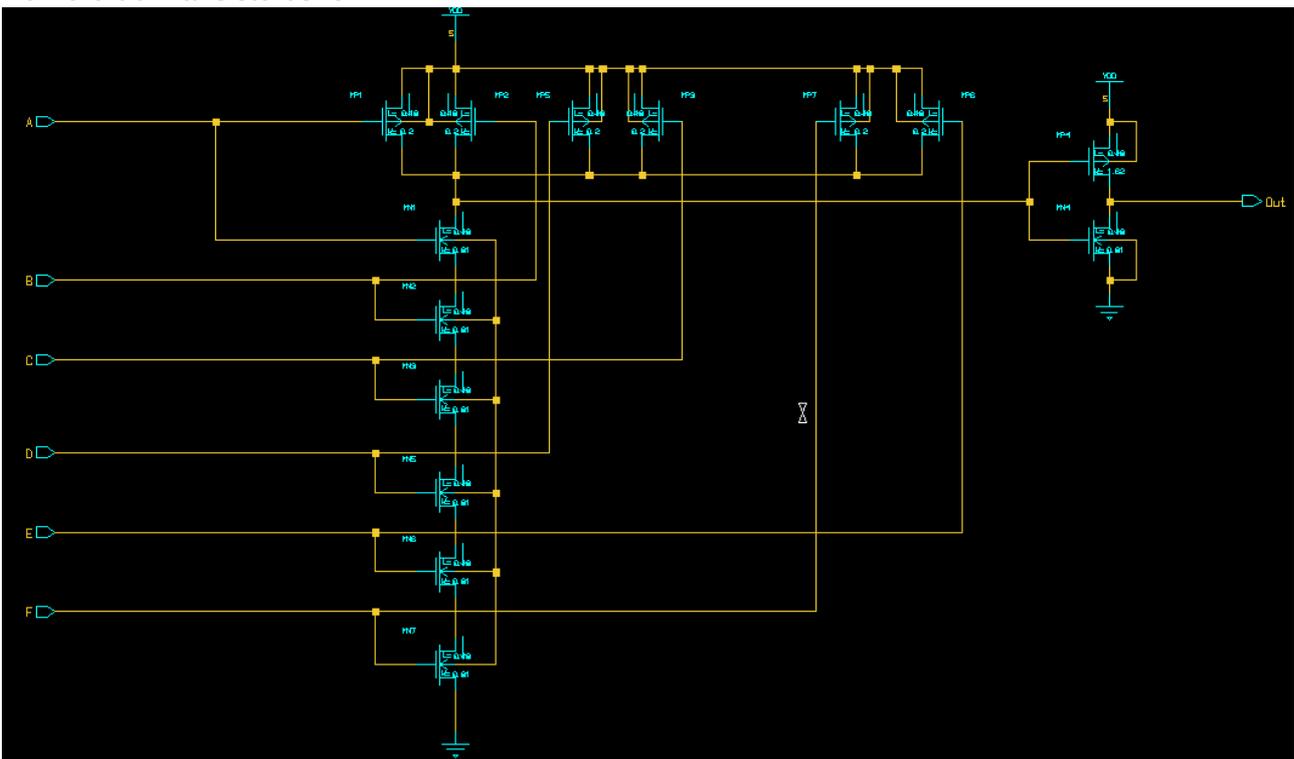


Figura 5 – Porta AND de 6 entradas

Tempo de Subida: 105ps

Tempo de Descida: 132ps

Tempo de propagação H→L: 263ps

Tempo de propagação L→H: 182ps

Número de Transistores: 14

2.3 Sincronia das saídas dos Flip-Flops

A parte superior do circuito (acima da cadeia de flip-flops) faz a sincronia das saídas dos flip-flops, necessária para o circuito não ser sensível ao atraso de propagação dos mesmos. É composta apenas por portas AND de duas, três, quatro e cinco entradas.

Ao ver a figura abaixo, pode-se perceber que a entrada do terceiro flip-flop (F3) vem da saída de uma porta AND que, por sua vez, tem nas entradas as saídas dos flip-flops 1 e 2 (F1 e F2 respectivamente). A entrada de F3 só vai pra nível alto, quando as duas outras entradas anteriores estiverem em nível alto também, isso habilita o flip-flop a trocar o nível da saída sempre que há uma transição de *clock*. Este chaveamento faz a frequência de saída do flip-flop ser a metade da frequência anterior, que é o princípio de contagem do circuito.

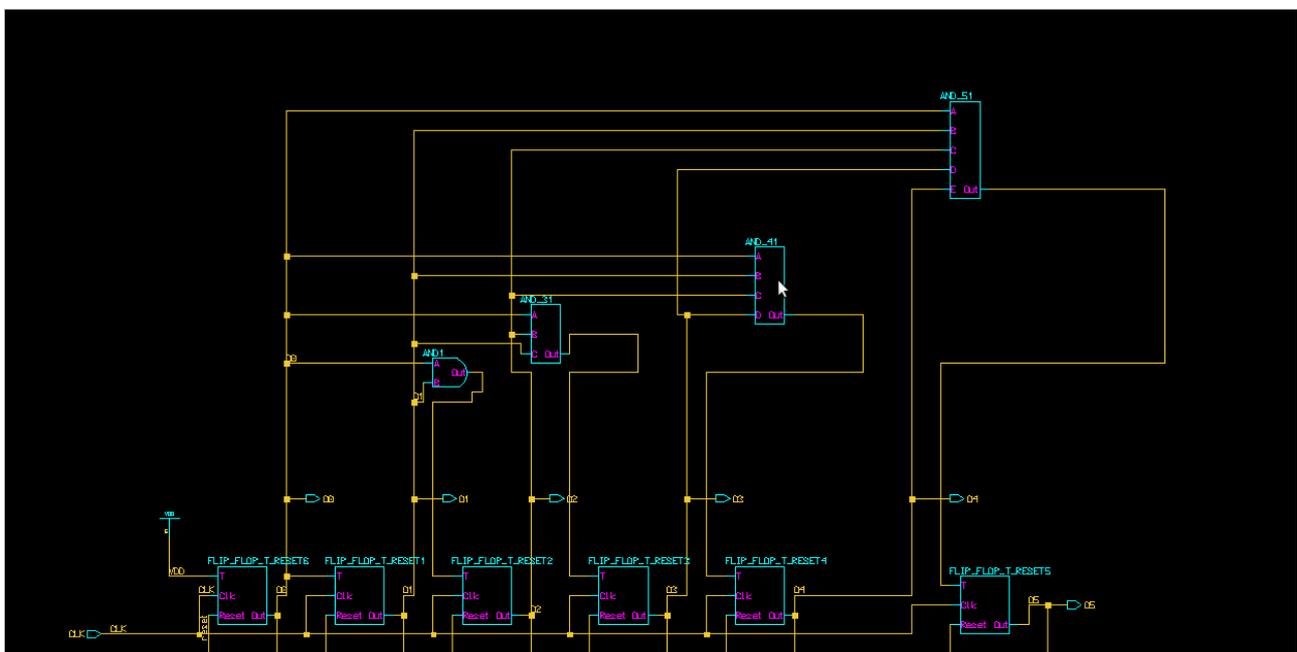


Figura 6 – Parte superior do circuito

2.4 Cálculo da largura dos transistores

Todos os transistores usam um comprimento de canal de 0,18 μ m, porém a largura interfere na resistência do transistor. Assim, cada porta teve que ser otimizada afim de que a resistência equivalente de saída seja a mesma tanto em nível alto como em nível baixo.

Para a mesma largura de transistor, a resistência do PMOS é aproximadamente o dobro da

resistência do NMOS. Portanto o dobro da largura resulta em metade da resistência, já que as duas variáveis são inversamente proporcionais.

$W_p \rightarrow 2R$	$2 W_p \rightarrow R$
$W_n \rightarrow R$	$W_n \rightarrow R$

Com isto em mente, pode-se calcular a largura dos transistores PMOS. A seguir são mostradas algumas portas e as dimensões de cada transistor.

- **Porta Inversora:** É composta por apenas dois transistores, o nível alto passa por um PMOS e o nível baixo por um NMOS. Se forem da mesma largura, a resistência para o nível alto é $2R$ e para o nível baixo é R . Portanto, deve-se dobrar a largura do canal do transistor P, para reduzir à metade a resistência dele. Assim, a resistência para cada nível é R .

$$W_p = 1,62\mu\text{m}, L_p = 0,18\mu\text{m}, W_n = 0,81\mu\text{m}, L_n = 0,18\mu\text{m}$$

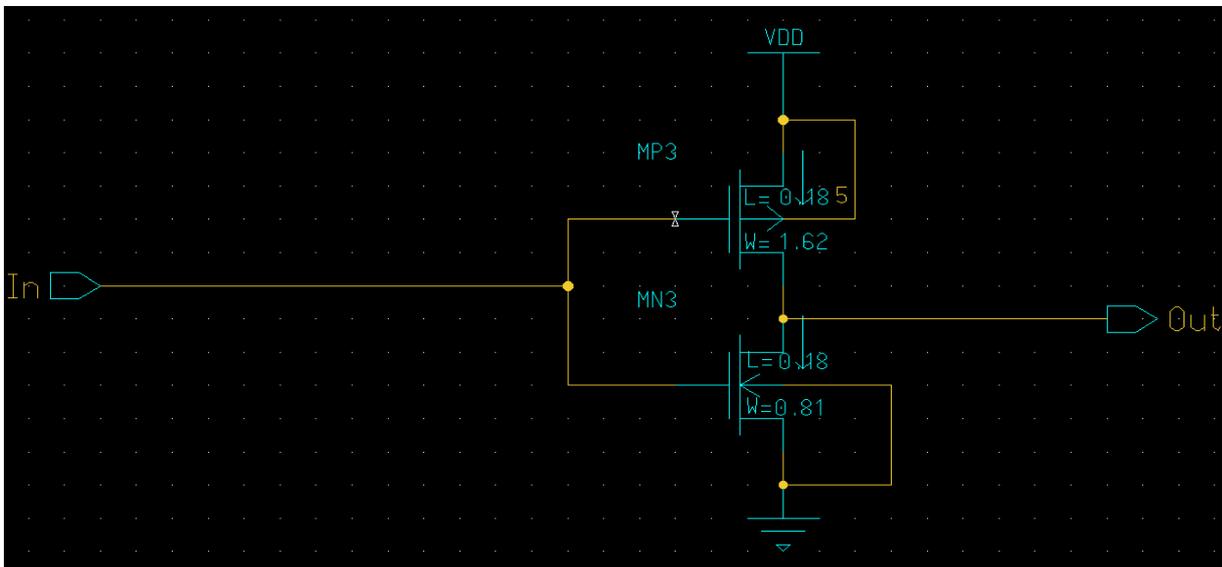


Figura 7 – Porta inversora

- **Porta NAND:** Para transistores de mesma largura, o nível alto passa por um transistor PMOS (portanto, resistência $2R$) e o nível baixo por dois transistores NMOS (portanto, resistência $2R (R+R)$). Não há necessidade de mudar a largura.

$$W_p = 0,81\mu\text{m}, L_p = 0,18\mu\text{m}, W_n = 0,81\mu\text{m}, L_n = 0,18\mu\text{m}$$

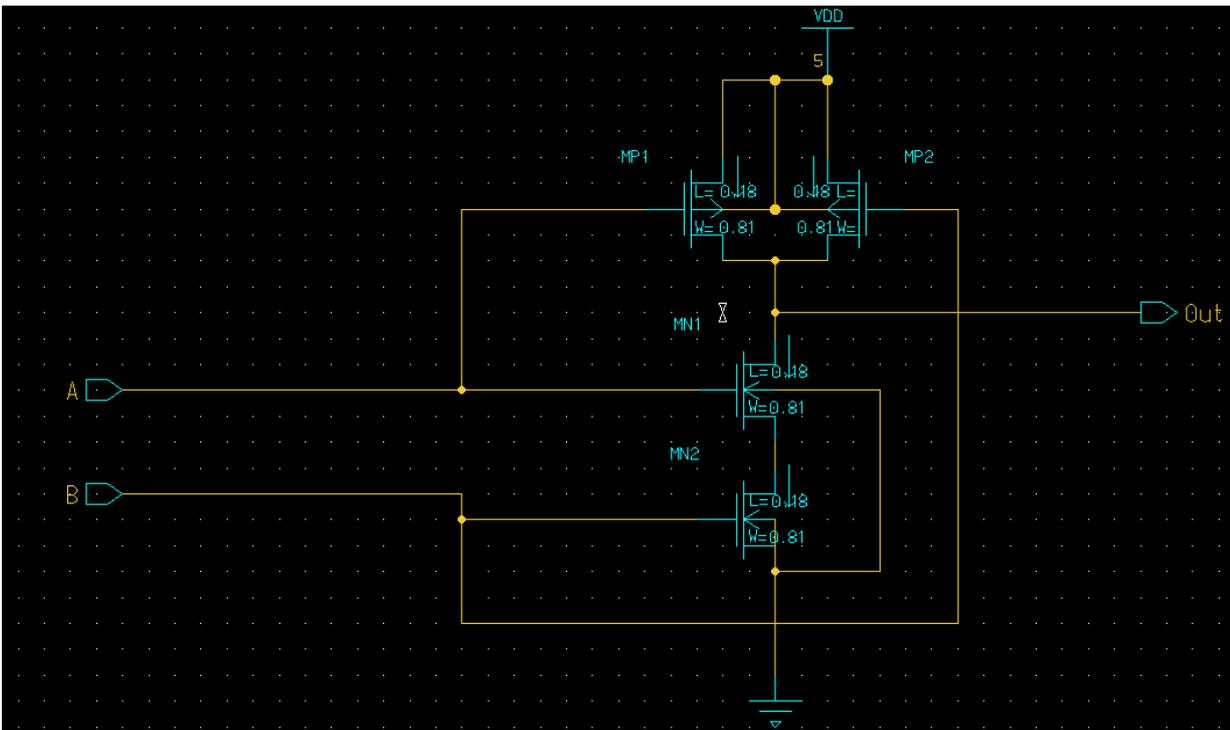


Figura 8 – Porta NAND

- **Porta AND(3 entradas):** O nível alto passa por $2R$, enquanto para o nível baixo há uma resistência equivalente de $3R$ (3 transistores NMOS em série). Para $W_p = 0,7W_n$, a resistência do PMOS é igual a $3R$.

$$W_p = 0,6\mu\text{m}, L_p = 0,18\mu\text{m}, W_n = 0,81\mu\text{m}, L_n = 0,18\mu\text{m}$$

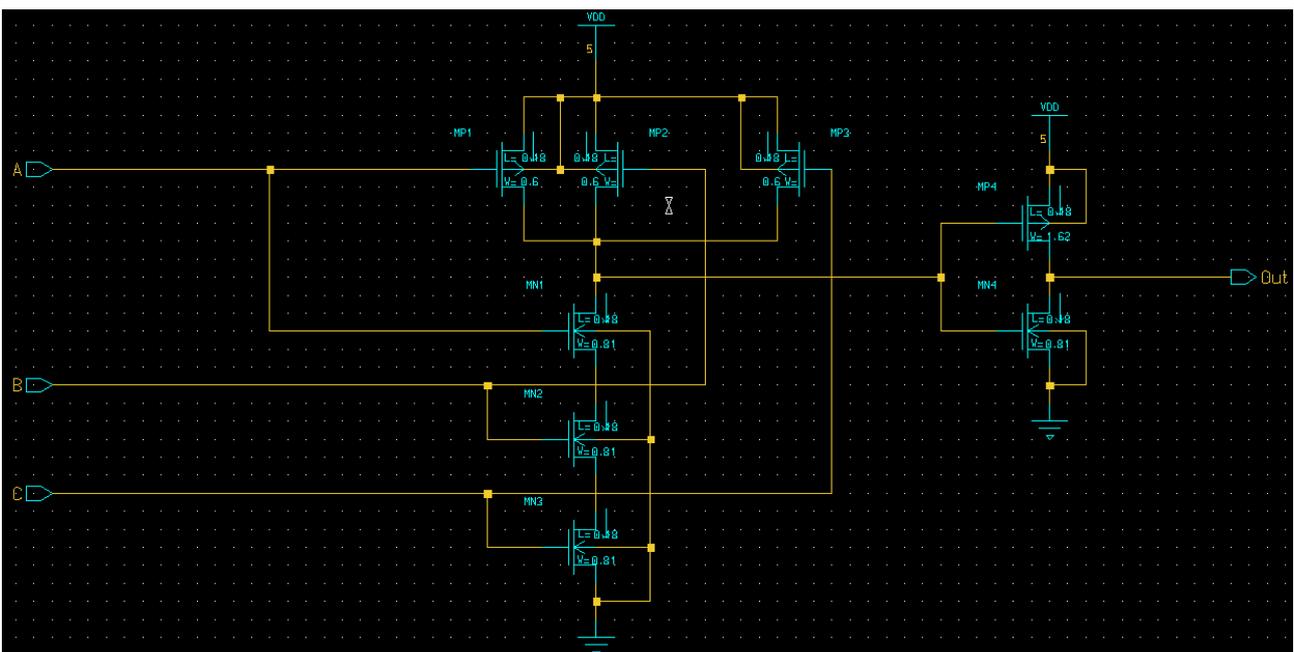


Figura 9 – Porta AND de 3 entradas

Seguindo o mesmo raciocínio descrito acima, calculou-se as dimensões de todas as portas elementares restantes, como as AND's de 2,4,5 e 6 entradas, a NAND de 3 entradas e a OR.

3 RESULTADOS E SIMULAÇÕES

3.1 Simulação Lógica

Na simulação lógica é possível verificar a funcionalidade do circuito. Devido ao grande número de contagem possíveis (0 até 63), foram apresentadas apenas 3 contagens para exemplificar seu funcionamento.

Nas figuras a seguir, são mostradas várias ondas no mesmo gráfico. As seis primeiras ondas são os bits de saída, do menos significativo ao mais significativo. As próximas seis ondas são os bits que representam o valor a ser contado, a 13ª onda é o *clock*, a 14ª é o nível lógico para a entrada T do primeiro flip-flop, e a última onda é o pulso de reset inicial do circuito. A linha em vermelho marca o final da contagem, pode-se observar que após esta marca, todas as ondas vão para nível baixo novamente, o que caracteriza o reinício da contagem. É importante salientar que a contagem não inclui o número desejado. Por exemplo, se a contagem for até 6, o circuito conta até 5 e, na transição do 5 para o 6, o circuito recomeça.

- **Contagem até 6:** A primeira figura mostra o contador fazendo a contagem até a sequência binária "000 110", que representa o valor 6.

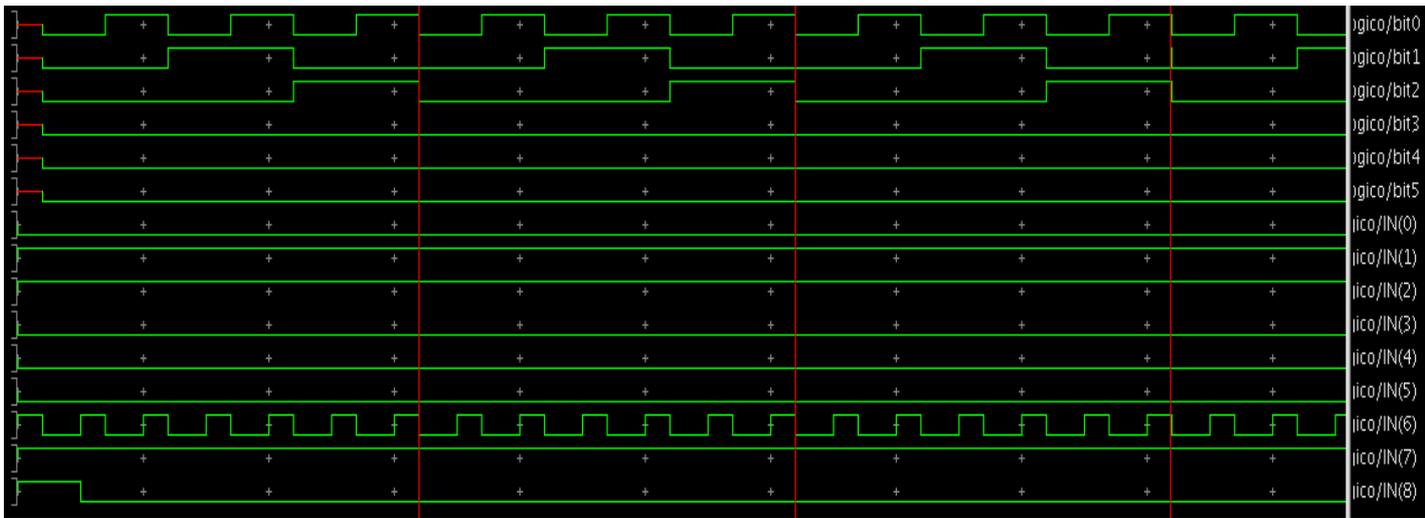


Figura 10 – Contagem até 6

- **Contagem até 17:** A figura abaixo mostra a contagem até a sequência “010 001”, que representa o valor 17 em decimal.

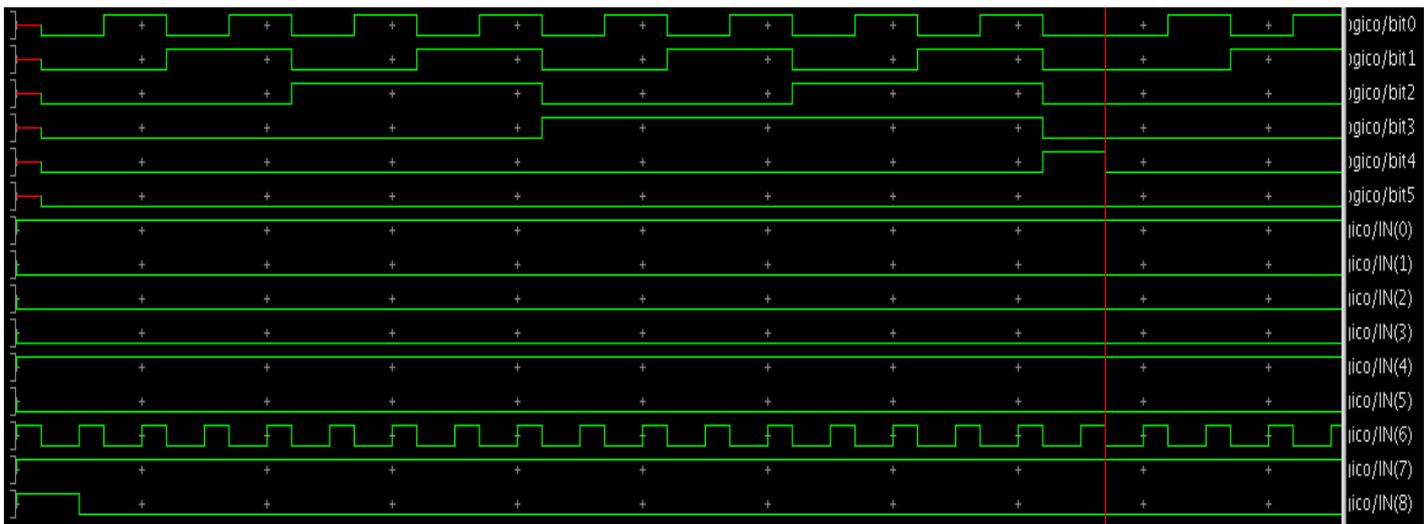


Figura 11 – Contagem até 17

- **Contagem até 21:** A próxima figura mostra os gráficos para a contagem até “010 101”, o número 21 em decimal.

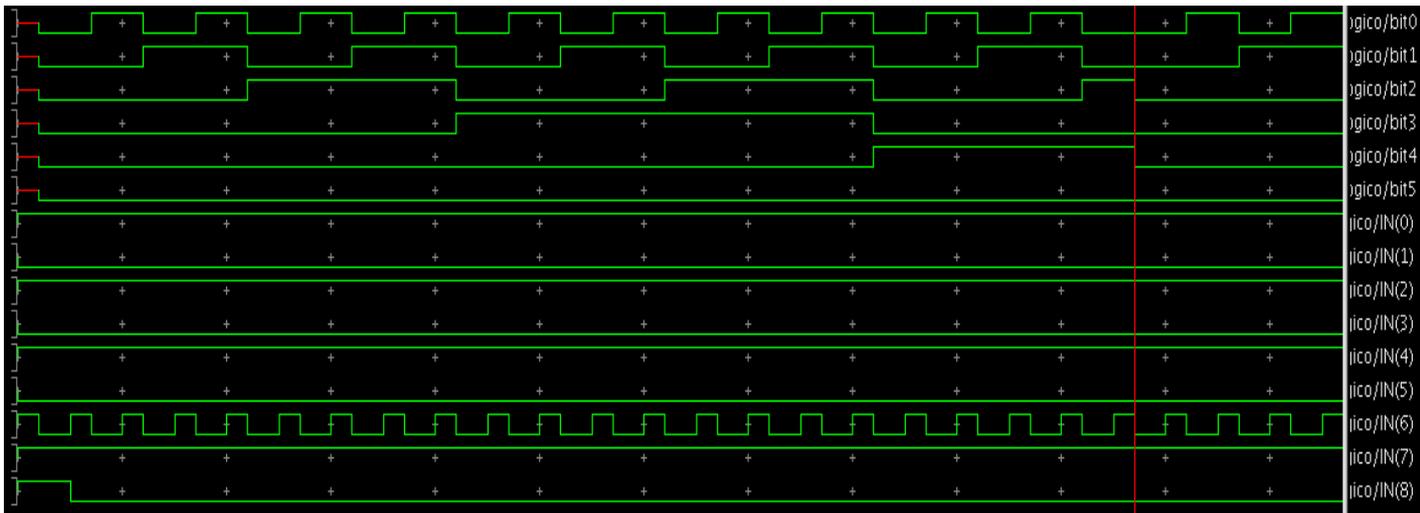


Figura 12 – Contagem até 21

Com as figuras acima, pode-se perceber que o circuito realiza a função de contador. Porém esta simulação é o caso ideal, e não leva em considerações atraso de propagação e outras peculiaridades que possam interferir no circuito.

3.2 Simulação Elétrica

Na simulação elétrica é possível verificar alguns fatores importantes além da funcionalidade do mesmo, como também é visto na simulação lógica descrita anteriormente.

A seguir encontram-se 3 simulações para outros valores além dos já vistos na simulação anterior. Todas as simulações foram realizadas com *clock* de frequência 200MHz, e tempo de subida e descida de 1ns e com cargas capacitivas de 100fF em cada saída e alimentação de 1,8V.

- **Contagem até 15:** A figura abaixo mostra a simulação feita para contar até a sequência “001 111”, referente ao número 15 na base decimal. Não está mostrado no gráfico, mas a partir dele é possível obter os tempos de subida e descida.

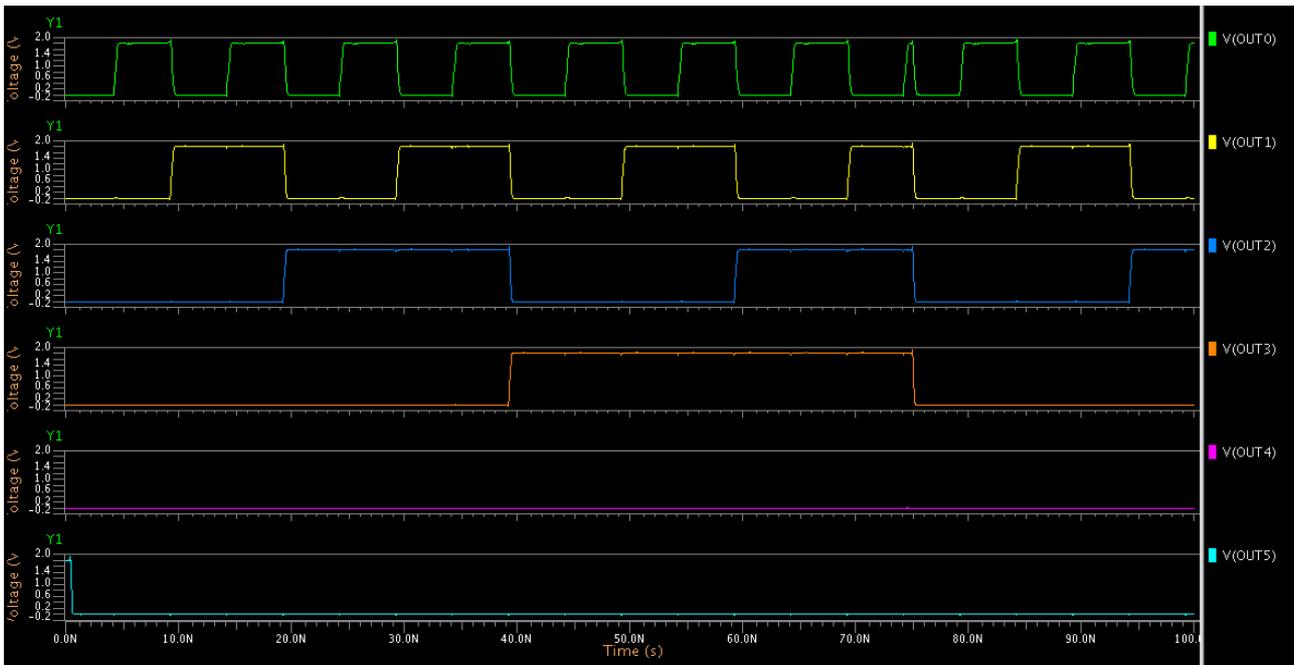


Figura 13 – Simulação elétrica do contador (contagem 15)

- **Contagem até 34:** O contador conta até a sequência “100 010”, que está ilustrado na figura abaixo.

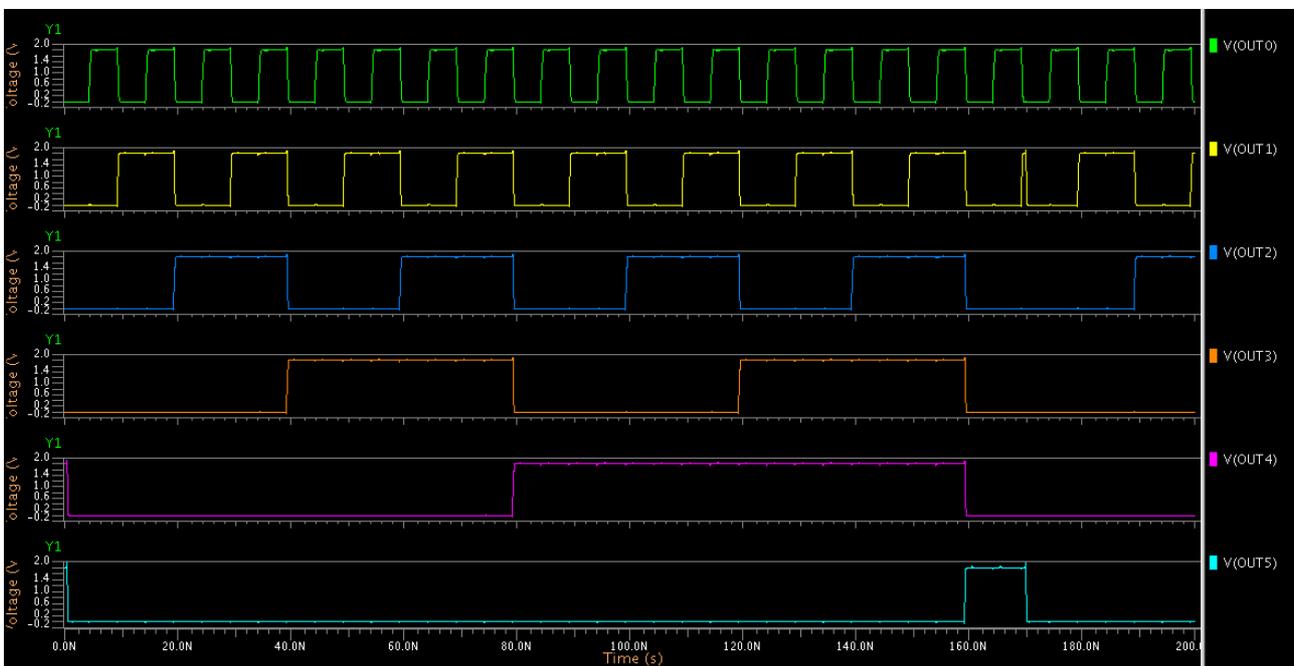


Figura 14 – Simulação elétrica do contador (contagem 34)

- **Contagem até 60:** A figura a seguir mostra a contagem até 60 (“111 100” em binário).

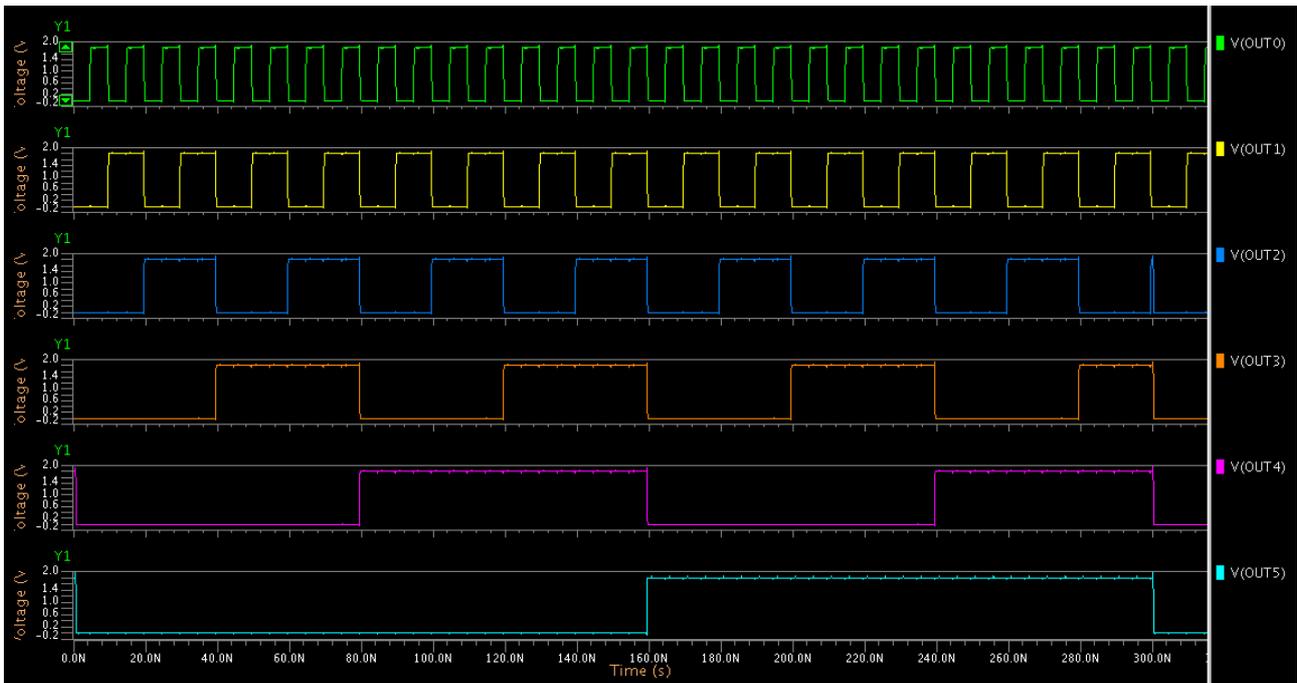


Figura 15 – Simulação elétrica do contador (contagem 60)

Pode-se observar nas imagens acima que o contador não reinicia a contagem imediatamente (como mostrado na simulação lógica), há um pulso de curta duração que caracteriza a recontagem. Este pulso é devido ao atraso gerado pelos transistores. Porém, o circuito funciona perfeitamente, pois as ondas vão desde o 0V até a tensão máxima de alimentação de 1,8V.

Na simulação elétrica foi possível obter os tempos de subida e descida, propagação e a frequência máxima de operação do circuito. Vale lembrar que a para determinar a frequência máxima foi necessário diminuir o tempo de subida e descida do *clock* para 0.8ns. Os dados e a simulação do circuito realizada encontram-se nas figuras a seguir.

Desempenho geral do circuito:

Tempo de Subida: 880ps
 Tempo de Descida: 752ps
 Tempo de propagação H→L: 755ps
 Tempo de propagação L→H: 856ps
 Frequência máxima de operação: 1GHz
 Número de Transistores: 350

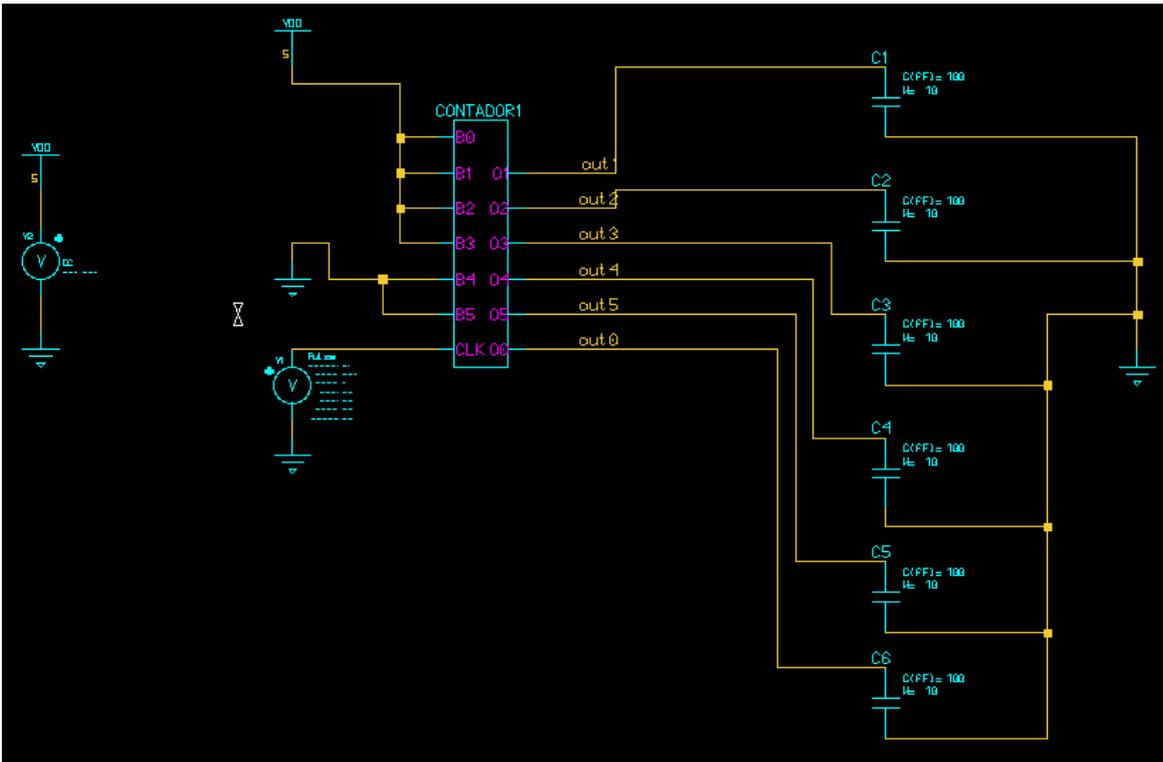


Figura 16 – Simulação Realizada

4 LAYOUT

As figuras abaixo mostram o *layout* de todo o circuito. Primeiramente o circuito completo, seguido pelas suas partes, como flip-flops, chaves comparadoras e algumas portas.

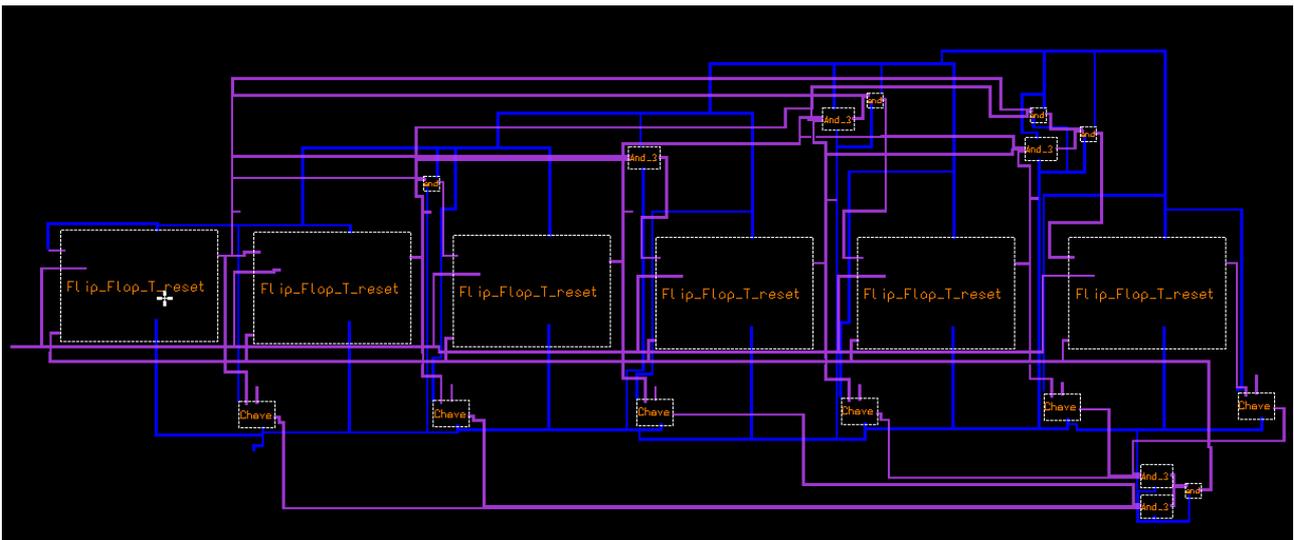


Figura 17 – Layout do Circuito completo

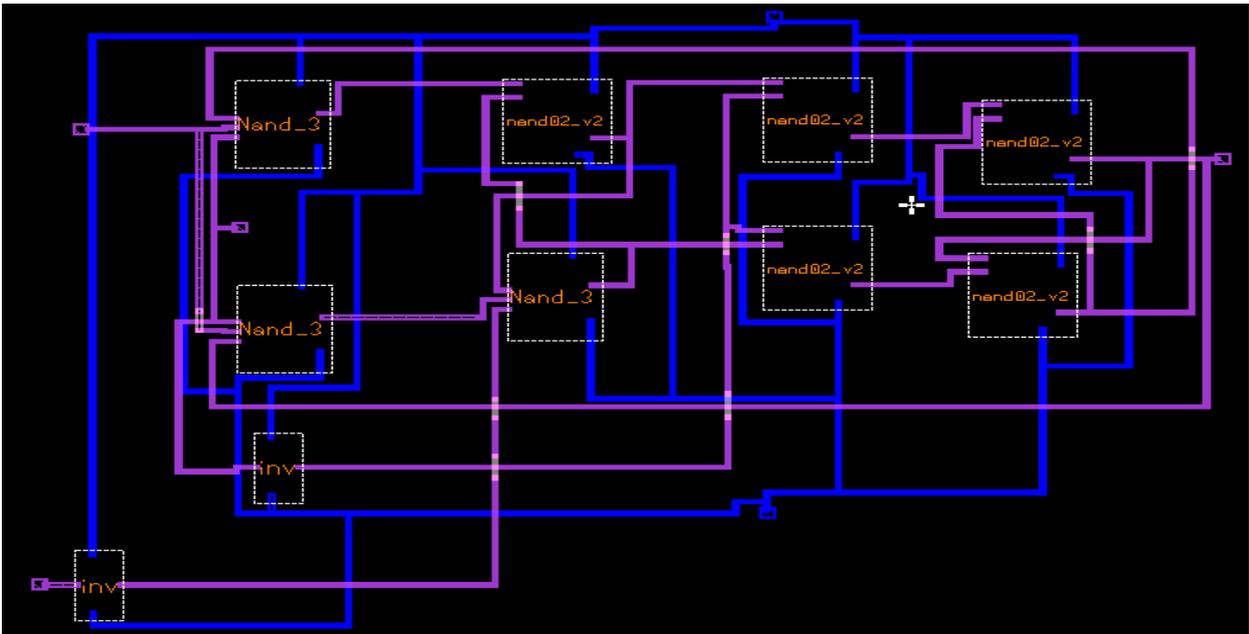


Figura 18 – Layout do Flip-Flop T

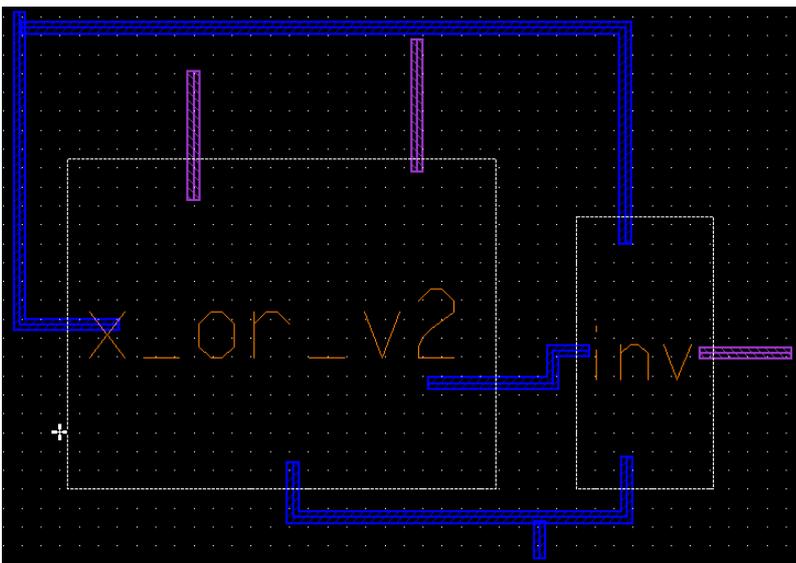


Figura 19 – Layout da chave comparadora

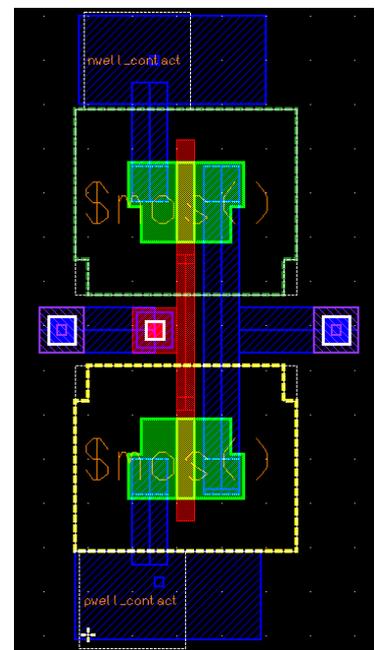


Fig. 20 – Layout da porta NOT

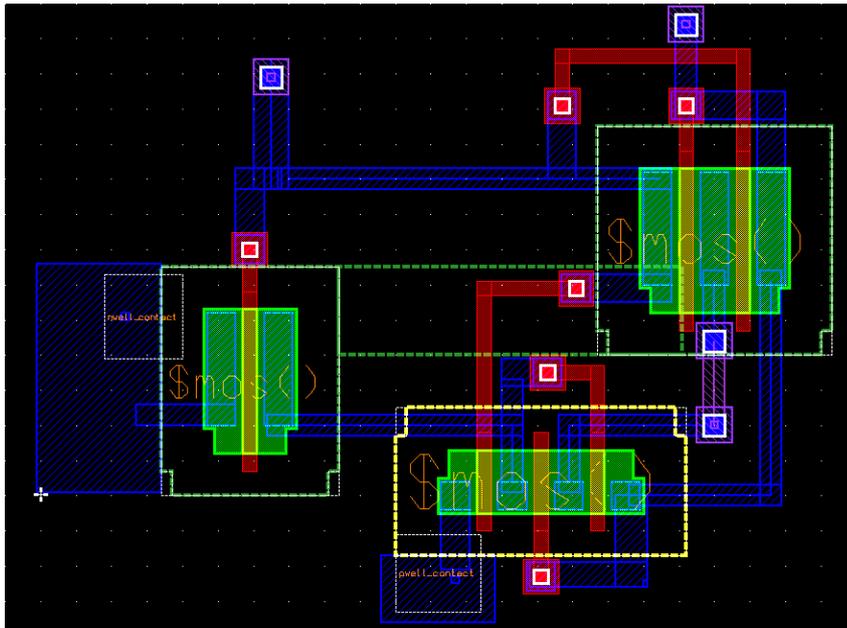


Figura 21 – Layout da porta XOR

Devido ao *layout* das portas AND com grande número de entradas se tornarem complexos a nível de transistores otimizados, todas essas portas foram refeitas com portas AND de duas entradas em cascata e paralelo.

5 DIFICULDADES ENCONTRADAS

Os maiores problemas encontrados foram apenas na montagem do circuito. Um deles era o problema de reset do flip-flop, que a princípio não se achava onde deveria ser aplicado o pulso de reset. O problema foi resolvido ligando o sinal de reset em uma das portas NAND como mostrado na figura 2. Outra dificuldade foi a implementação das chaves comparadoras para o reset geral do circuito, pois foram realizadas várias idéias de chaves para fazer a comparação, porém todas não obtiveram sucesso. A idéia que resolveu este problema foi simples e a mais otimizada, que consiste em uma porta XOR com um inversor na saída. O último problema encontrado era o fato do circuito não iniciar com todos os flip-flops resetados. Esta dificuldade foi superada ao gerar um curto pulso de reset ao inicializar a simulação, porém este pulso não é realizado fisicamente.

6 CONCLUSÕES

Os resultados apresentados pelas simulações (figuras 13, 14 e 15) mostram um circuito funcionando de forma muito satisfatória. O contador mostrou responder a uma frequência alta (1GHz) e a partir deste valor, o circuito começou a diminuir a amplitude das saídas. Porém esta frequência só foi obtida ao diminuir os tempos de subida e descida de clock para 0,8ns ao invés de 1ns.

O número de transistores total do circuito foi reduzido ao máximo possível levando em consideração o tempo para a realização do projeto e sua complexidade. Pois ainda era possível reduzir este número, porém seria necessário maior tempo para projetá-las.

7 BIBLIOGRAFIA

- [1] Apostila de Eletrônica Digital I – Prof. Pastro
- [2] <http://pt.wikipedia.org/wiki/Flip-flop>

