

UNIVERSIDADE FEDERAL DO PARANÁ

PROJETOS DE CIs DIGITAIS
Decodificador do display de sete segmentos

Alunos:

- Pablo H. de A. Cernelós
- Felipe Luis Jarek
- João Luiz Guazi Jr.

Curitiba
2010

1. INTRODUÇÃO

Este trabalho tem por objetivo otimizar e projetar o circuito de decodificação para um display de sete segmentos. A otimização deve ser realizada a nível de portas lógicas, e também a nível de transistores; o circuito otimizado será então utilizado para a confecção do circuito integrado. A forma final desse circuito integrado será seu *layout* pronto no software ICStudio. Como ele não será confeccionado, serão realizadas simulações elétricas e lógicas através do próprio software ICStudio para comprovar seu funcionamento.

2. DESENVOLVIMENTO

2.1 Pesquisa

Primeiramente passo para o desenvolvimento do projeto foi preciso uma pequena pesquisa de sobre o dispositivo, como ele deve se comportar e suas principais características.

O display deve mostrar os valores de 0 a 9 apenas, ou seja, ele deve decodificar um valor de quatro bits para os respectivos segmentos do display (representados de A a G, conforme a figura 1).

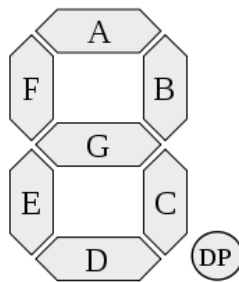


Figura 1: Display de sete segmentos.

Outro ponto necessário foi elaborar uma tabela verdade para então obtermos as equações de cada segmento através do mapa de Karnaugh e por conseqüência os seus circuitos lógicos digitais.

	3	2	1	0	A	B	C	D	E	F	G
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Tabela 1: Tabela Verdade do display de sete segmentos.

2.2 Otimização do circuito

Após efetuarmos o mapa de Karnaugh de cada segmento obtivemos o seguinte circuito:

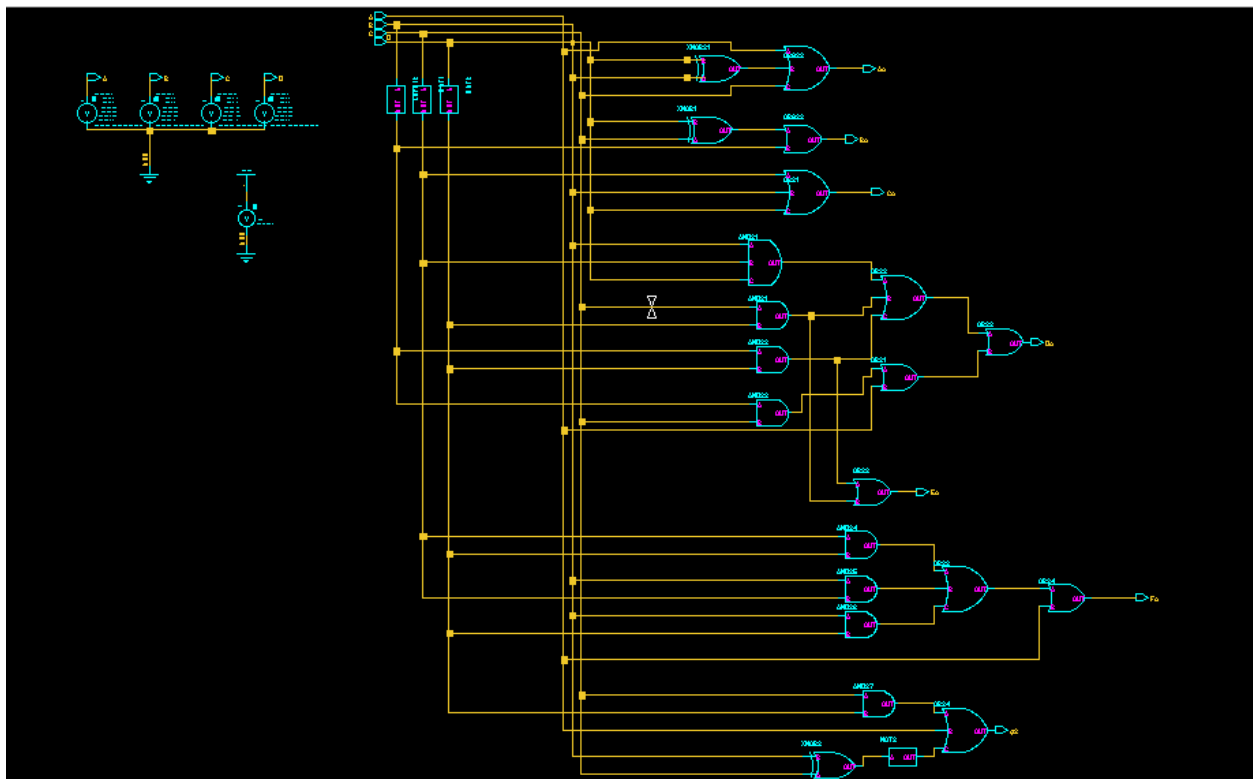


Figura 2: Circuito lógico do Decodificador

2.3 Simulação lógica

Para efetuarmos a simulação lógica do circuito obtido, seguimos os passos descritos no tutorial apresentado pelo professor Oscar e disponível no servidor. As bibliotecas necessárias para tal foram importadas e foi reconstituído o circuito do decodificador no ambiente Schematic, conforme a figura abaixo:

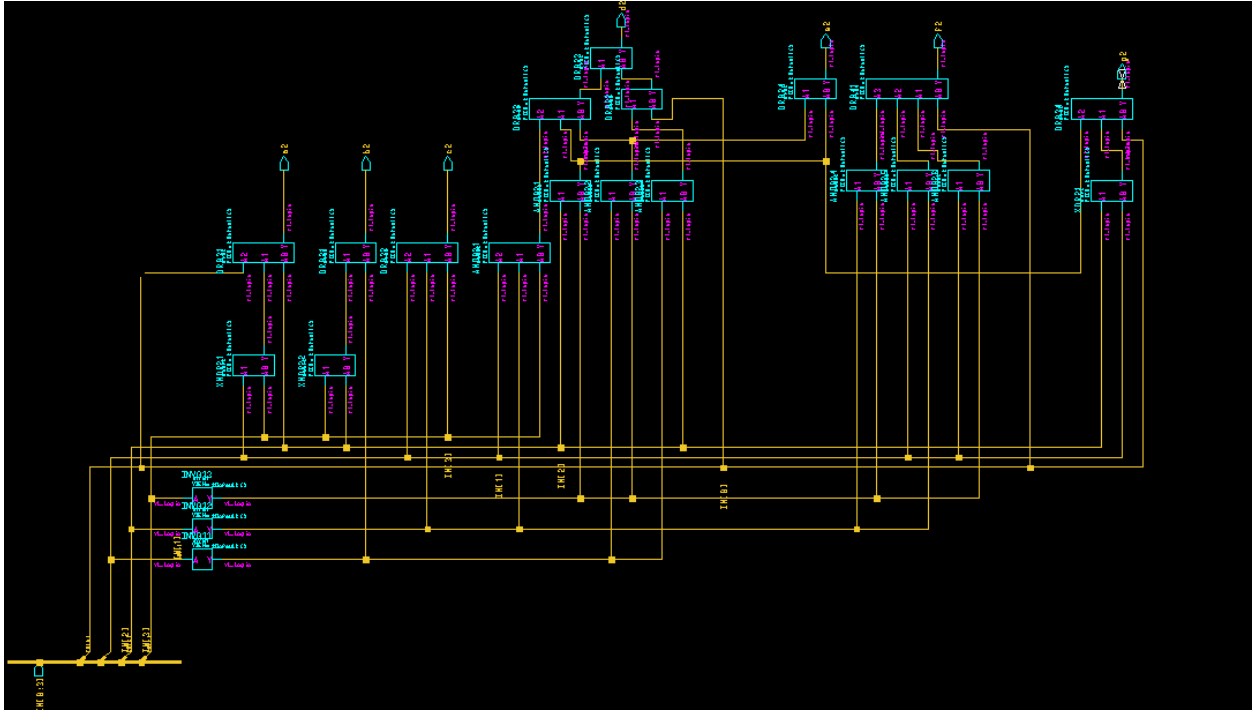


Figura 3: Circuito do Decodificador para simulação lógica

Na entrada do circuito foi inserido um barramento de bits, com clocks múltiplos de dois, para nos fornecer os diferentes valores necessários da tabela verdade, em ordem crescente.

Após parametrizados os valores para simulação, as saídas obtidas para cada segmento foram obtidas, de acordo com a figura abaixo:

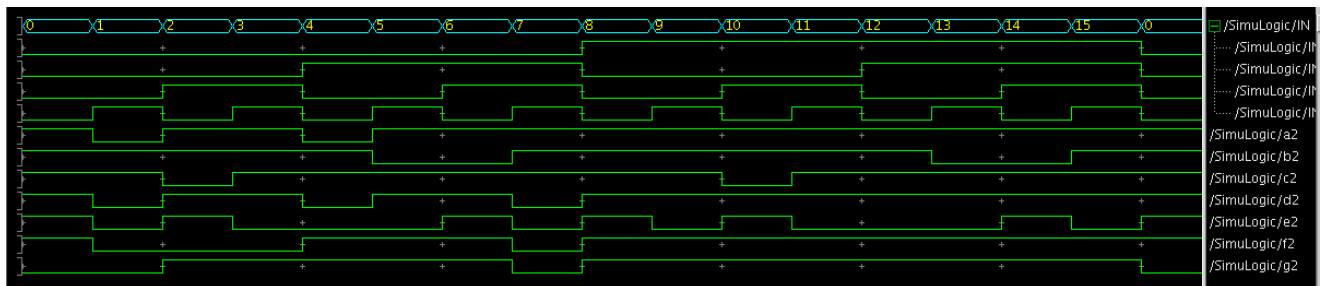


Figura 4: Simulação lógica

Observando os valores obtidos para cada saída, e comparando-os àqueles da tabela verdade, constatamos que logicamente o circuito está correto.

2.4 Simulação elétrica

Após a simulação lógica do circuito, também foi realizada a simulação elétrica do mesmo conforme o esquemático abaixo:

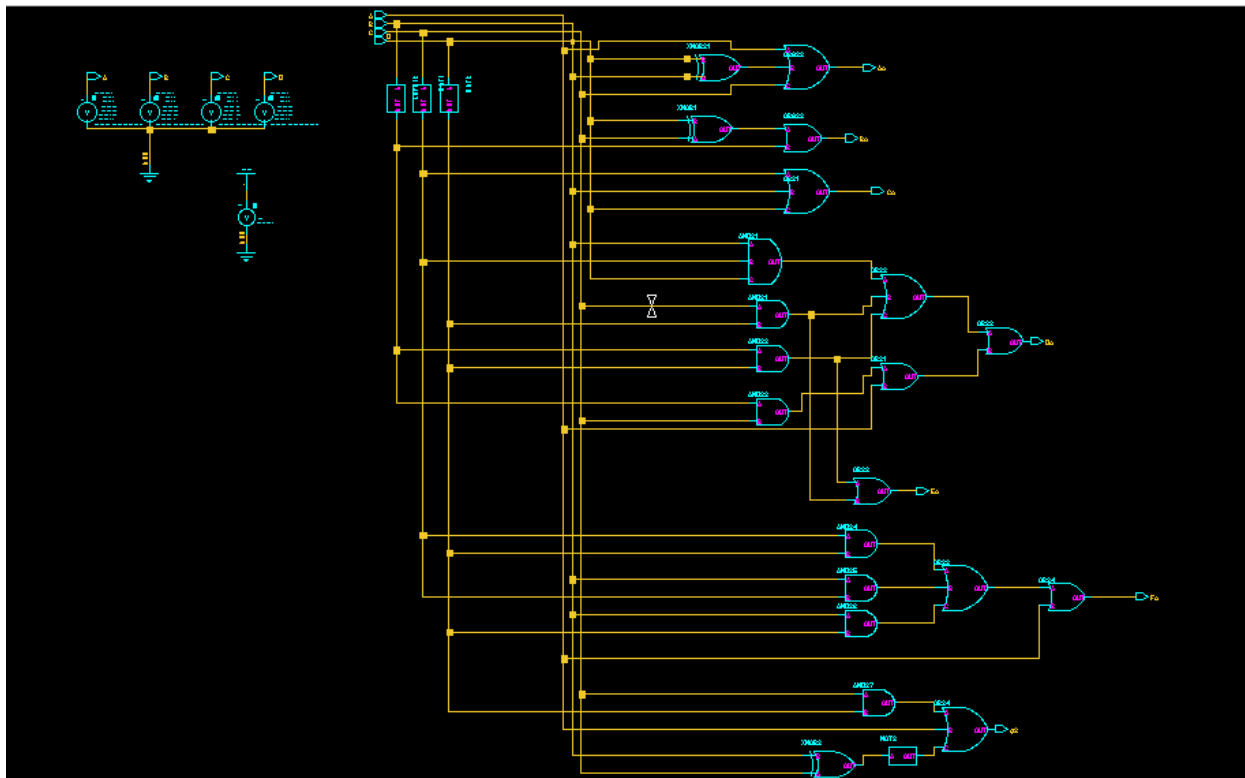


Figura 5: Esquemático para simulação elétrica.

Portas	N de Trans	N de Portas	Total
Not	2	4	8
Or 3	8	5	40
Or 2	6	5	30
And 3	8	1	8
And 2	6	7	42
Xnor	11	3	33
TOTAL:			161 Transistores

Tabela 1: Número total de transistores

O resultado obtido para as saídas foi semelhante, conforme esperado, e é mostrado na figura abaixo:

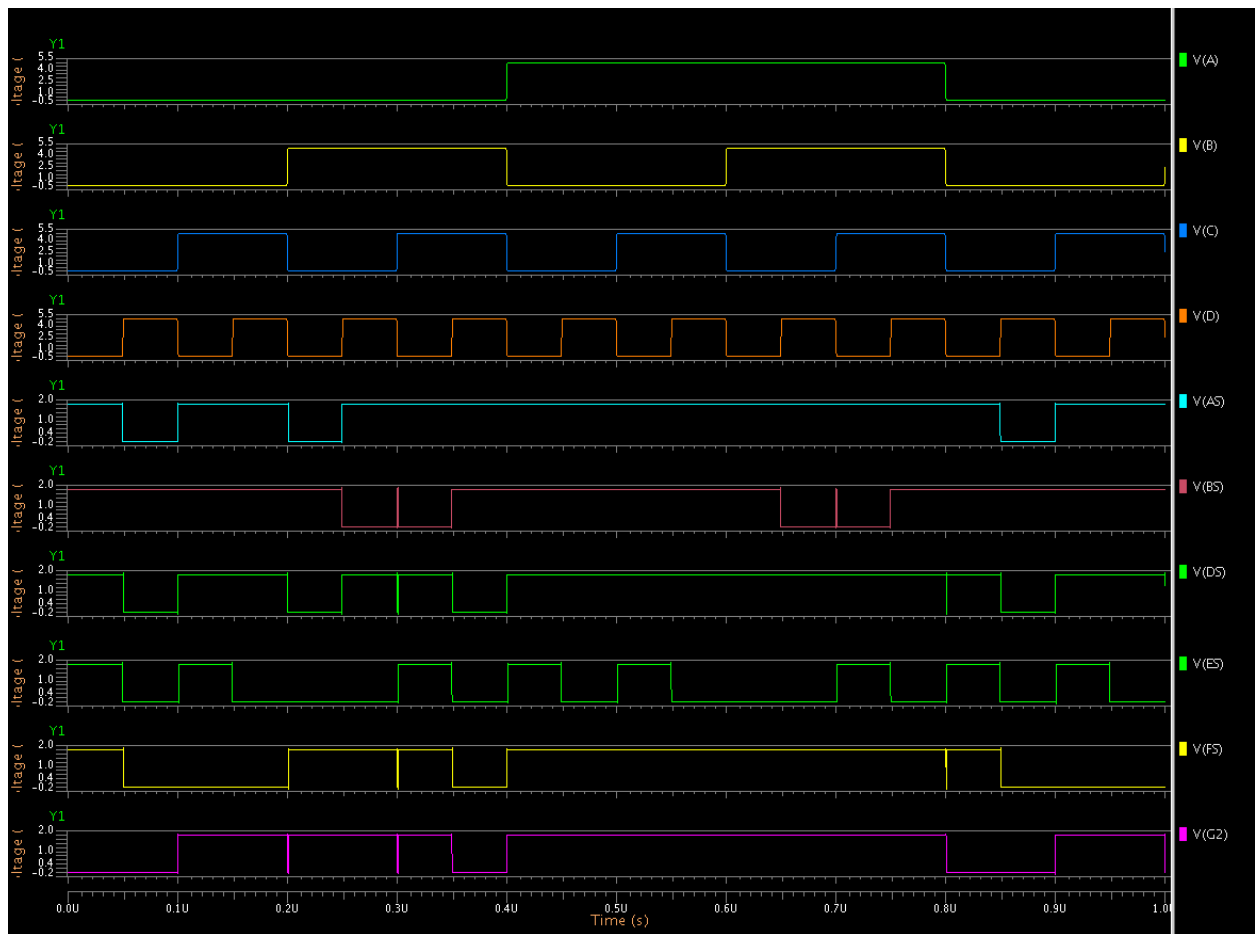


Figura 6: Simulação elétrica

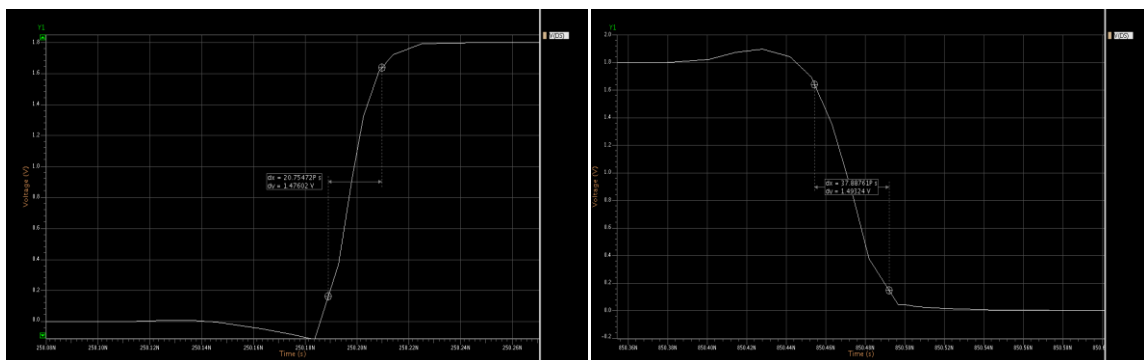


Figura 7: Tempos de subida e descida, respectivamente

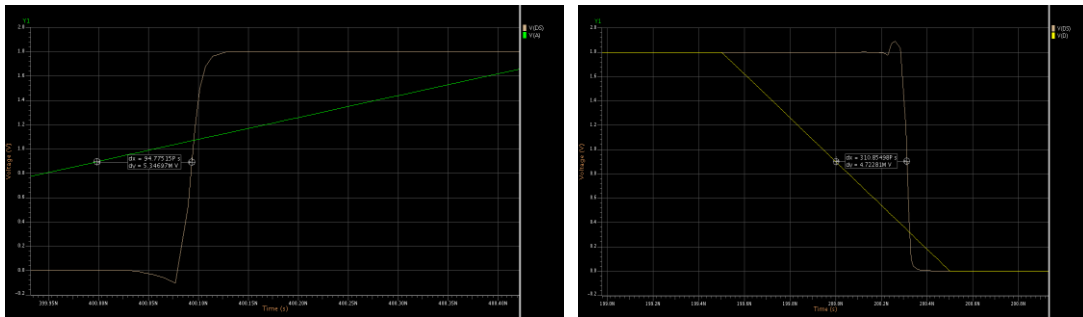


Figura 8: Tempo de Propagação

Através desses gráficos podemos medir os tempos de subida, descida e propagação:

$T_{\text{descida}} = 37.88 \text{ ps}$

$T_{\text{subida}} = 20.75 \text{ ps}$

$T_{\text{propagsub}} = 94.77 \text{ ps}$

$T_{\text{propagdesc}} = 310.85 \text{ ps}$

2.5 Layout

Para a elaboração do layout do circuito primeiramente confeccionamos os layouts de cada porta separadamente.

A aparência de cada porta lógica é mostrada nas figuras subseqüentes.

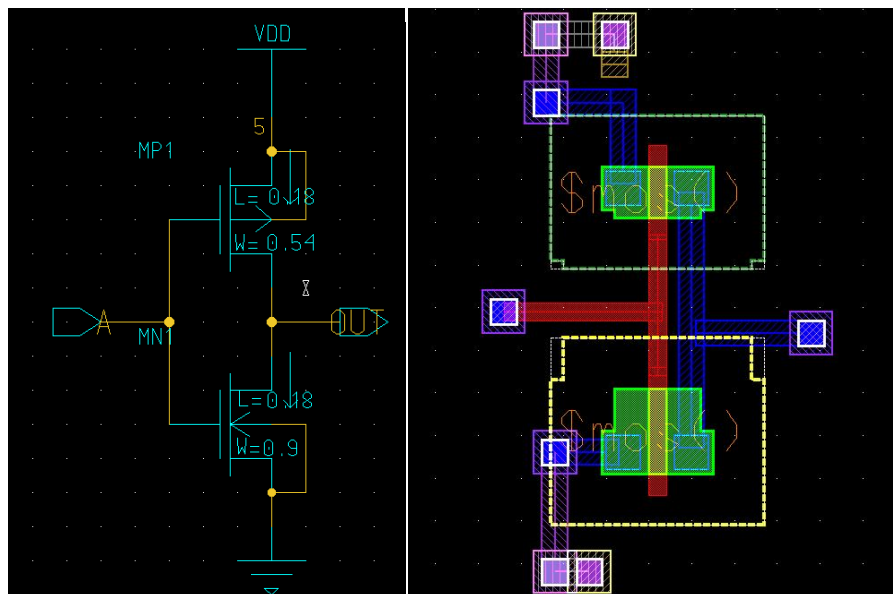


Figura 7: Layout Porta NOT

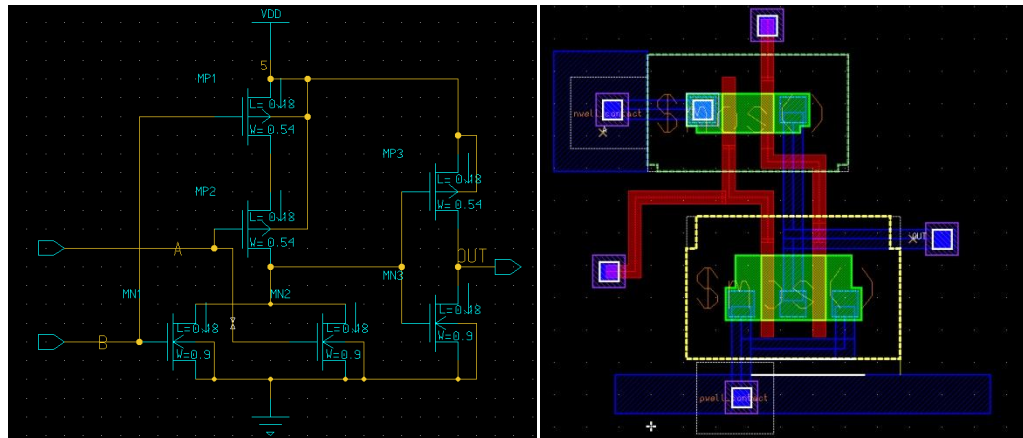


Figura 8: Layout da porta NOR.

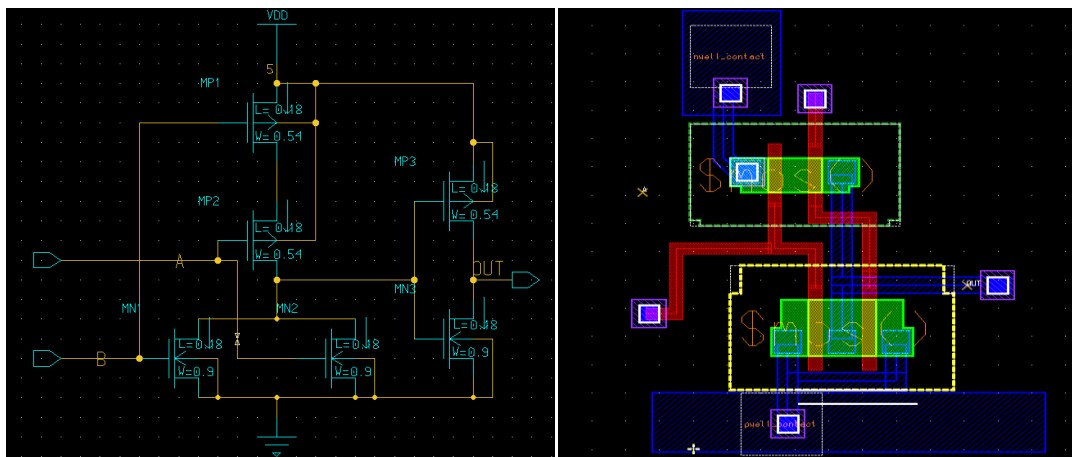


Figura 9: Layout da porta OR duas portas.

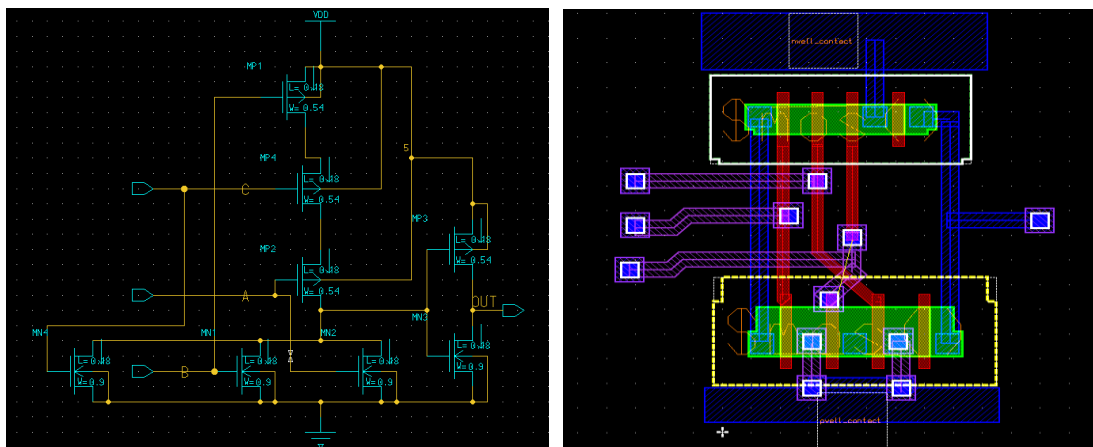


Figura 10: Layout da porta OR três portas.

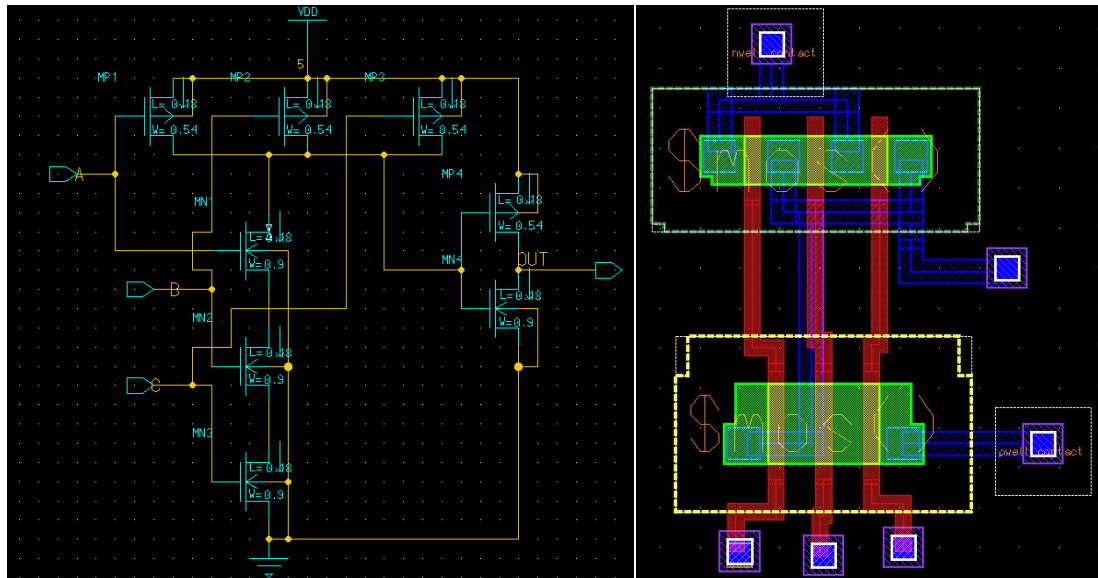


Figura 11: Layout da porta AND com três portas.

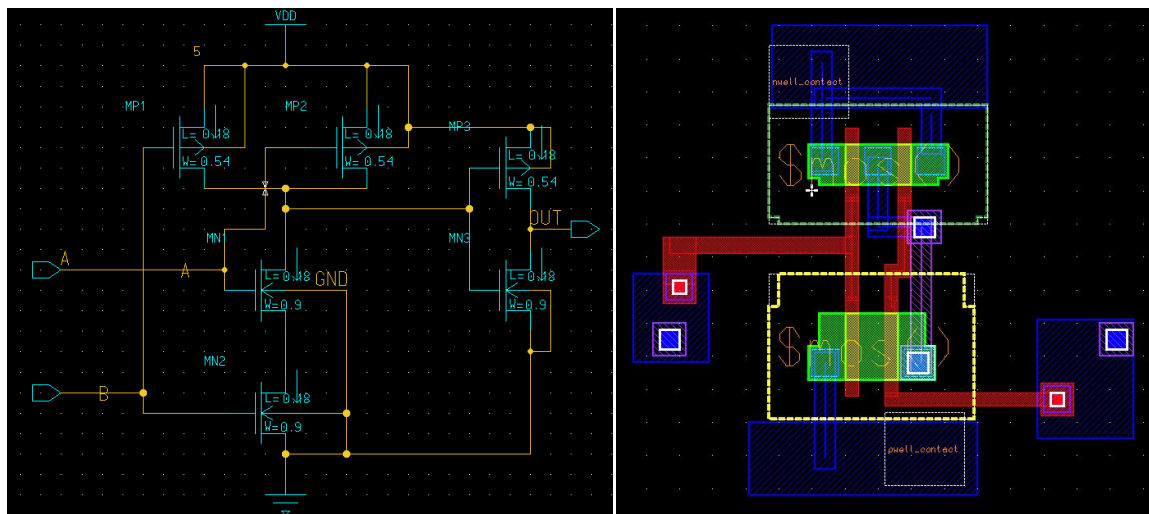


Figura 12: Layout da porta AND com duas portas.

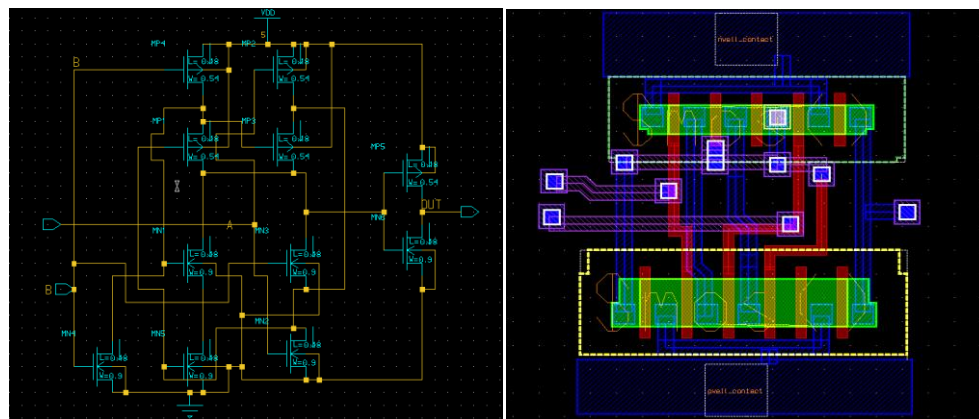


Figura 13: Layout da porta XNOR.

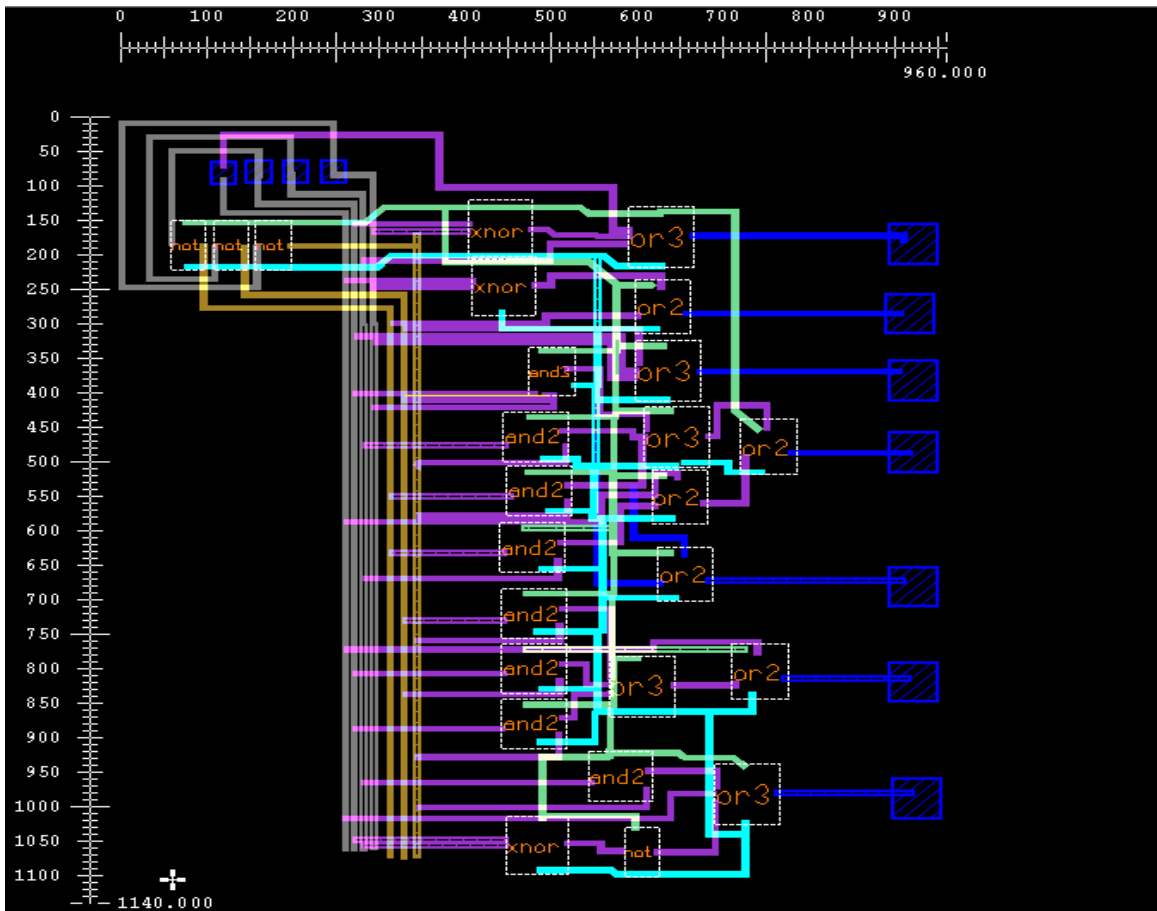


Figura 14: Layout do circuito completo.

5. Conclusões

A confecção de circuitos integrados digitais deve seguir estritamente os passos pré-determinados para que os mesmos atendam às características desejadas com um custo não muito elevado.

A otimização dos circuitos a nível de transistores é uma etapa importante, que pode reduzir bastante o número dos mesmos no circuito final.

Para desenvolvimento do layout, é importante ter o domínio do software utilizado, e também da teoria de estruturas de circuitos integrados, pois vários fatores podem causar erros inesperados.

Bibliografia

[1] <http://www.eletrica.ufpr.br/~ogouveia/>