

UFPR – Universidade Federal do Paraná  
Curso de Engenharia Elétrica

Trabalho de Circuitos Integrados Digitais  
Maquina de Estados: Contador Código Gray

Daniel Lauer

Luciano F. da Rosa

Curitiba, junho de 2010

1.	INTRODUÇÃO.....	3
2.	DESENVOLVIMENTO DO CIRCUITO.....	3
2.1	Resolução dos Mapas de Karnaugh .....	4
2.2	Simplificação com portas NAND, NOR e XOR.....	5
2.3	Calculo da Largura do Canal dos Transistores .....	6
2.4	Circuitos Resultantes.....	8
3	SIMULAÇÕES .....	8
3.1	Simulação Elétrica .....	9
3.2	Simulação Lógica.....	14
4	LAYOUT.....	15
5	CONCLUSÕES.....	18
6	BIBLIOGRAFIA.....	19

# 1. INTRODUÇÃO

O código gray é um tipo de contagem em que se varia apenas 1 bit a cada passo e é de fundamental importância no desenvolvimento de circuitos lógicos, utilizado nos Mapas de Karnaugh.

Nas máquinas de estados, que são circuitos que utilizam flip-flops interligados a um clock comum, funcionando como gerador de seqüência síncrono, programável pelos circuitos lógicos de realimentação.

Para este trabalho, será projetado uma máquina de estados que irá gerar o código gray.

# 2. DESENVOLVIMENTO DO CIRCUITO

Utilizando o modo de projeto de máquinas de estados *Moore*, usando flip-flops do tipo D, com reset em 0, saídas normais e negadas, sendo a entrada um clock de onda quadrada, montou-se a tabela a seguir do estado atual e próximo estado, usado para projetar a lógica ligada aos flip-flops.

	A	B	C	D		D0	D1	D2	D3
0	0	0	0	0		0	0	0	1
1	0	0	0	1		0	0	1	1
3	0	0	1	1		0	0	1	0
2	0	0	1	0		0	1	1	0
6	0	1	1	0		0	1	1	1
7	0	1	1	1		0	1	0	1
5	0	1	0	1		0	1	0	0
4	0	1	0	0		1	1	0	0
12	1	1	0	0		1	1	0	1
13	1	1	0	1		1	1	1	1
15	1	1	1	1		1	1	1	0
14	1	1	1	0		1	0	1	0
10	1	0	1	0		1	0	1	1
11	1	0	1	1		1	0	0	1
9	1	0	0	1		1	0	0	0
8	1	0	0	0		0	0	0	0

Tabela 1

Com a extração dos dados da tabela 1, podemos montar os mapas de Karnaugh para D1, D2, D3 e D4.

## 2.1 Resolução dos Mapas de Karnaugh

AB\CD	00	01	11	10
00				
01	1			
11	1	1	1	1
10		1	1	1

Mapa de Karnaugh 1: Solução para D0

$$D_0 = B\bar{C}\bar{D} + AD + AC$$

AB\CD	00	01	11	10
00				1
01	1	1	1	1
11	1	1	1	
10				

Mapa de Karnaugh 2: Solução para D1

$$D_1 = B\bar{C} + BD + \bar{A}C\bar{D}$$

AB\CD	00	01	11	10
00		1	1	1
01				1
11		1	1	1
10				1

Mapa de Karnaugh 3: Solução para D2

$$D_2 = C\bar{D} + \bar{A}\bar{B}D + ABD$$

AB\CD	00	01	11	10
00	1	1		
01			1	1
11	1	1		
10			1	1

**Mapa de Karnaught 4: Solução para D3**

$$D_3 = \bar{A}\bar{B}\bar{C} + \bar{A}BC + AB\bar{C} + A\bar{B}C$$

## 2.2 Simplificação com portas NAND, NOR e XOR

Simplificação de D0:

$$D_0 = B\bar{C}\bar{D} + AD + AC$$

$$D_0 = \overline{\overline{A(C + D)} + \overline{B\bar{C}\bar{D}}}$$

$$D_0 = \overline{\overline{A(C + D)} \cdot \overline{B\bar{C}\bar{D}}}$$

$$D_0 = \overline{\overline{A(C + D)} \cdot \overline{B\bar{C} + \bar{D}}}$$

Simplificação de D1:

$$D_1 = B\bar{C} + BD + \bar{A}C\bar{D}$$

$$D_1 = B(\bar{C} + D) + \bar{A}C\bar{D}$$

$$D_1 = \overline{\overline{B(\bar{C} + D)} + \overline{\bar{A}C\bar{D}}}$$

$$D_1 = \overline{\overline{B\bar{C}\bar{D}} \cdot \overline{\bar{C}A + \bar{D}}}$$

Simplificação de D2:

$$D_2 = C\bar{D} + \bar{A}\bar{B}D + ABD$$

$$D_2 = \overline{\overline{(A \text{ xor } B)D} + \overline{C\bar{D}}}$$

$$D_2 = \overline{\overline{(A \text{ xor } B)} \cdot D \cdot \overline{C \overline{D}}}$$

Simplificação de D3:

$$D_3 = \overline{A} \overline{B} \overline{C} + \overline{A} B C + A B \overline{C} + A \overline{B} C$$

$$D_3 = \overline{A} (\overline{B} \overline{C} + B C) + A (B \overline{C} + \overline{B} C)$$

$$D_3 = \overline{A} (\overline{B \text{ xor } C}) + A (B \text{ xor } C)$$

$$D_3 = \overline{(A \text{ xor } B) \text{ xor } C}$$

### 2.3 **Calculo da Largura do Canal dos Transistores**

$$R_p = \frac{2 \propto}{W_p}$$

$$R_n = \frac{2 \propto}{W_n}$$

#### 2.3.1 **Porta Not e de Passagem**

$$R_{Peq} = R_{Neq}$$

$$\frac{2 \propto}{W_p} = \frac{\propto}{W_n}$$

$$2W_n = W_p$$

$$W_{\min} = 0,81\text{nm}$$

$$W_n = 0,81\text{nm} ; W_p = 1,62\text{nm}$$

#### 2.3.2 **Porta NAND**

$$R_p // R_p = 2R_n$$

$$\frac{R_p}{2} = 2R_n$$

$$W_n = 2W_p$$

$$W_p = 0,81 \text{ nm} ; W_n = 1,62$$

### **2.3.3 Porta NOR**

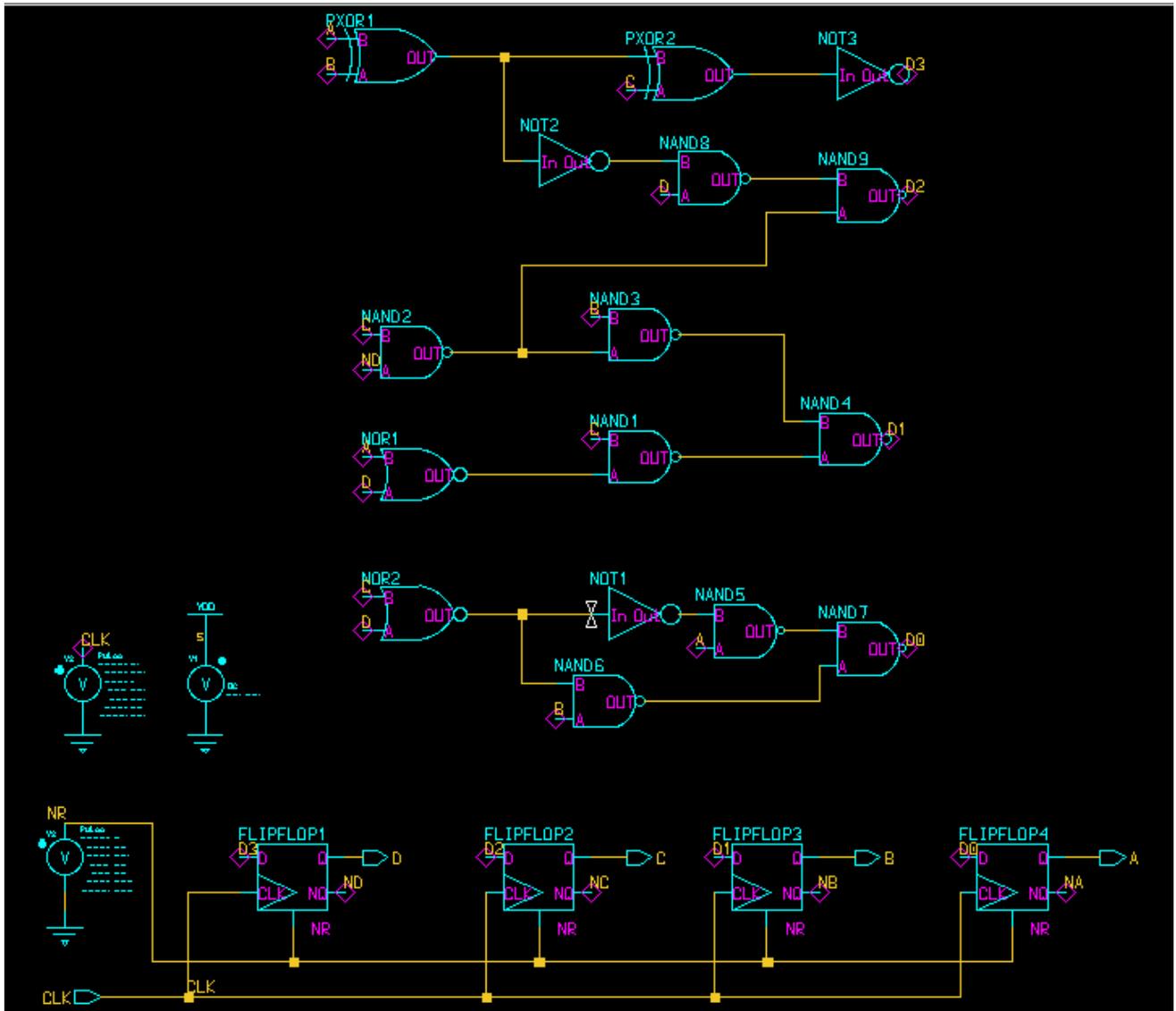
$$2R_p = R_p // R_n$$

$$\frac{R_n}{2} = 2R_p$$

$$8W_n = W_p$$

$$W_p = 6,48 \text{ nm} ; W_n = 0,81$$

## 2.4 Circuito Resultante

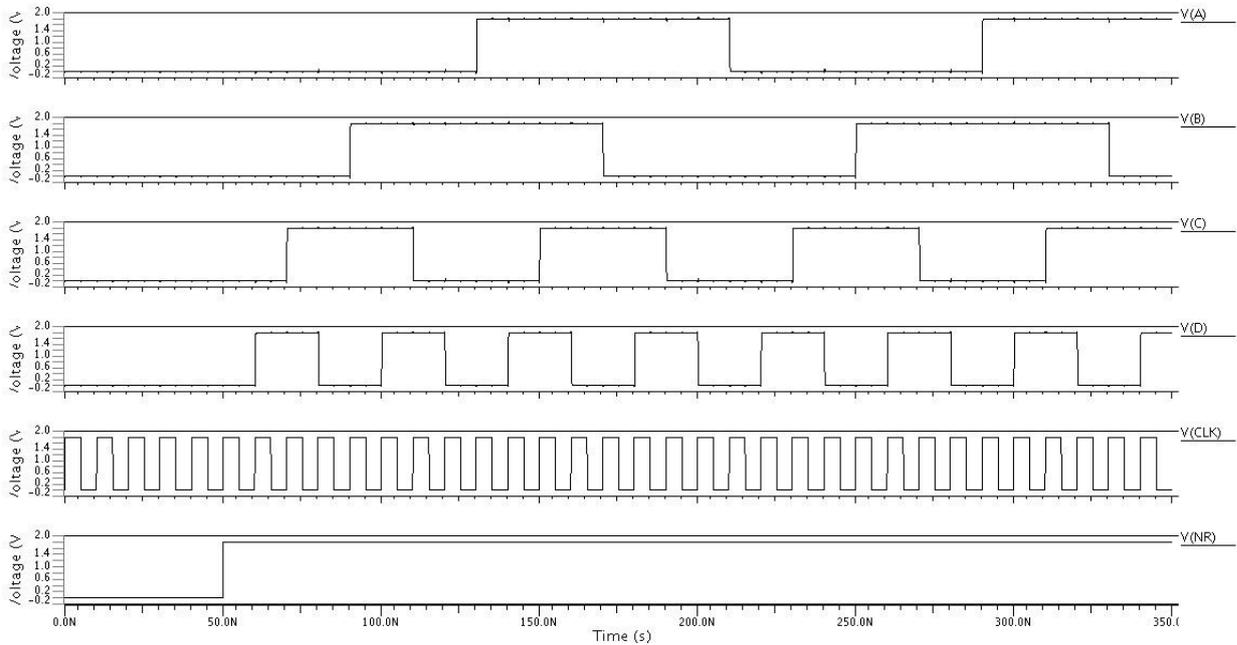


Circuito acima simulado foi o de melhor simplificação.

# 3 SIMULAÇÕES

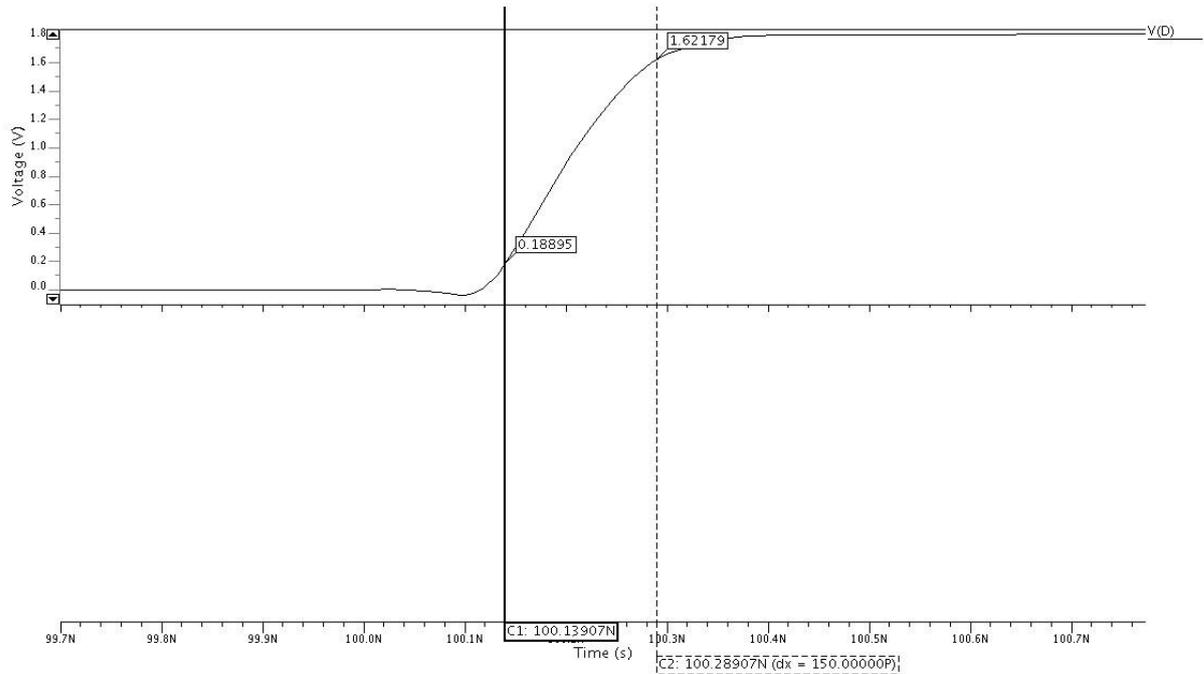
## 3.1 Simulação Elétrica

Com a simulação executada pelo Mentor, obtivemos as seguintes repostas do circuito:



**Figura 1: Formas de Onda de Saída**

Da figura 2 à figura 5, foi medindo o atraso da saída D do flip-flop para a entrada do clock.



**Figura 2: Tempo de Subida**

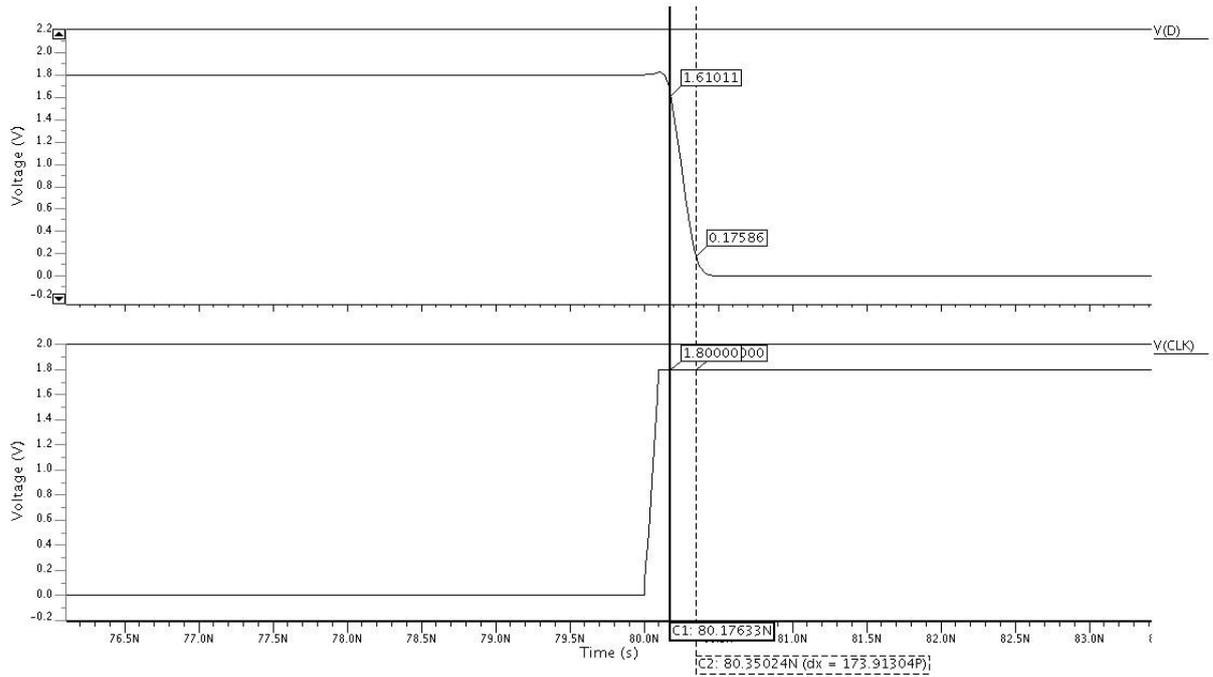


Figura 3: Tempo de Descida

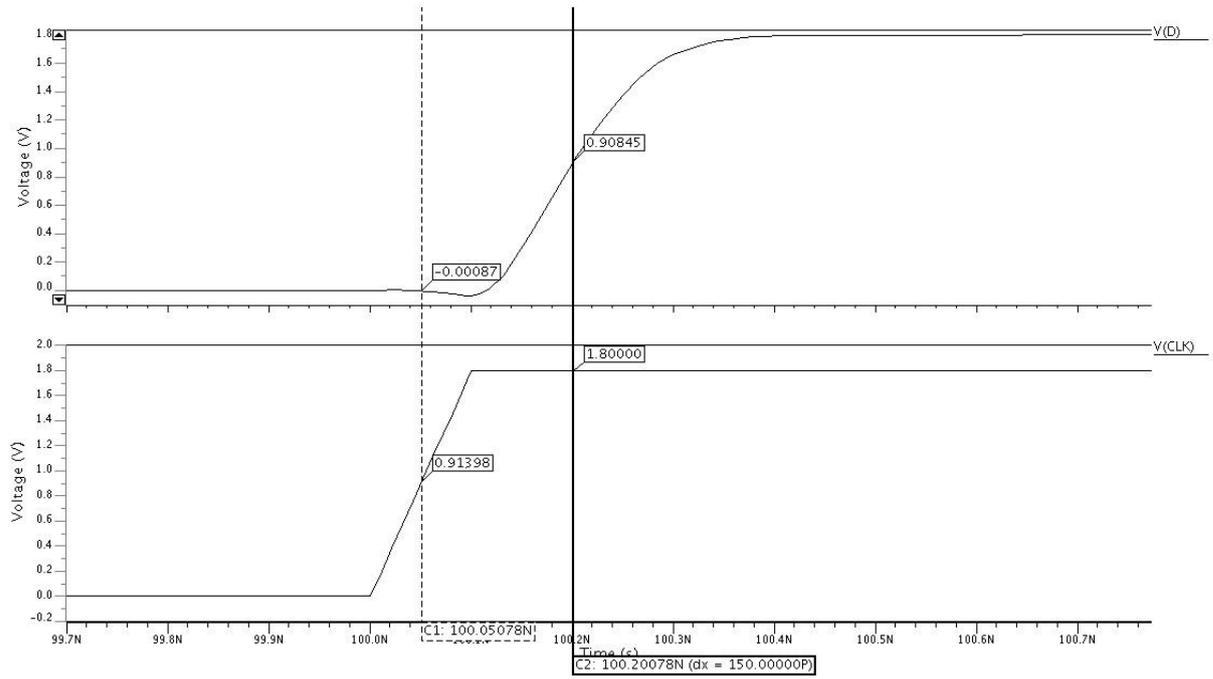
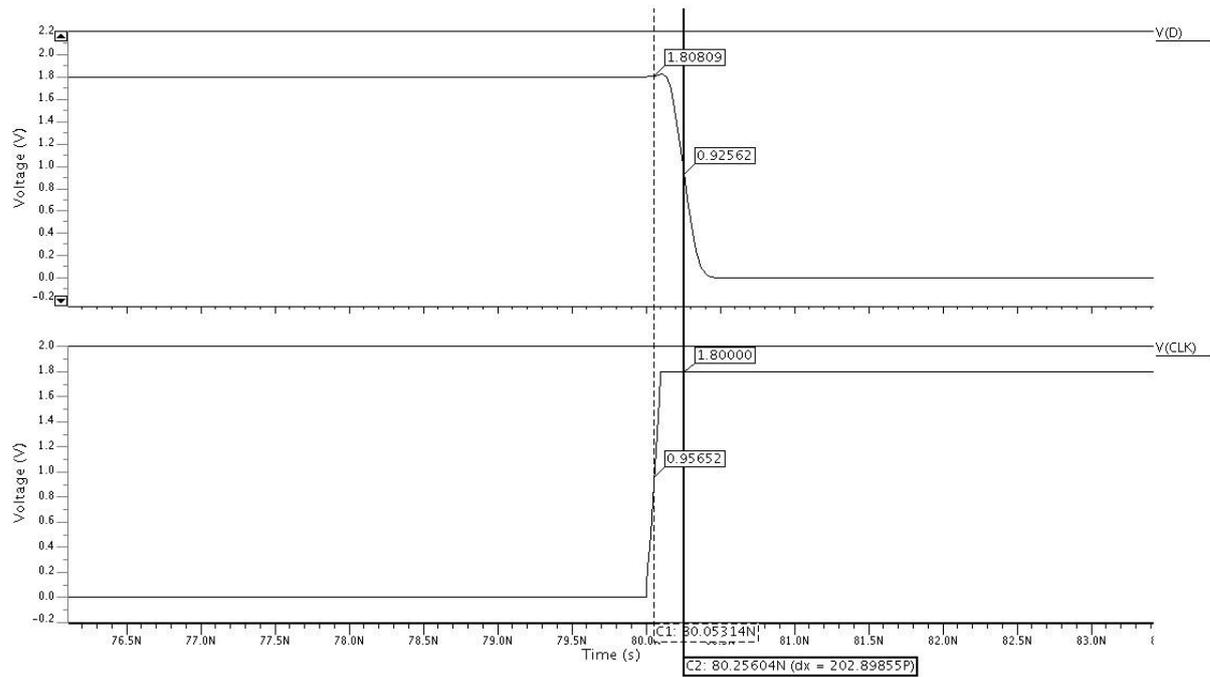


Figura 4: Tempo de Propagação de Subida  $T_{LH}$



**Figura 5: Tempo de Propagação de Descida ( $T_{HL}$ )**

De acordo com as simulações, os tempos encontrados da entrada do clock para a saída D foram:

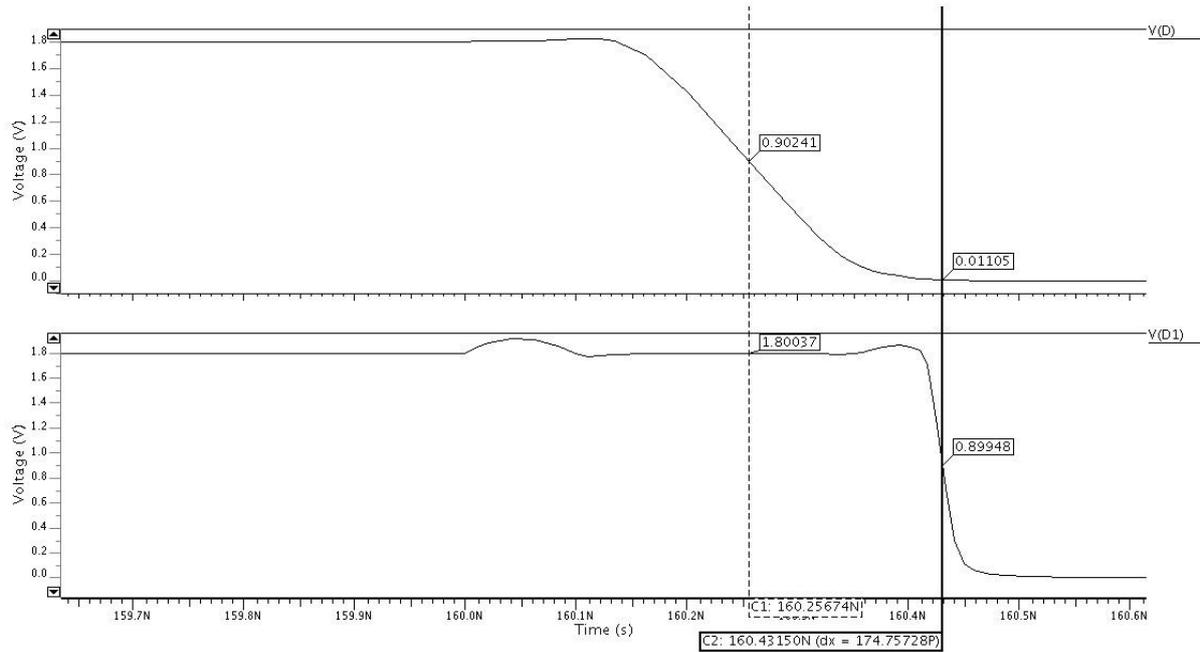
Tempo de Subida => 150 ps

Tempo de Descida => 173,9 ps

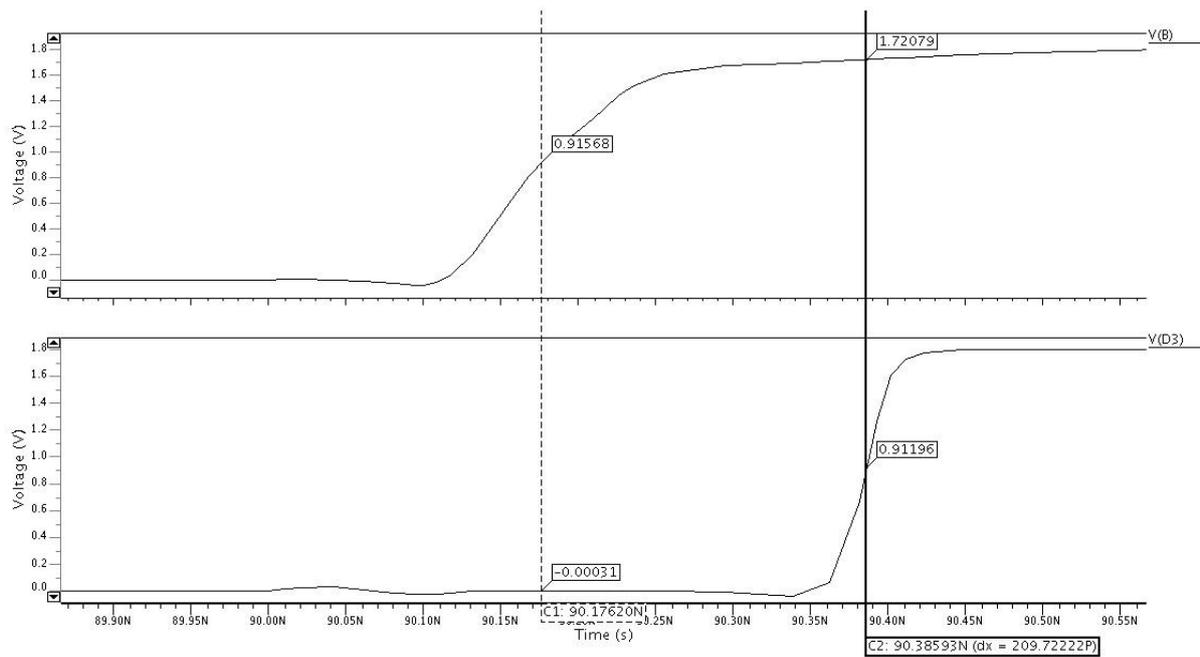
Tempo de Propagação de Subida => 150 ps

Tempo de Propagação de Descida => 202,89 ps

Da figura 6 e figura 7 foi medido o tempo de propagação da entrada indicada para a saída também indicada para o circuito lógico de controle dos flip-flops.



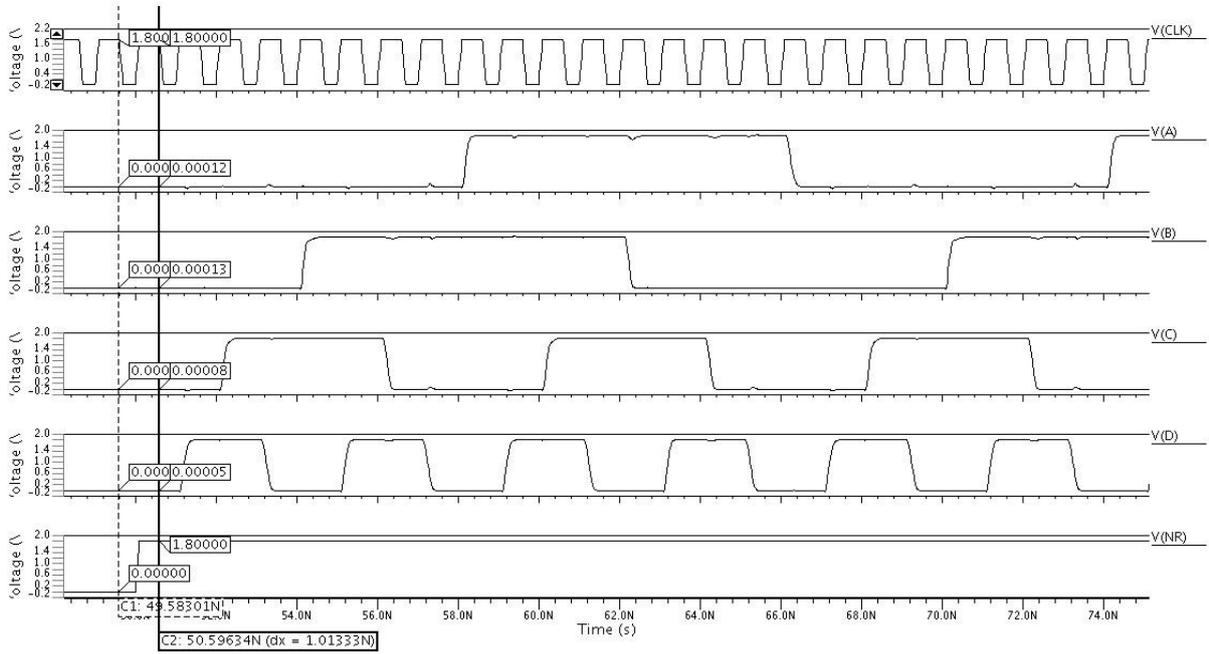
**Figura 6: Tempo de Propagação HL - Entrada D - Saída D1**



**Figura 7: Tempo de Propagação LH - Entrada B - Saída D3**

Os tempos de propagação acima, foram medidos por se tratarem dos circuitos de tempo de atrasos mais críticos, de HL – 174,75 ps e LH – 209,72 ps.

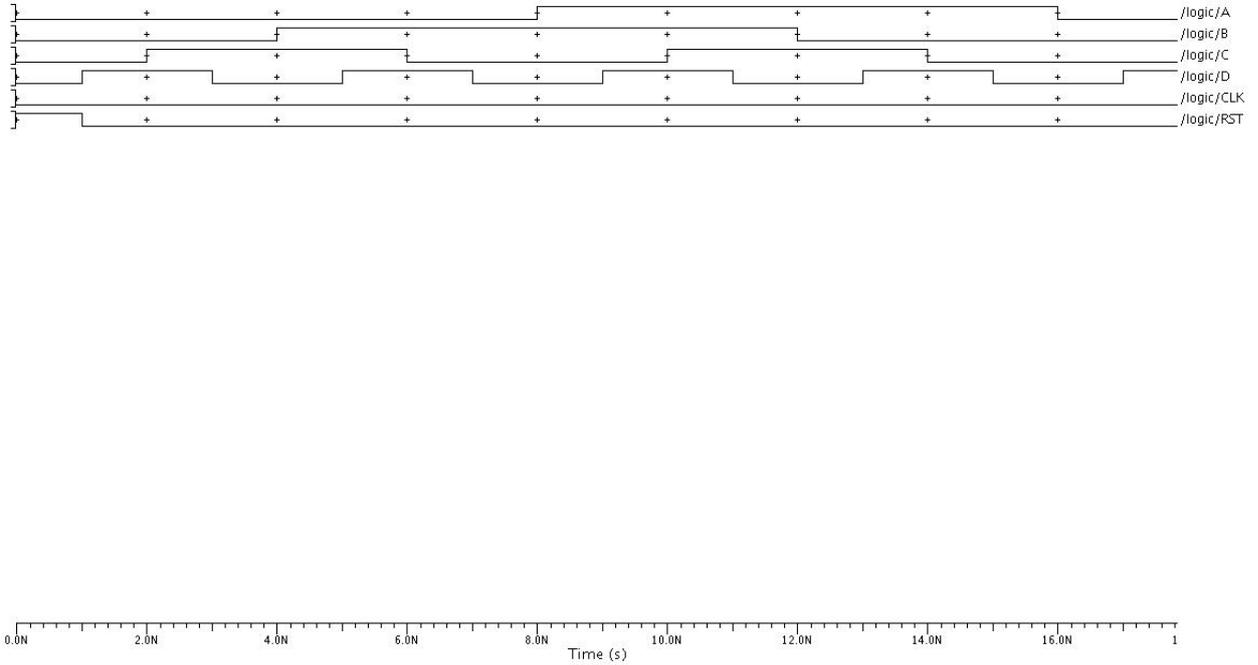
A frequência máxima que o circuito atingiu, sem problema com os sinais, foi de 1GHz, conforme o gráfico abaixo (figura 8):



**Figura 8: Circuito funcionando a 1GHz (P=1nS)**

### 3.2 Simulação Lógica

Como o gráfico apresentado abaixo, a simulação foi bem sucedida, apresentando a seqüência lógica definida pela maquina de estados.



**Figura 9: Simulação Lógica**

## 4 LAYOUT

Pelas simplificações conseguidas, foram necessárias apenas blocos das portas inversora, NOR, NAND e passagem, sendo que o flip-flop D e a porta XOR são também blocos constituído dessas portas.

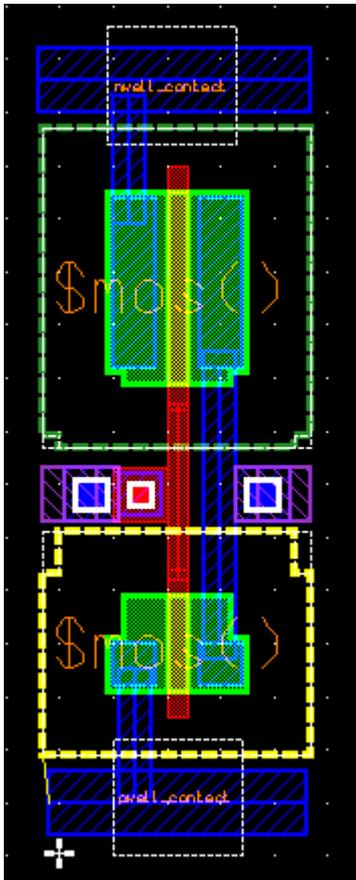


Figura 10: Porta Inversora

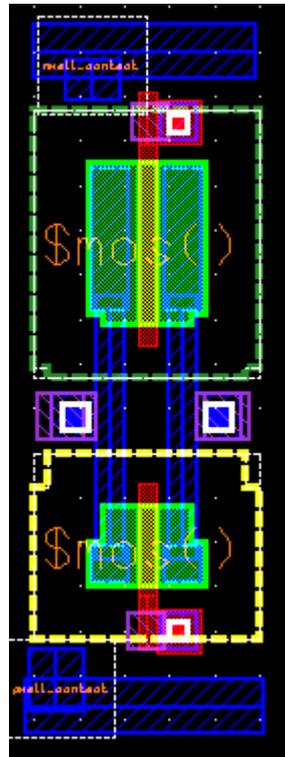


Figura 11: Porta de Passagem

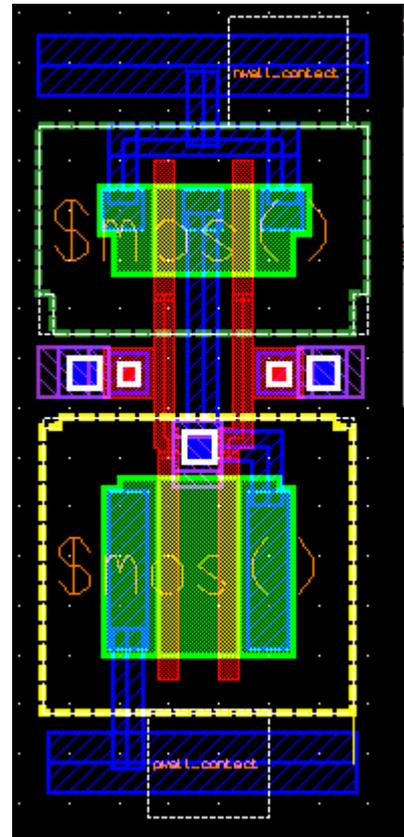


Figura 12: Porta NAND

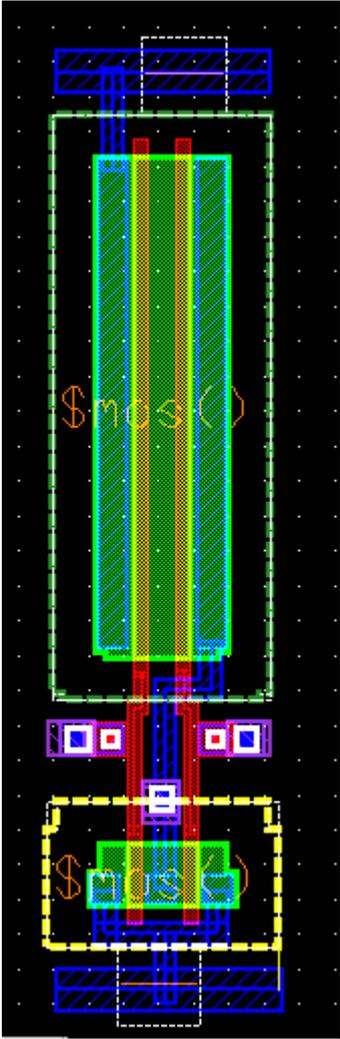


Figura 13: Porta NOR

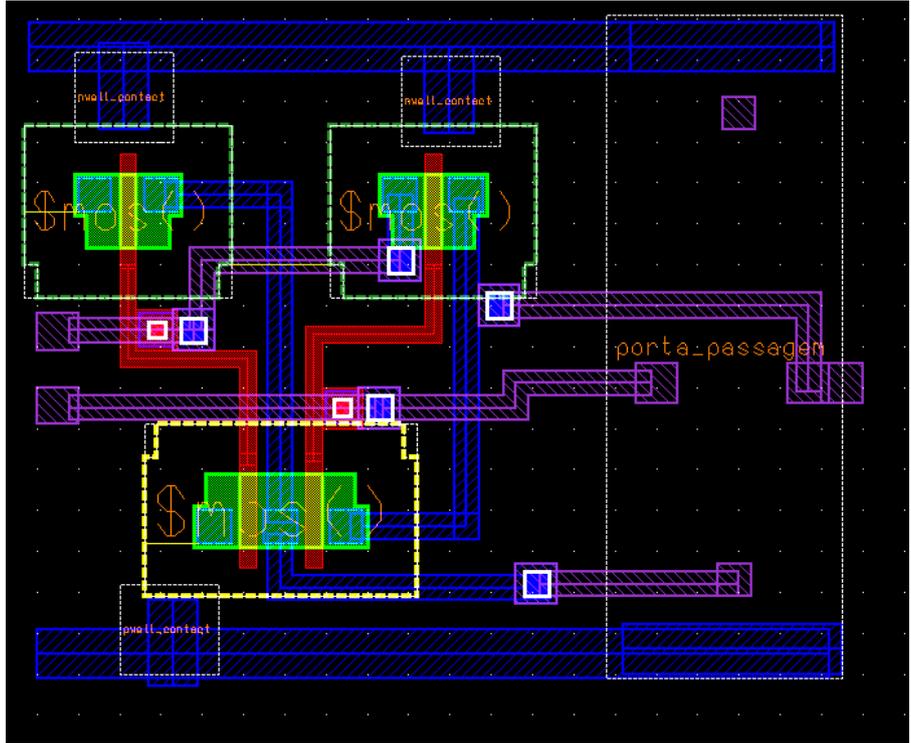


Figura 14: Porta XOR

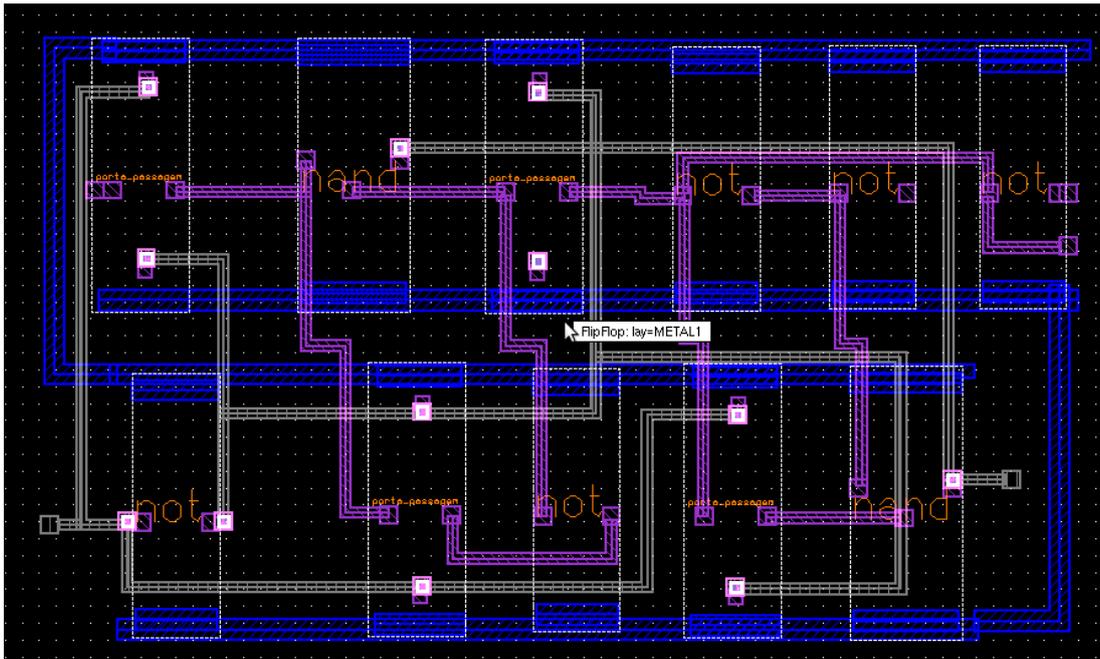


Figura 15: Flip-flop tipo D

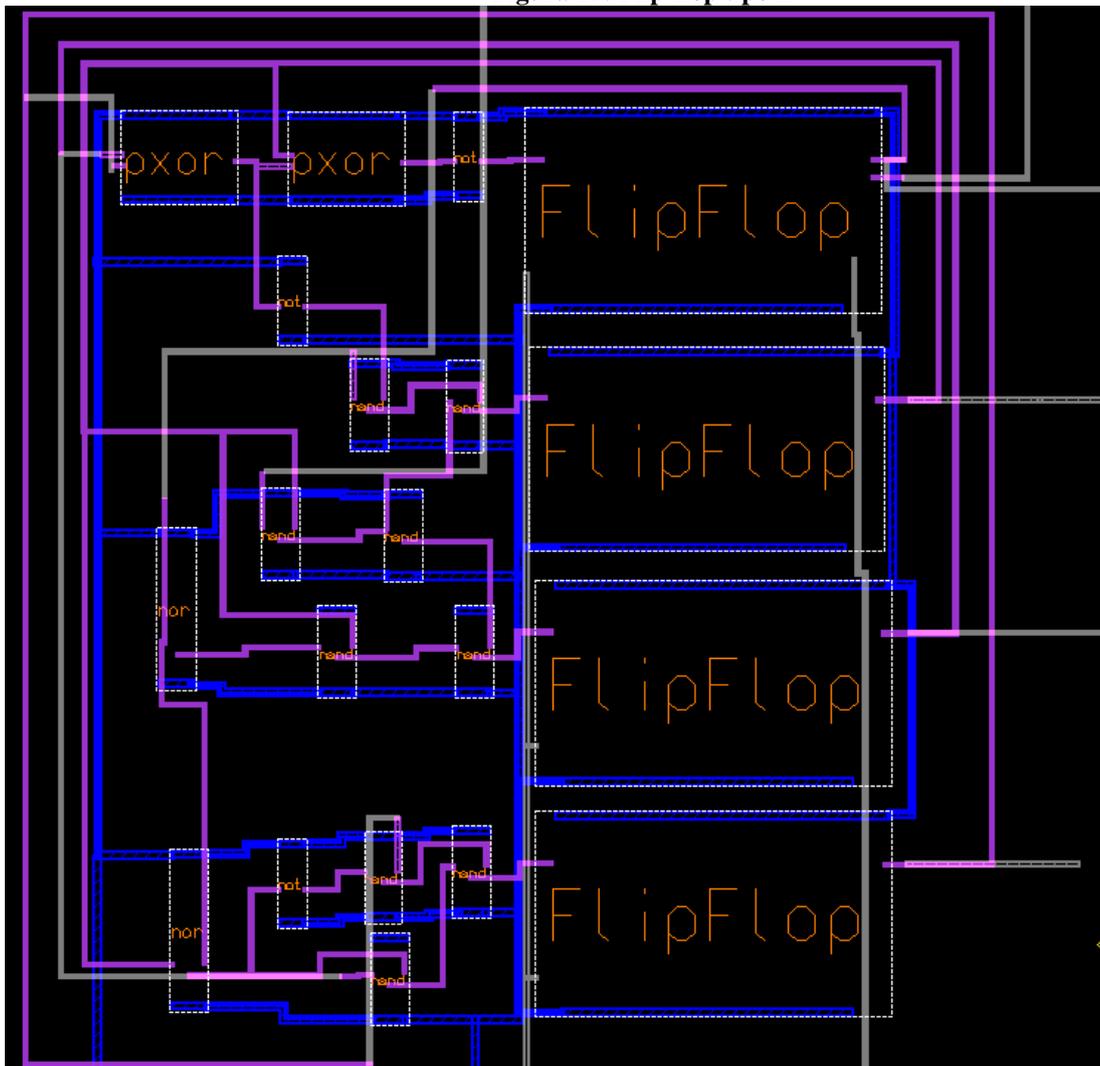


Figura 16: Layout Resultante da Maquina de Estados

## 5 CONCLUSÕES

Como o projeto desenvolvido, há algumas conclusões sobre o projeto do circuito, simulações elétricas, lógicas e projeto do layout.

O projeto do circuito, inicialmente, pareceu ser complexo, porem com algumas pesquisas bibliográficas o assunto acabou se tornando simples, sendo necessário o estudo de alguns conceitos de eletrônica digital.

A simulação elétrica nos trouxe resultados satisfatórios, apresentando tempos de subida, descida e propagação bastante baixos, mostrando que os cálculos de largura e comprimento dos transistores foram corretamente feitos e, alem disso, que as simplificações lógicas resultaram em bons tempos de propagação. Houve dificuldade ao se usar o software, que o será comentada mais a frente.

A simulação lógica também obteve resultados esperados. Como havia dois sinais de entrada, o clock e o reset, foi necessário primeiramente executar a simulação em tempo mínimo com o reset ativado e após isso rodar a simulação com o reset desativado, com clock de 1ns, e tempo de simulação de 16ns.

A parte de elaboração do layout, considerou-se se a parte mais complexa do projeto em si. Cada porta foi confeccionada a parte, alem do flip flop D, e após montado juntando os blocos. Mesmo sendo a parte mais demorada, acredita-se que houve sucesso, porem sem executar a simulação de layout, pois o software não funcionou adequadamente nessa parte.

Sobre o software mentor tem-se algumas considerações: É um ótimo software de simulações e layout de CIs, porem houve dificuldades iniciais de utilização, pois o mesmo não conta com ajuda (help) atualizada para a versão utilizada; Possui grande biblioteca de portas e componentes, auxiliando no desenvolvimento do projeto; Possui alguns problemas de software, pois havia simulações que as formas de onda não se atualizavam.

Contudo considera-se que o projeto foi de fundamental importância para o entendimento do curso de circuitos integrados digitais e que sem as dificuldades encontradas, a forma do aprendizado não seria tão eficaz.

## 6 BIBLIOGRAFIA

<http://www.microeletronica.unifei.edu.br/EAM120/Maq%20Estados1.pdf>

[http://pt.wikipedia.org/wiki/M%C3%A1quina\\_de\\_estados\\_finitos](http://pt.wikipedia.org/wiki/M%C3%A1quina_de_estados_finitos)

[https://dspace.ist.utl.pt/bitstream/2295/165500/1/SS Teorica 7 2007 8 sem 2.pdf](https://dspace.ist.utl.pt/bitstream/2295/165500/1/SS_Teorica_7_2007_8_sem_2.pdf)

<http://www.las.ic.unicamp.br/edmar/PUC/2006/CL/CL-MaquinasMooreMealy-Eric.pdf>