

UNIVERSIDADE FEDERAL DO PARANÁ

CURSO DE ENGENHARIA ELÉTRICA

**PROJETO DE CIRCUITOS
INTEGRADOS DIGITAIS**

Somador de 8 bits com carry

Orientandos:

Allan Christian Krainski Ferrari

Eduardo Delinski dos Santos

Orientador:

Marlio J. do C. Bonfim

Oscar da C. Gouveia Filho

CURITIBA

2010

1 Introdução

A eletrônica digital pode ser definida como um conjunto de determinadas técnicas e dispositivos integrados que pode ter vários graus de complexidade. Ela possui forte aplicação em controle de processos industriais, equipamentos de processamento de dados e equipamentos eletrônicos em geral.

Os circuitos digitais têm um papel fundamental na eletrônica digital, onde seu funcionamento se baseia na lógica booleana. Onde a informação é guardada e processada em níveis lógicos “0” e “1” que representam os dois níveis discretos de tensão.

Os circuitos digitais são compostos por portas lógicas que são responsáveis pelas funções executadas nos circuitos digitais. Cada porta lógica tem sua própria função lógica específica e são basicamente constituídas por transistores, principalmente da família MOS, que funcionam como uma chave liga-desliga.

Com a evolução da microeletrônica, os transistores foram ficando cada vez melhores e menores, aliados a obtenção de novos circuitos com o menor número possível de transistores. Logo resultando em circuitos digitais extremamente pequenos que caberiam em um único encapsulamento de um chip.

Este trabalho tem como objetivo projetar um circuito somador de 8 bits otimizado com menor número de transistores do tipo MOS, verificar seu funcionamento através de simulações elétricas e digitais, assim obtendo no final o layout equivalente.

Para isso será montado o circuito em partes, compreendendo a parte que faz a soma de dois bits e a parte do vai um, o carry, na entrada e na saída.

2 Desenvolvimento

O projeto foi dividido basicamente em três partes: Pesquisa e desenvolvimento teórico do circuito lógico; simulação elétrica e lógica do projeto; layout do projeto e sua validação.

2.1 Lógica do circuito

Primeiramente foi obtida a lógica do circuito do somador completo que é composto por dois circuitos lógicos, um dos circuitos representa a saída de bits da soma “S” e outro está representando a saída de bits do Carry “Cout”.

A	B	C _{in}	S	C _{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

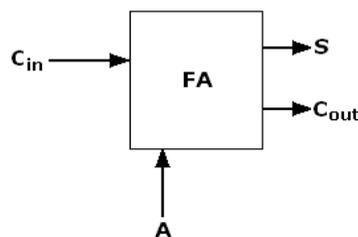


Figura1: Tabela verdade para um circuito somador completo.

Utilizando o mapa de karnaugh foi obtida as funções correspondente a saída de bits da soma e a saída de bits do carry:

$$S = \bar{A}\bar{B}C_{in} + \bar{A}B\bar{C}_{in} + AB\bar{C}_{in} + A\bar{B}C_{in}$$

$$C_{out} = BC_{in} + AC_{in} + AB$$

Na literatura, foi verificado que a parte somadora do circuito é representada por duas portas lógicas XOR e não sendo preciso fazer a otimização, pois as portas XOR estão representando à forma mais simplificada possível da função desta parte do circuito, além que a própria estrutura da porta já se tem o numero mínimo de transistores, sendo 6 em cada porta XOR.

Para a parte circuito referente a saída do carry, levando como base a lógica do carry apresentada anteriormente, foi aplicada a otimização à nível de transistores resultando em 18 transistores no total. Depois disso foi verificado na literatura que existe um circuito representado por portas NANDs que possui um número 12 de transistores no total, 4 por cada NAND, menor do que o otimizado previamente.

O somador completo resultante contém agora 24 transistores no total e está representado na figura 2.

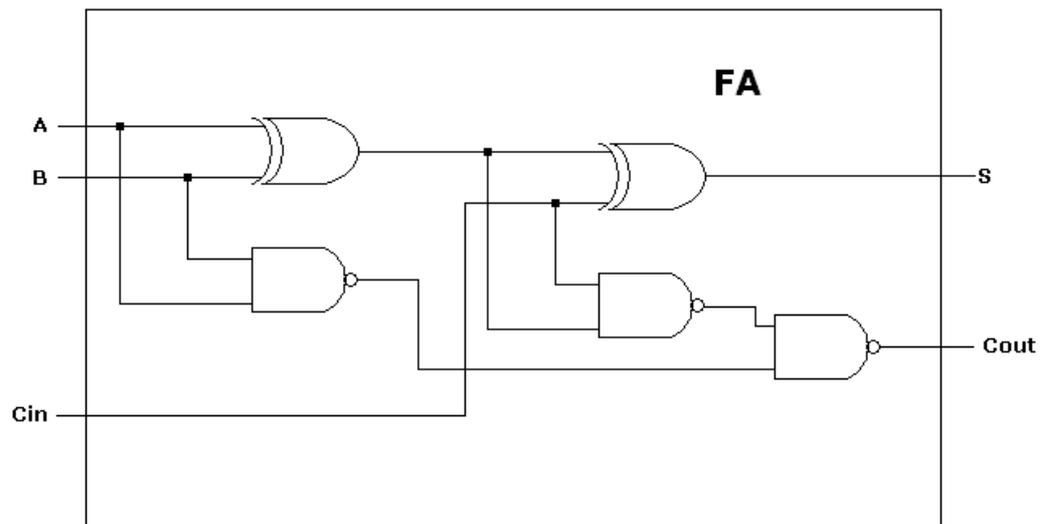


Figura 2: Circuito somador resultante com o menor número de transistores.

Ao final do circuito, teve-se ao todo, 184 transistores compondo o somador de 8 bits.

2.2 Simulação Elétrica

Primeiramente foi feita a simulação elétrica das portas com objetivo de estimar as medidas físicas (comprimento e largura do transistor). Um dos critérios para a determinação das medidas físicas dos transistores foi que os tempos de subida e descida, na resposta de saída de cada porta, deveriam ser aproximadamente iguais.

Também foi usada como critério a relação de medidas entre os transistores NMOS e PMOS da biblioteca ADK do programa, 9 para 5 a relação entre as larguras do transistores PMOS e NMOS, usada somente quando este critério obtinha tempos melhores que utilizando a resistência do transistor PMOS como sendo o dobro da resistência do NMOS.

Para que essa condição fosse valida, os transistores da família NMOS e PMOS tiveram suas medidas físicas ajustadas de forma que houvesse equilíbrio na dissipação de potência entre suas impedâncias para determinar a melhor resposta de frequência possível. Tratando os transistores como resistências, dividiu-se o circuito na parte da resistência equivalente para os transistores NMOS e uma resistência equivalente para os transistores PMOS.

Aplicando essas condições foram obtidos:

Para a porta NAND:

NMOS	W = 0,81 um	L = 0,18 um
PMOS	W = 1,8 um	L = 0,18 um

Para a porta XOR:

NMOS	W = 0.81 um	L = 0,18 um
PMOS	W = 1,82 um	L = 0,18 um

Para a porta NOT:

NMOS:	W = 0,81 um	L = 0,18 um
PMOS:	W = 1,62 um	L = 0,18 um

Determinadas as medidas físicas das portas, foram obtidos os tempos de subida, descida, propagação de subida e propagação de descida.

Para a porta NAND:

tempo de subida = 0,41437 ns
tempo de descida = 0.45114 ns
tempo de propagação de subida = 5.3349 ns
tempo de propagação de descida = 4.8670 ns

Para a porta XOR:

tempo de subida = 0.44979 ns
tempo de descida = 0.33260 ns
tempo de propagação de subida = 0.23593 ns
tempo de propagação de descida = 0.12394 ns

Para a porta NOT:

tempo de subida = 0.48785 ns
tempo de descida = 0.36024 ns
tempo de propagação de subida = 0.255 ns

tempo de propagação de descida = 0.20551 ns

Depois, foi obtido o bloco da função do bit carry composto por três portas NANDs e o somador simples composto por duas XORs. Juntado o bloco do somador simples com o bloco do carry, foi obtido o bloco do somador completo.

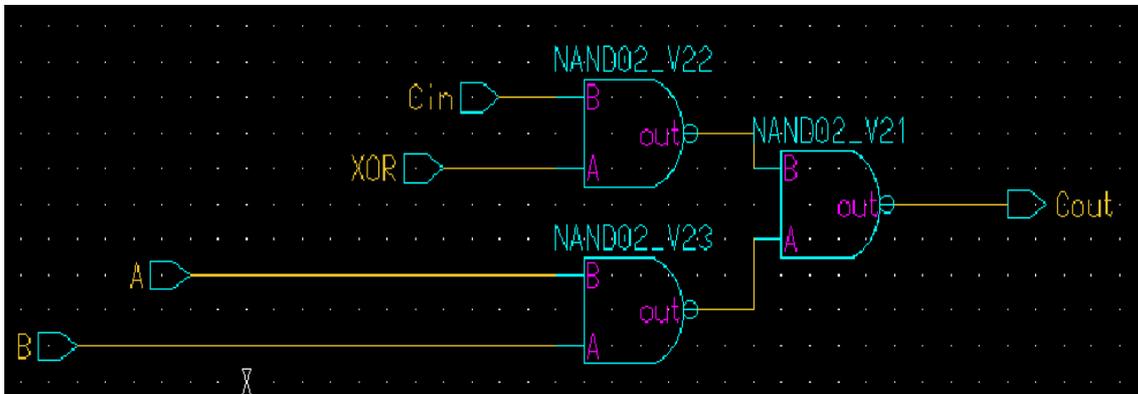


Figura 3: Representação do bloco da função do bit carry.

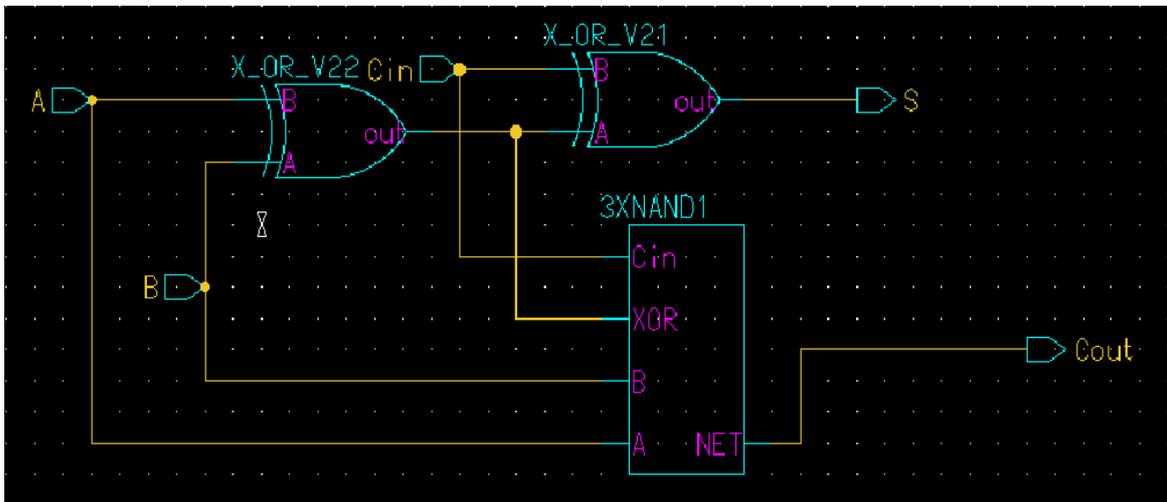


Figura 4: Circuito do somador completo, composto por duas portas XOR (função somadora) e três portas NANDs(função do bit carry).

Comprovado o funcionamento do somador completo, foi construído um somador de 8 bits com seus blocos arranjados em cascata e seus carrys ligados em serie.

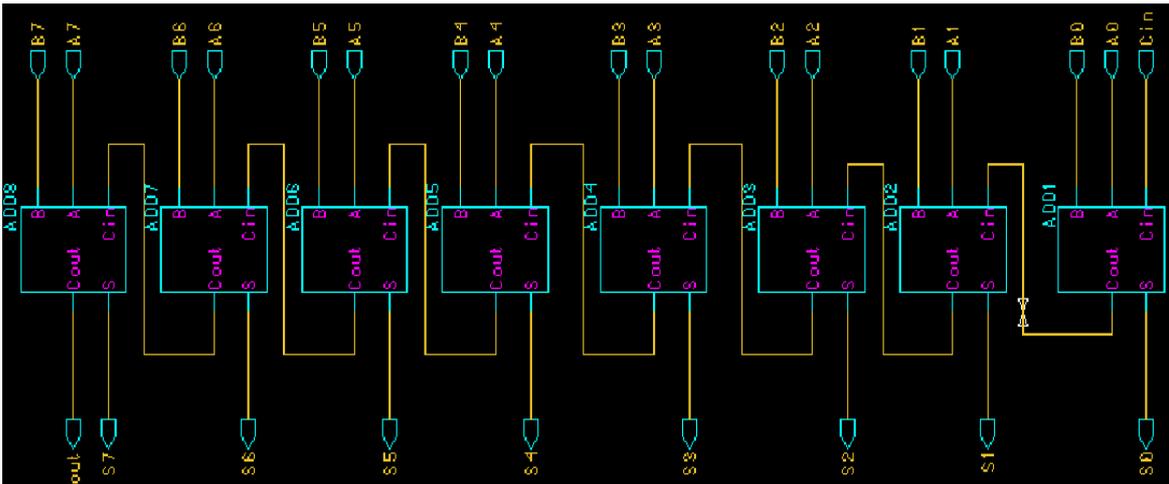


Figura 5: Circuito somador completo com 8 bits.

Para a simulação, o circuito do somador de 8 bits foi convertido em único símbolo com dezesseis entradas para a soma, uma entrada destinada ao carry de entrada e nove saídas sendo uma o carry de saída.

Os componentes especificados para simulação:

Fonte de alimentação: $V_{dd} = 1.8V$

Capacitor de saída: $C = 100 \text{ fF}$

Fonte de pulsos: Amplitude = 1.8 V e frequência igual a 100 Mhz.

Tempos de subida, decida e atraso = 0,1 ns.

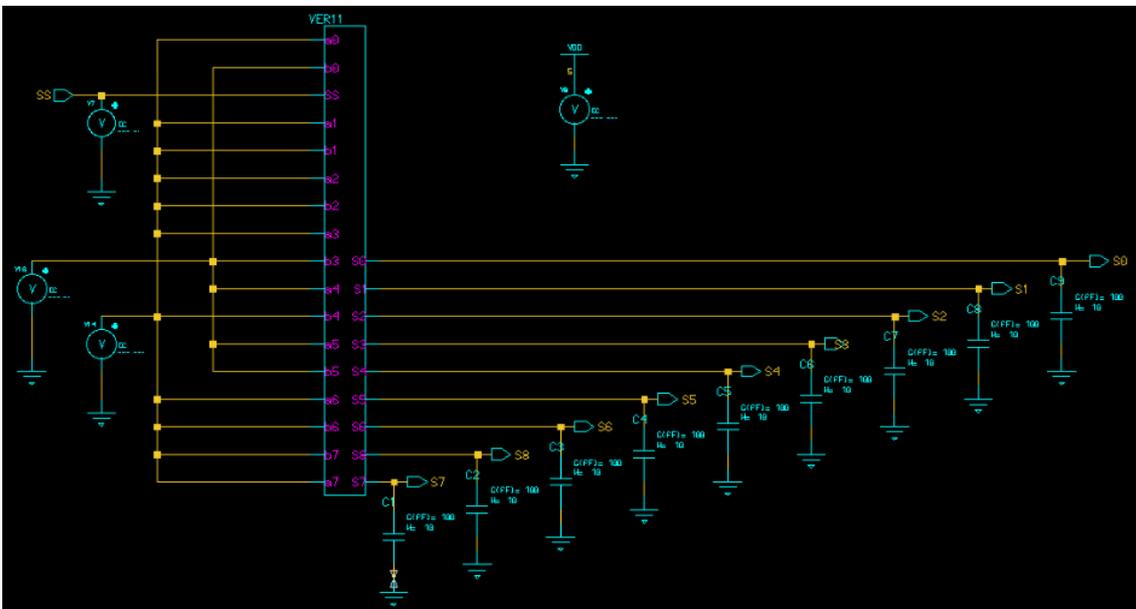


Figura 6: Bloco do somador de 8 bits para a simulação.

Com a simulação do somador de 8 bits, foi obtida os tempos de subida, descida, propagação de subida e propagação de descida da saída de seus bits e do carry, onde cada saída do somador tem praticamente os mesmos tempos.

Para as saídas do somador:

tempo de subida = 0.37292 ns

tempo de descida = 0.31247 ns

tempo de propagação de subida = 0.20061 ns

tempo de propagação de descida = 0.22993 ns

Para a saída do Carry:

tempo de subida = 0.43918 ns

tempo de descida = 0.38486 ns

tempo de propagação de subida = 0,27104 ns

tempo de propagação de descida = 0.26006 ns

Através da simulação do mentor verificou-se que o circuito teve 1,5 nW de potencia dissipada na fonte DC para 30 ms de simulação.

2.3 Simulação lógica

Para a simulação, foram utilizadas portas lógicas que expressavam somente como resposta a sua função digital de nível lógico “0” ou “1”, sem ter que precisar construir ou utilizar portas lógicas compostas por transistores.

O bloco do somador completo foi reconstruído usando as novas portas lógicas obtidas da biblioteca do próprio programa. Todas as entradas do circuito foram conectadas em um único barramento, utilizado uma única fonte digital para fazer a simulação de todas as combinações possíveis na entrada do circuito do somador.

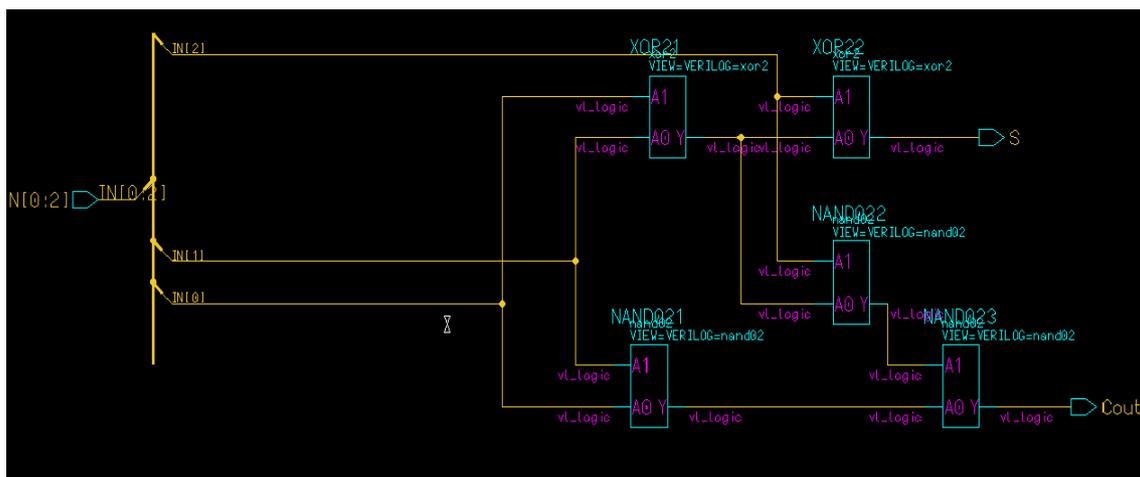


Figura 7: Circuito do somador completo em simulação lógica.

Pode-se verificar sua validação comparando as suas formas ondas obtidas com o teórico.

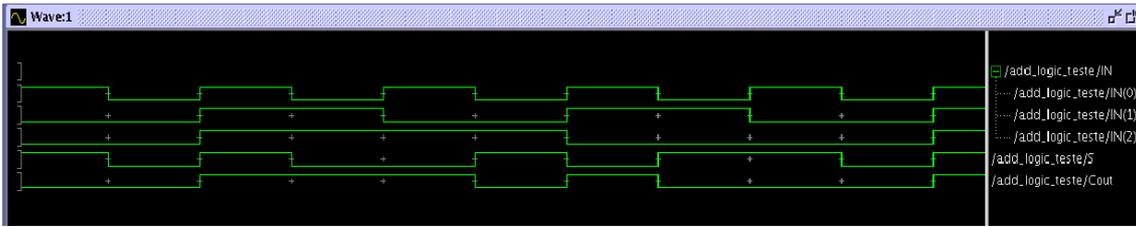


Figura 8: teste lógico do somador de dois bits.

Logo depois foi obtido o novamente somador de oito bits composto por vários blocos de portas lógicas de função digital.

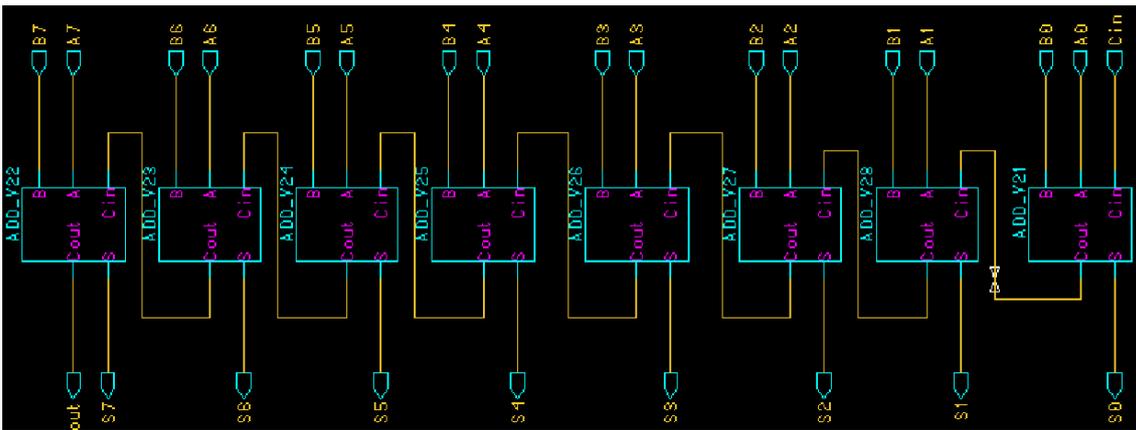


Figura 9: Representação do somador de 8 bits em simulação lógica.

Foi realizada sua simulação lógica com todas as suas possíveis entradas.

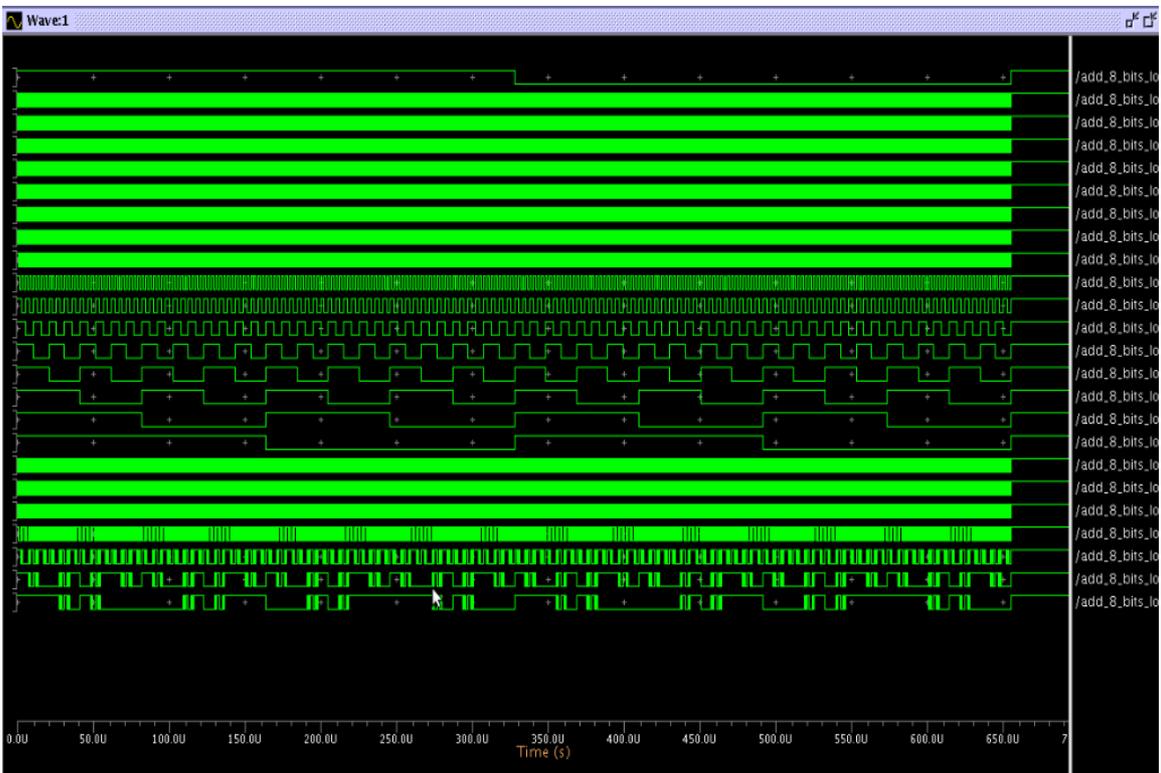


Figura 10. Teste lógico do somador completo.

Para validar seu funcionamento, foram escolhidas duas amostras do comportamento da saída em relação à entrada representado pela figura 6. A soma dos bits da amostra segue:

$$\text{Soma} = + \frac{\text{bit}(\text{IN15}) \text{ bit}(\text{IN13}) \text{ bit}(\text{IN11}) \text{ bit}(\text{IN9}) \text{ bit}(\text{IN7}) \text{ bit}(\text{IN5}) \text{ bit}(\text{IN3}) \text{ bit}(\text{IN1})}{\text{bit}(\text{IN16}) \text{ bit}(\text{IN14}) \text{ bit}(\text{IN12}) \text{ bit}(\text{IN10}) \text{ bit}(\text{IN8}) \text{ bit}(\text{IN6}) \text{ bit}(\text{IN4}) \text{ bit}(\text{IN2})}$$

$$\text{Soma} = \text{bit}(\text{S7}) \text{ bit}(\text{S6}) \text{ bit}(\text{S5}) \text{ bit}(\text{S4}) \text{ bit}(\text{S3}) \text{ bit}(\text{S2}) \text{ bit}(\text{S1}) \text{ bit}(\text{S0})$$

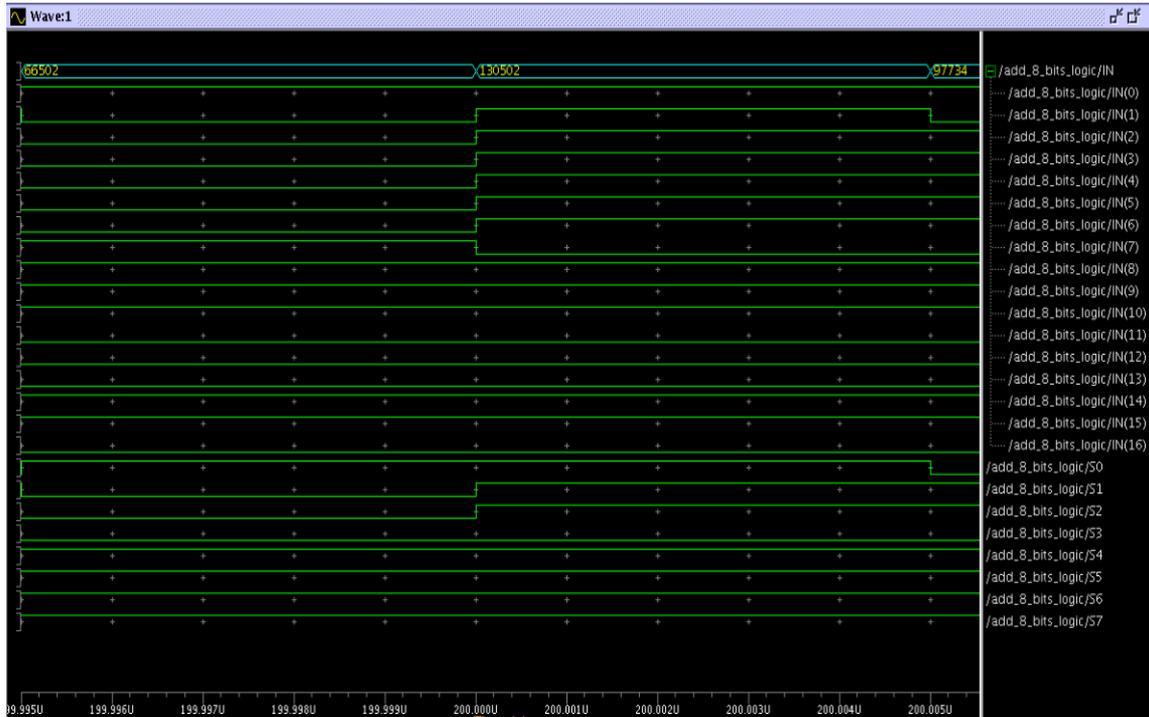


Figura 11: Duas amostras das entradas e suas respostas para fazer a validação.

Para a primeira amostra:

Carry vindo da entrada:	00000001
Primeiro número de 8 bits:	+10011000
Segundo número de 8 bits:	+01011000

Logo a soma fica:	11110001

Para a segunda amostra:

Carry vindo da entrada:	00000001
Primeiro número de 8 bits:	+10010111
Segundo número de 8 bits:	+01011000

Logo a soma fica:	11110111

O resultado obtido das somas foi validado em relação à resposta da saída do somador que está expressa na figura 6 referente à simulação lógica.

2.4 Layout do projeto

Na construção do Layout, foi iniciado a partir do arquivo sdl, retirado esquemático, foi optado também para os layouts fossem reutilizadas em várias partes do projeto em forma blocos.

Primeiramente foram construídos os layouts das portas lógicas básicas utilizadas no projeto. Foi definido que o METAL utilizado na construção da saída fosse um nível acima do utilizado na entrada, porém para as portas básicas utilizou-se METAL2 tanto para a saída quanto para a entrada. Para as entradas do V_{dd} e do GND foi utilizado Metal 1.

As portas implementadas nessa parte do projeto foram: NAND, XOR e NOT.

Para a porta NAND:

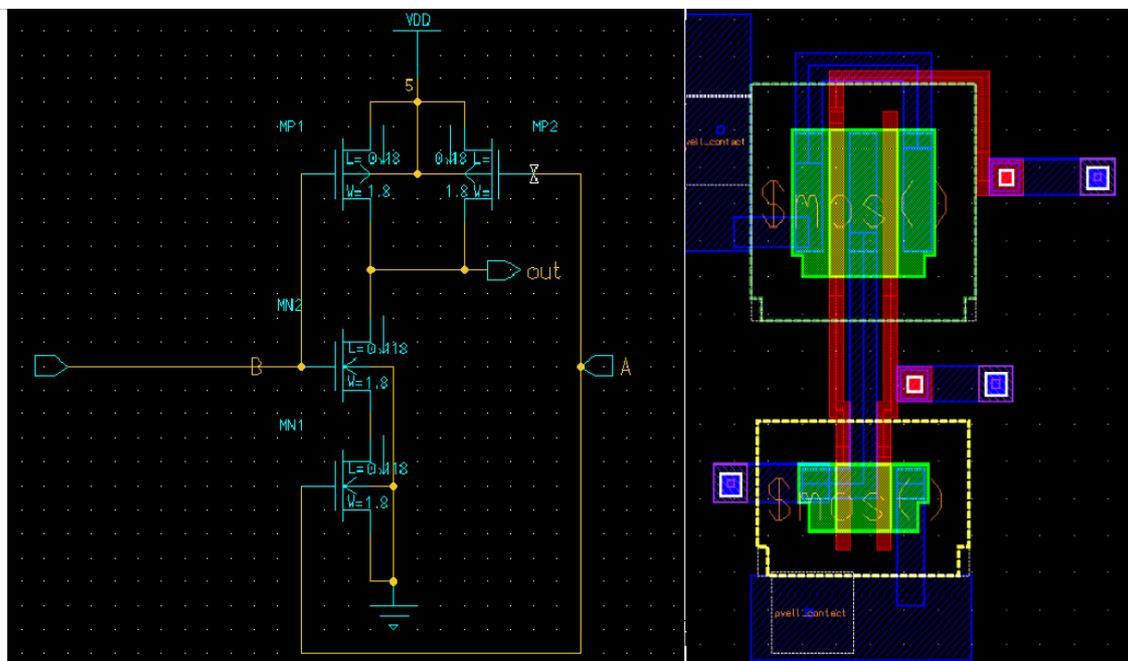


Figura 12: Esquemático(à esquerda) e Layout(à direita) da porta NAND.

Para a porta XOR:

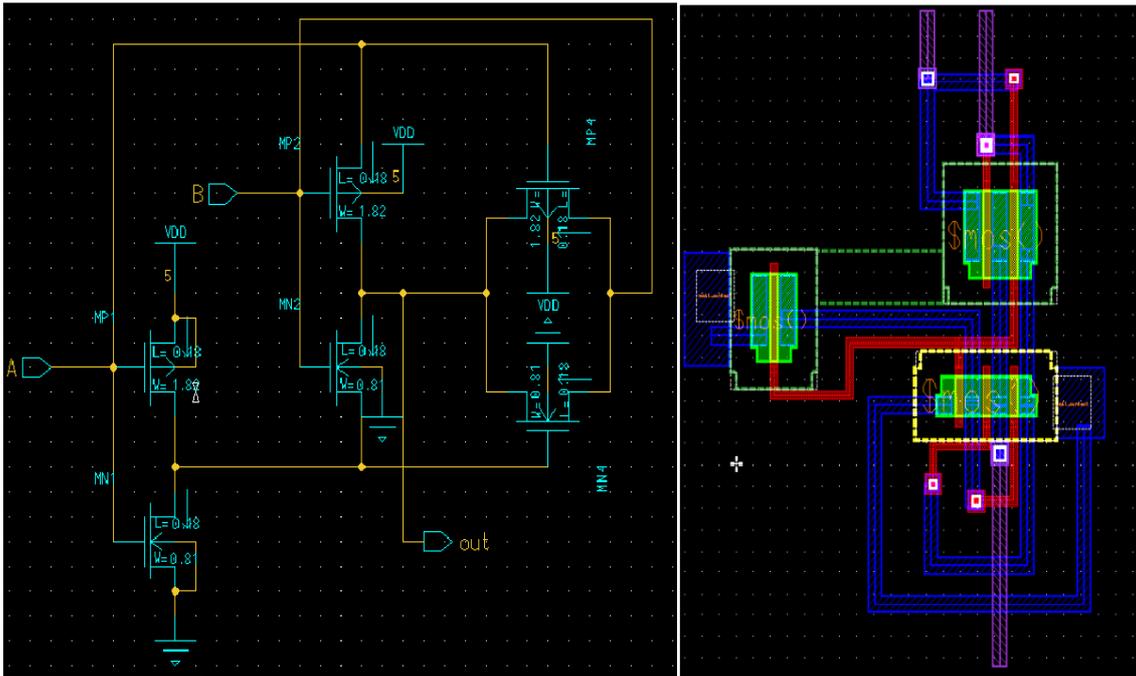


Figura 13: Esquemático(à esquerda) e Layout(à direita) da porta XOR.

Para a porta NOT:

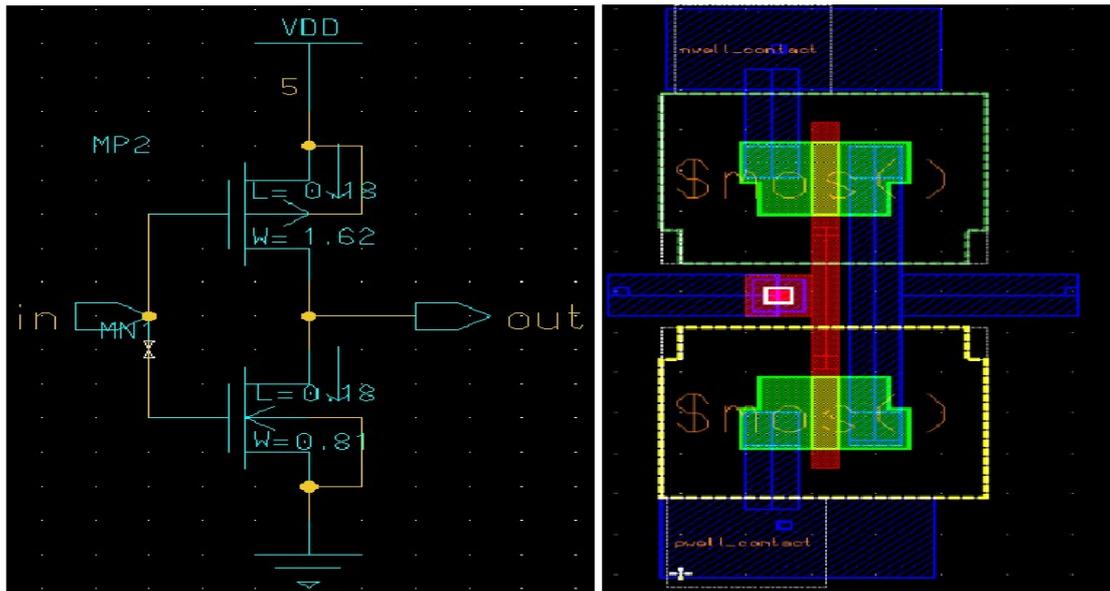


Figura 14: Esquemático(à esquerda) e Layout(à direita) da porta NOT.

Depois de ter feitos os Layouts, atendendo as regras de construção do Layout pelo MOSIS®. Em seguida foi feita a comparação entre o layout e o esquemático e tendo os próximos layouts seguido estes mesmo passos.

Com o layout da porta lógica NAND, foi obtido o layout do bloco representado pelo equivalente do bit carry.

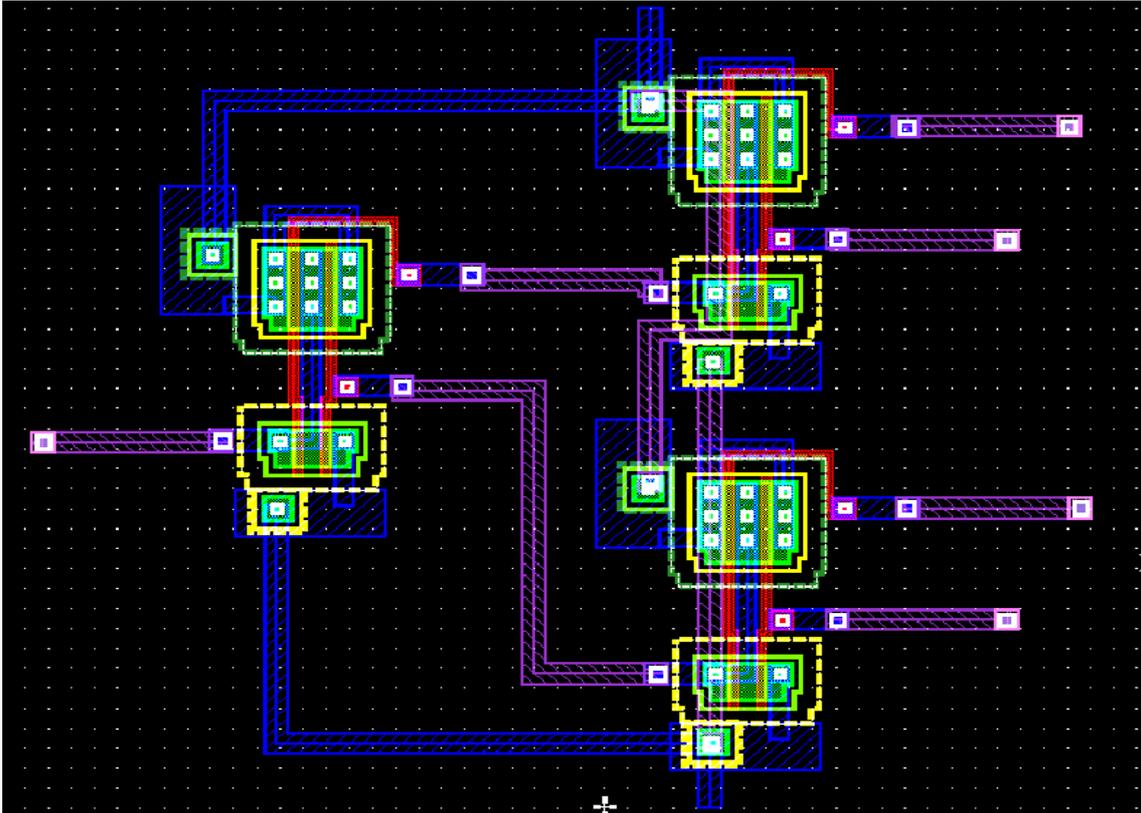


Figura 15: Bloco equivalente do bit carry.

Em seguida, utilizando o layout da XOR e do bloco equivalente ao bit carry, foi obtido o layout do somador completo.

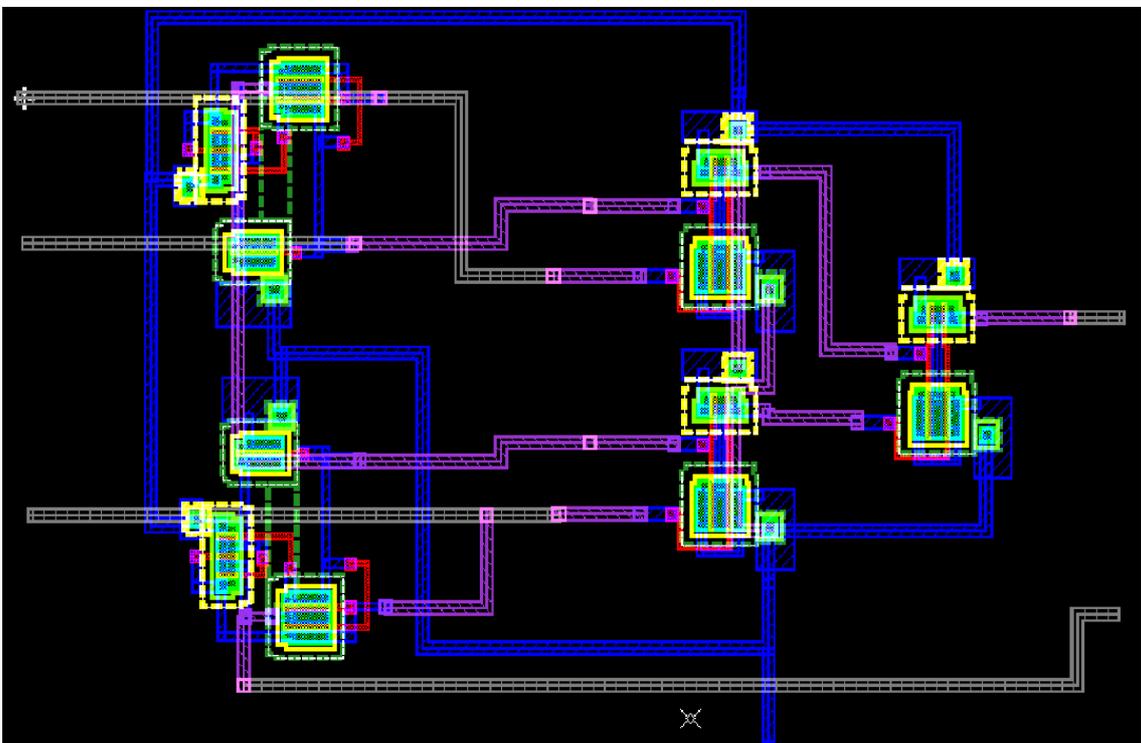


Figura 16: Bloco equivalente do somador completo.

Como foi a função do bloco do bit carry que foi somente modificada, os tempos característicos das saídas em relação as somas simplesmente, continuaram os mesmos.

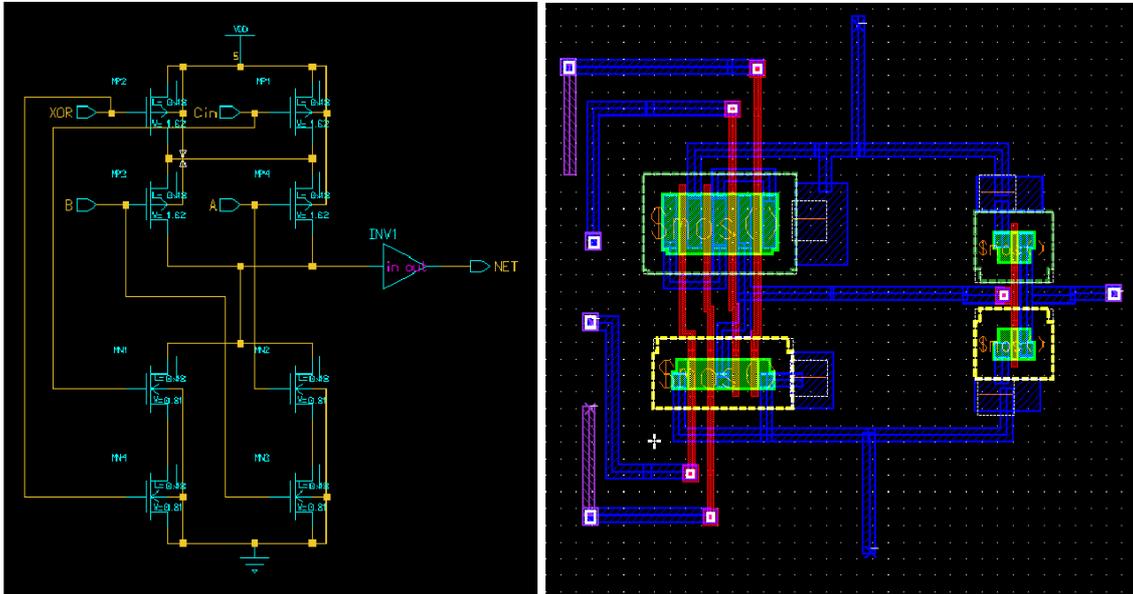


Figura 19: Esquemático(à esquerda) e Layout(à direita) do bloco do bit carry modificado.

Os passos para a obtenção do circuito é mostrado a seguir:

$$C_{out} = c_{in} \cdot (a \oplus b) + a \cdot b$$

$$C' = \overline{C_{out}}$$

para a logica nos transistores do tipo N

$$C' = c_{in} \cdot (a \oplus b) + a \cdot b = c_{in} \cdot (a \oplus b) + a \cdot b$$

para a logica nos transistores do tipo P

$$C' = c_{in} \cdot (a \oplus b) + a \cdot b = (\overline{c_{in}} + (a \oplus b)) \cdot (\overline{a} + \overline{b})$$

No final foi preciso apenas inverter a saída para se ter a mesma lógica que a do outro circuito. A tabela abaixo mostra a lógica do circuito.

<i>a</i>	<i>b</i>	<i>cin</i>	$(a \oplus b)$	<i>C'</i>	<i>Cout</i>
0	0	0	0	1	0
0	0	1	0	1	0
0	1	0	1	1	0
0	1	1	1	0	1
1	0	0	1	1	0
1	0	1	1	0	1
1	1	0	0	0	1
1	1	1	0	0	1

Figura 20: Tabela verdade para o carry otimizado.

Para o novo carry otimizado:
tempo de subida = 0.458 ns
tempo de descida = 0.226 ns
tempo de propagação de subida = 0.871 ns
tempo de propagação de descida = 0.744 ns

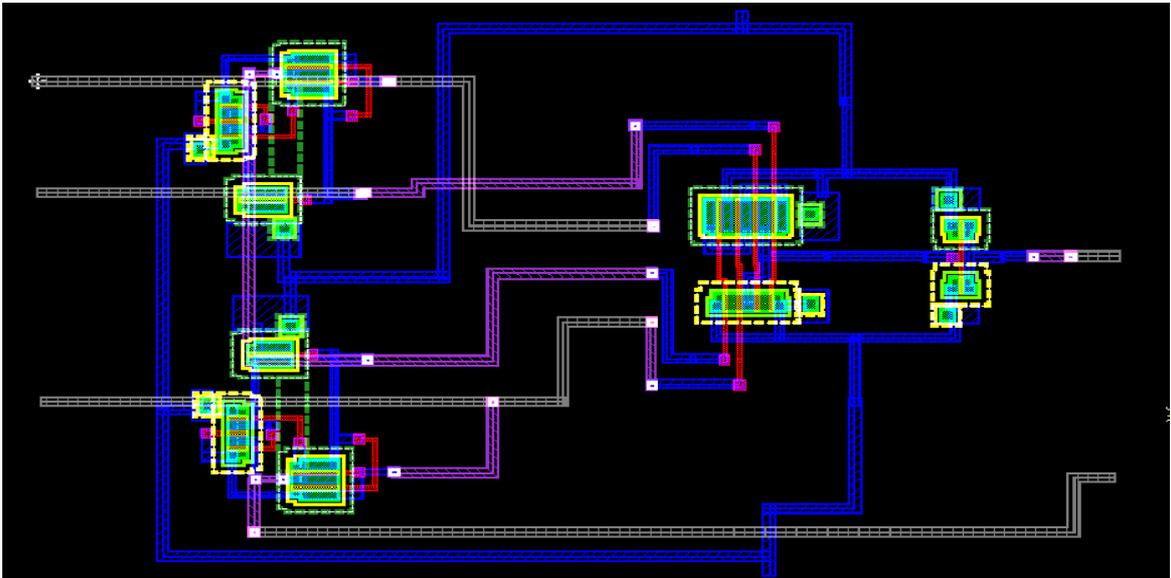


Figura 21: Bloco equivalente do somador completo com o carry modificado.

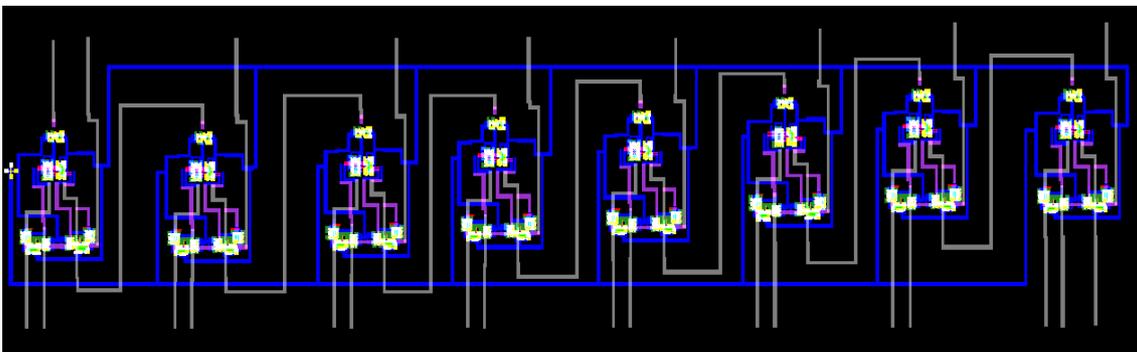


Figura 22: Layout do bloco equivalente do somador de 8 bits com o carry modificado.

Além da otimização do carry, foi retirado da literatura [3], um circuito de propagação de carry adiantado, onde a intenção e desse circuito é a de diminuir o tempo entre o carry recebido no primeiro bloco somador ate o ultimo bloco, para isso foi implementado o esquemático desse circuito para um bloco de carry adiantado para 4 bits.

Para essa parte também foram otimizados cada porta lógica utilizada, e feito os seus respectivos layouts.

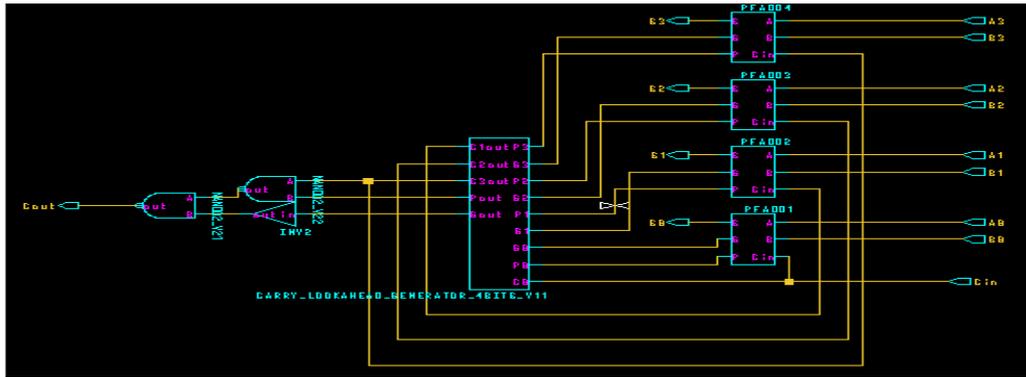


Figura 23: Esquemático da ligação do carry adiantado.

No bloco do meio somador foi utilizadas portas XOR e NAND, em quando que o resto do circuito somente utilizou portas lógicas NAND e NOT.

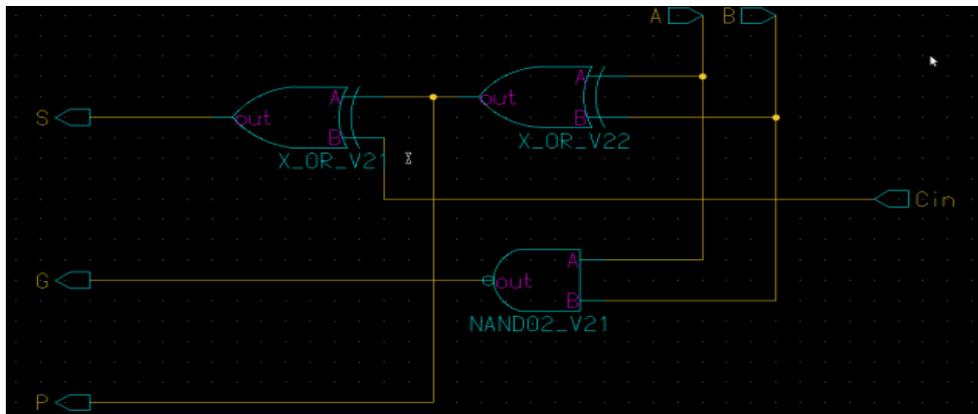


Figura 24: Esquemático do somador parcial.

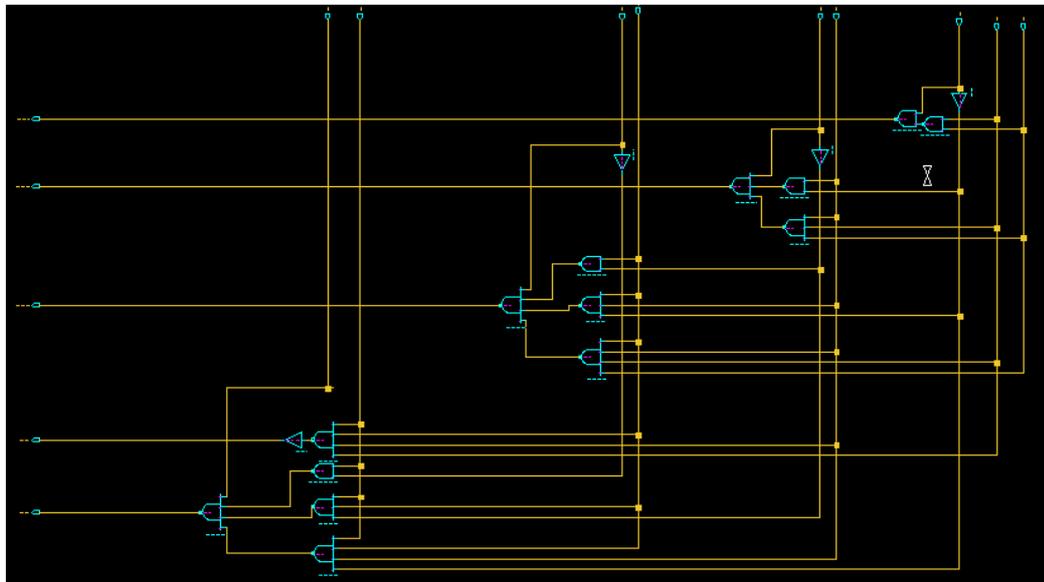


Figura 24: Esquemático do bloco do carry adiantado para 4 bits.

Foi simulado para esse circuito a demora na propagação do carry realizando a soma:

Carry vindo da entrada: 00000001

Primeiro número de 8 bits:	+00000000
Segundo número de 8 bits:	+11111111

Logo a soma fica:	1 00000000

Os tempos obtidos foram:

tempo de subida = 0.4399 ns

tempo de descida = 0.2139 ns

tempo de propagação de subida = 0.970 ns

tempo de propagação de descida = 0.984 ns

3 Conclusão

O projeto do somador de 8 bits atendeu a todas as especificações, contendo 184 transistores e utilizando portas NANDs no circuito do carry, sendo que suas funcionalidades foram testadas nas simulações elétricas e digitais. Primeiramente na elétrica o circuito apresentou o comportamento esperado tendo melhoras nos seus tempos após as otimizações em nível de transistor. Feito isso, a simulação digital foi utilizada para comprovar todas as possibilidades de soma, sendo que foram 2^{17} possibilidades, e destas foram escolhidas duas para a verificação.

Com relação ao layout conseguiu-se atingir o esperado, que era com que ele apresentasse de uma forma mais estruturada e fosse igual ao esquemático projetado, sendo que esta fosse à parte mais demorada na construção do projeto.

Na parte referente à otimização pode-se comprovar que devido à diminuição do número de transistores, depois da simplificação, houve uma melhora no tempo de resposta da propagação do carry da entrada com relação ao carry da saída, o que já era esperado devido a que os transistores a menos eram todos referentes ao bloco do carry.

Com relação à tentativa da implementação de um carry adiantado acabou-se mostrando tempos atraso maiores que o da segunda tentativa, porém menores que os da primeira.

4 Bibliografia

- Digital systems principles and applications, 8ed, Tocci.
- Redes Combinacionais Aritméticas, Circuitos Lógicos - Prof. J.M. De Martino, UNICAMP.
- The Fastest Carry Lookahead Adder, Yu-Ting Pai and Yu-Kung Chen, Department of Electronic Engineering Huafan University.