



UNIVERSIDADE FEDERAL DO PARANÁ
SETOR DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

Trabalho da disciplina Circuitos Integrados Digitais
PROJETO DE UM CI CONVERSOR A/D DE 3 BITS

IVANDERSON DE OLIVEIRA

RAPHAEL F. DE OLIVEIRA LIMA

Curitiba - PR

Dezembro de 2011

Ivanderson de Oliveira – GRR20066068

Raphael F. de Oliveira Lima – GRR20074884

PROJETO DE UM CI CONVERSOR A/D DE 3 BITS

Projeto realizado como parte integrante da nota da disciplina de Circuitos Integrados Digitais, do Curso de Engenharia Elétrica, Setor de Ciência e Tecnologia, Universidade Federal do Paraná.

Orientador: Prof. Dr. Oscar O. Gouveia

Curitiba - PR

Dezembro de 2011

SUMÁRIO

1	INTRODUÇÃO.....	3
2	O CONVERSOR	3
1.1	CONVERSOR A/D	3
1.2	NOSSE CONVERSOR	4
1.2.1	COMPARAÇÃO.....	4
1.2.2	CODIFICAÇÃO	6
1.3	TIQ-1.....	7
1.3.1	ESQUEMÁTICO	7
1.3.2	SÍMBOLO	7
1.3.3	SIMULAÇÃO DC	8
1.3.4	LAYOUT.....	9
1.4	TIQ-2.....	10
1.4.1	ESQUEMÁTICO	10
1.4.2	SIMULAÇÃO DC	10
1.4.3	LAYOUT.....	11
1.5	TIQ-3.....	11
1.5.1	ESQUEMÁTICO	11
1.5.2	SIMULAÇÃO DC	12
1.5.3	LAYOUT.....	12
1.6.1	ESQUEMÁTICO	13
1.6.2	SIMULAÇÃO DC	13
1.6.3	LAYOUT.....	14
1.7	TIQ-5.....	14
1.7.1	ESQUEMÁTICO	14
1.7.2	SIMULAÇÃO DC	15
1.7.3	LAYOUT.....	15
1.8	TIQ-6.....	16
1.8.1	ESQUEMÁTICO	16
1.8.2	SIMULAÇÃO DC	16
1.8.3	LAYOUT.....	17
1.9	TIQ-7.....	17
1.9.1	ESQUEMÁTICO	17

1.9.2	SIMULAÇÃO DC	18
1.9.3	LAYOUT.....	18
1.10	BOOSTERS.....	19
1.10.1	ESQUEMÁTICO	19
1.10.2	SÍMBOLO	20
1.10.3	LAYOUT.....	20
1.11	MULTIPLEXADOR (MUX)	20
1.11.1	ESQUEMÁTICO	21
1.11.2	SIMULAÇÃO DC	21
1.11.3	LAYOUT.....	22
1.12	AD-FLASH COM CODIFICADOR TERMÔMETRO	23
1.12.1	ESQUEMÁTICO	23
1.12.2	SÍMBOLO	23
1.12.3	SIMULAÇÃO	24
1.12.4	LAYOUT FINAL	25
3	CÁLCULO DOS DADOS.....	25
4	CONCLUSÃO.....	27
	REFERÊNCIAS.....	28

1 INTRODUÇÃO

Os CI's são compostos de camadas quimicamente distintas que, submetidas a uma variação elétrica entre elas, resultam na distorção do sinal aplicado, seguindo a tendência matemática do modelo idealizado em sua concepção.

Através do processamento adequado do Silício são elaboradas estas diferentes camadas que formam os CI's.

Para que as camadas tomem a forma desejada são sobrepostas ao *waffer* e submetidas à radiação luminosa que através de uma máscara molda a superfície de cada substância para obter o resultado desejado.

Neste trabalho, unindo os conhecimentos adquiridos ao longo do semestre com a utilização do software *Cadence* (Cadence, 1992-2011), iremos desenvolver uma pastilha de silício na tecnologia TSMC35 (L do transistor é aproximadamente de 350 a 400nm), com suas diversas camadas, que realiza a função de um conversor analógico para digital com 3 bits.

2 O CONVERSOR

1.1 CONVERSOR A/D

Os conversores A/D são amplamente utilizados em circuitos eletrônicos, pois através deles os sinais transduzidos do meio analógico (contínuos no tempo) podem ser transformados em sinais digitais (discretizados no tempo) que podem ser compreendidos pelas lógicas de resposta de cada circuito.

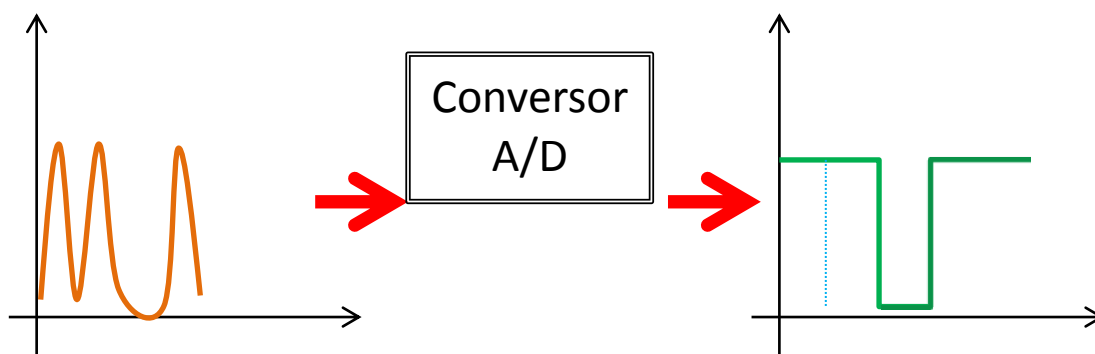


Figura 1 - Conversor A/D

1.2 NOSSO CONVERSOR

Os conversores realizam basicamente um processo de codificação (que é definida pelo número de bits). Sendo assim, um sinal que vai 0 a 3V, em um conversor de 3 bits ficaria dividido em 8, com 7 entre níveis, assim:

Níveis	Min tensão do nível (V)	Max tensão do nível (V)
1	0	0,375
2	0,375	0,75
3	0,75	1,125
4	1,125	1,5
5	1,5	1,875
6	1,875	2,25
7	2,25	2,625
8	2,625	3

Tabela 1 - Tabela de entre níveis do conversor

O conversor é composto por duas etapas:

- Comparação;
- codificação.

1.2.1 COMPARAÇÃO

Na comparação usamos TIQ's (Threshold Inverter Quantizer). Basicamente dois inversores em série, chaveando na tensão desejada (V_m) pela variação de W e L . Conforme a equação abaixo:

Equação 1 - V_m

$$V_m = \frac{(r \cdot (V_{dd} - |V_{t_p}|) + V_{t_n})}{1 + r}, \text{ com } r = \sqrt{\frac{K_p}{K_n}}.$$

Lembrando que: $k = \left(\frac{W}{L}\right)_X \mu_X C_{ox}$, onde X é o tipo do transistor MOS (campo P ou N), W é a largura da área ativa, L é o comprimento da porta, μ é a permeabilidade relativa e C_{ox} é a Capacitância relativa do óxido.

Como já relatado anteriormente usa-se dois inversores em série, o primeiro está sujeito a alteração do W e L, o segundo funciona apenas como um estágio de *booster* (amplificador), assegurando os níveis de entrada.

Neste foi assegurado $W=2,1\mu m$ para o P-MOS porque isto garante o chaveamento em 1,5V para garantir a melhor inversão do sinal caso o mesmo esteja mais próximo deste valor.

O circuito dos TIQ's é apresentado abaixo:

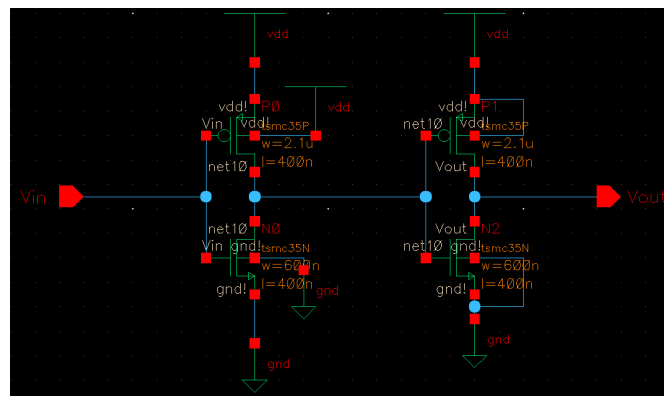


Figura 2- TIQ

Para definir os valores de Vm os seguintes W e L foram adotados:

Tabela 2 - Valores calculados x Valores esperados

DADOS	Vdd	Wp	Lp	Wn	Ln	Vm calculado	Vm esperado
TIQ1	3	6,00E-07	1,10E-04	1,60E-04	4,00E-07	0,5004	0,375
TIQ2	3	6,00E-07	4,00E-07	9,50E-06	4,00E-07	0,7316	0,75
TIQ3	3	1,20E-06	4,00E-07	1,50E-06	4,00E-07	1,1272	1,125
TIQ4	3	2,10E-06	4,00E-07	6,00E-07	4,00E-07	1,4565	1,5
TIQ5	3	9,10E-06	4,00E-07	6,00E-07	4,00E-07	1,7739	1,875
TIQ6	3	2,07E-05	4,00E-07	6,00E-07	8,00E-06	2,2236	2,25
TIQ7	3	7,20E-04	4,00E-07	6,00E-07	5,10E-04	2,3338	2,625

Os valores de W e L desta tabela foram obtidos experimentalmente no programa, que possui um modelo matemático mais completo e confiável que o da equação utilizada. Por isto o primeiro e último nível não condizem com a equação, mas responderam conforme o esperado (vide Simulações).

1.2.2 CODIFICAÇÃO

Na etapa de codificação é inserida um pré-estágio de *boosters* para garantir o acoplamento do sinal, então os sinais são codificados em dígitos binários através de multiplexadores, por um codificados do tipo termômetro.

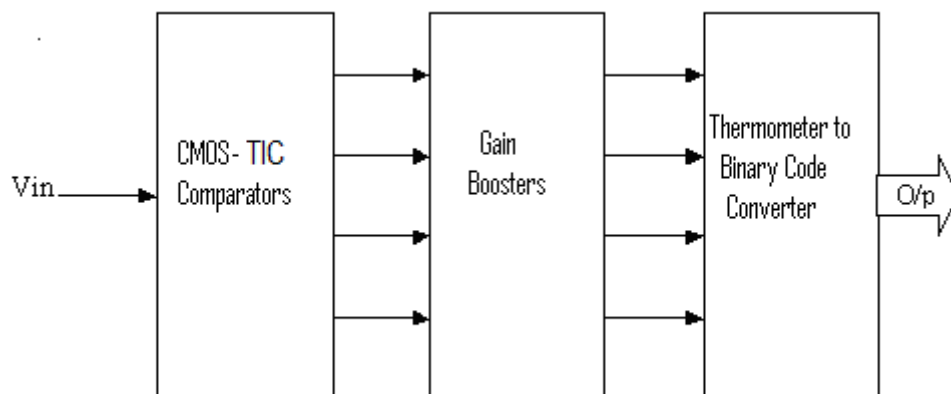


Figura 3 - Diagrama AD Flash com TIQ

Os *boosters* consistem em mais uma etapa com dois inversores, desta vez com W e L iguais e padrão, iguais a 600n x 400nm.

Já a codificação segue o esquema abaixo:

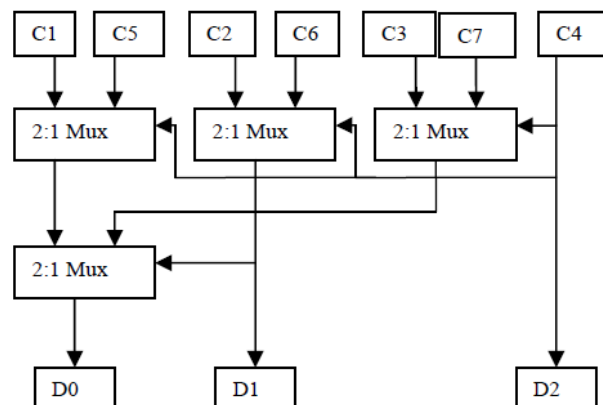


Figura 4 - Codificador termômetro de 3 bits

Cada Mux consiste na execução da função $S = A \bullet X \oplus B \bullet \overline{X}$, ou seja, duas portas AND mais uma porta OR, neste conceito X é o bit autorizador.

Para poder utilizarmos a lógica construtiva MOS aplicamos D’Morgan, de onde saiu a equação $S = \overline{\overline{(A \bullet X)} \bullet \overline{(B \bullet \overline{X})}}$.

1.3 TIQ-1

1.3.1 ESQUEMÁTICO

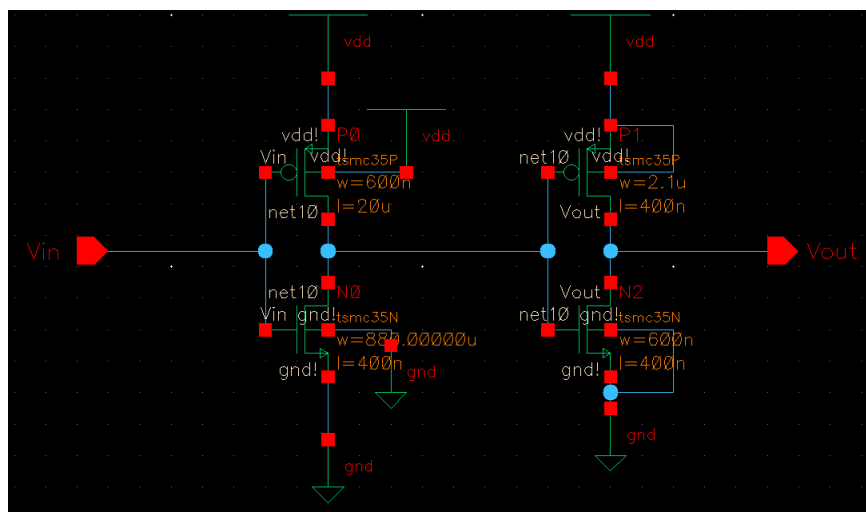


Figura 5 - TIQ 1

1.3.2 SÍMBOLO



Figura 6 - Símbolo do TIQ (se repete para todos os outros)

1.3.3 SIMULAÇÃO DC

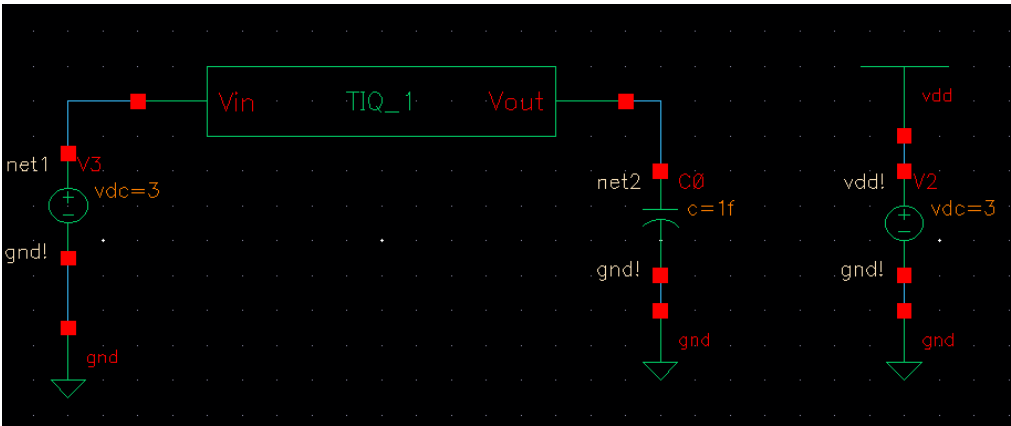


Figura 7 - Esquema de simulação dc

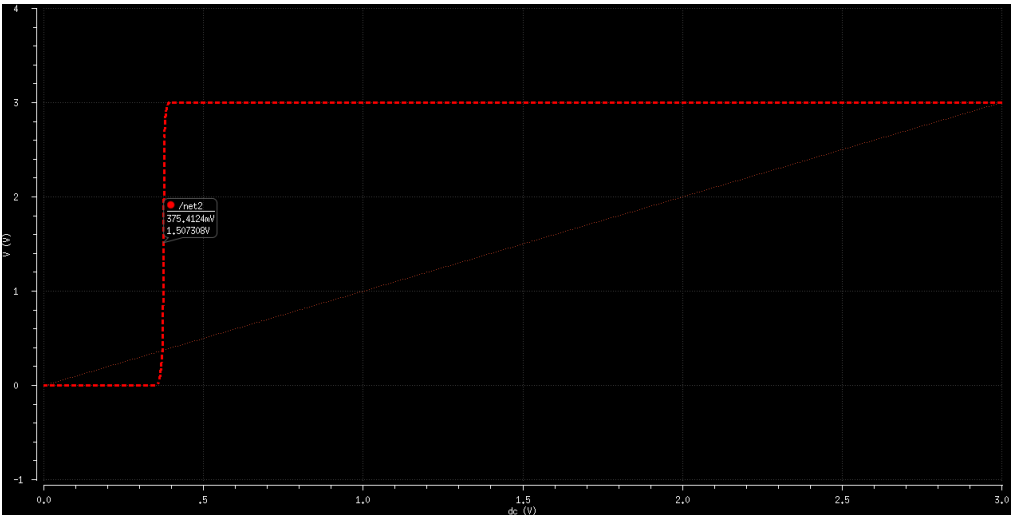


Figura 8 - Resposta DC TIQ1

1.3.4 LAYOUT

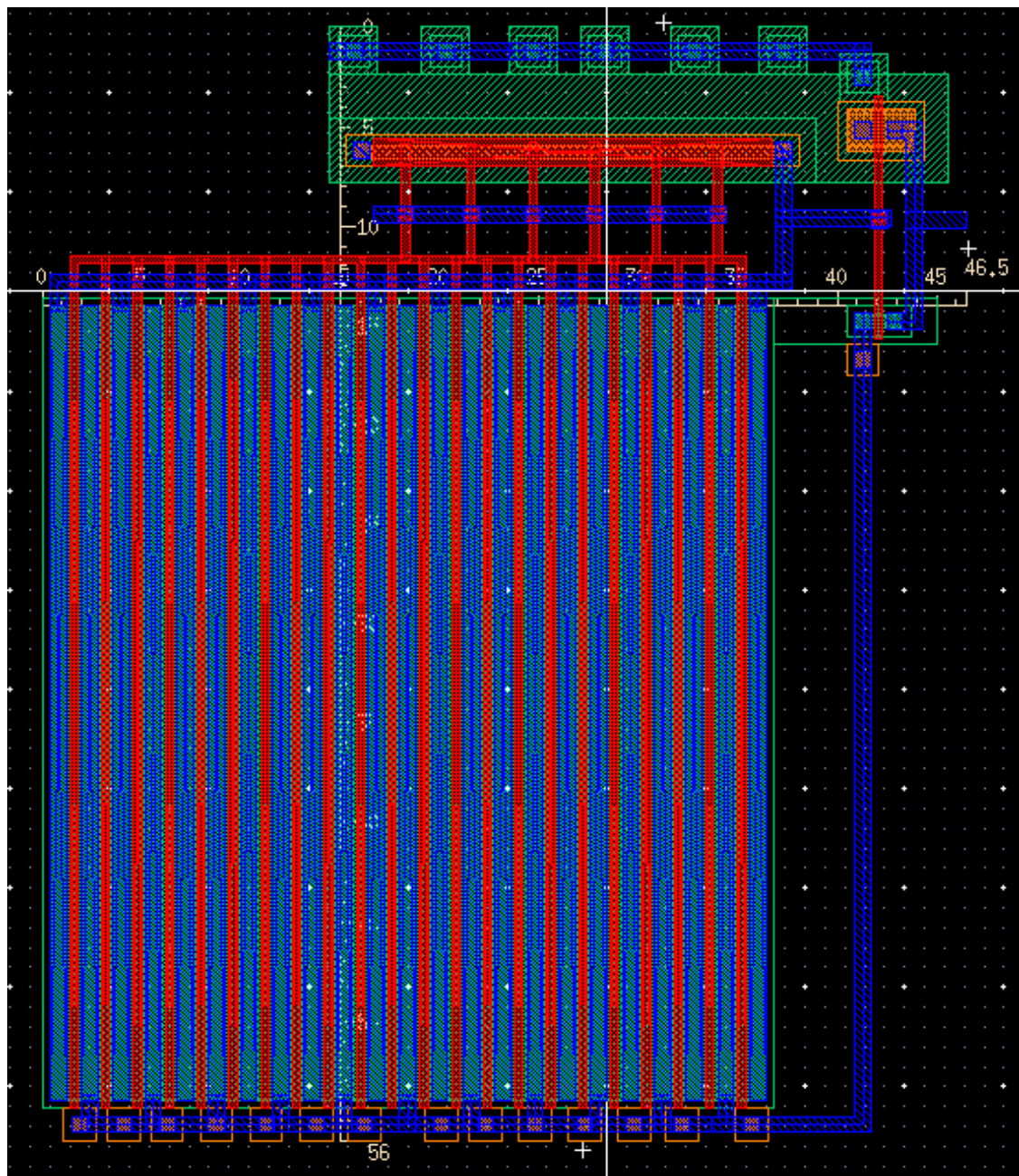


Figura 9 - Layout TIQ 1

1.4 TIQ-2

1.4.1 ESQUEMÁTICO

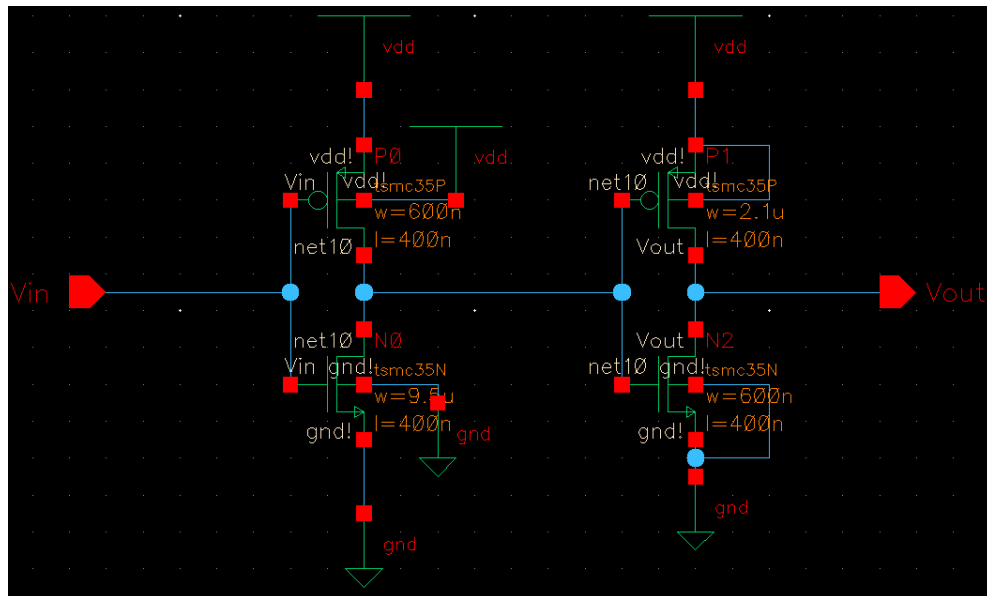


Figura 10 - TIQ2

1.4.2 SIMULAÇÃO DC

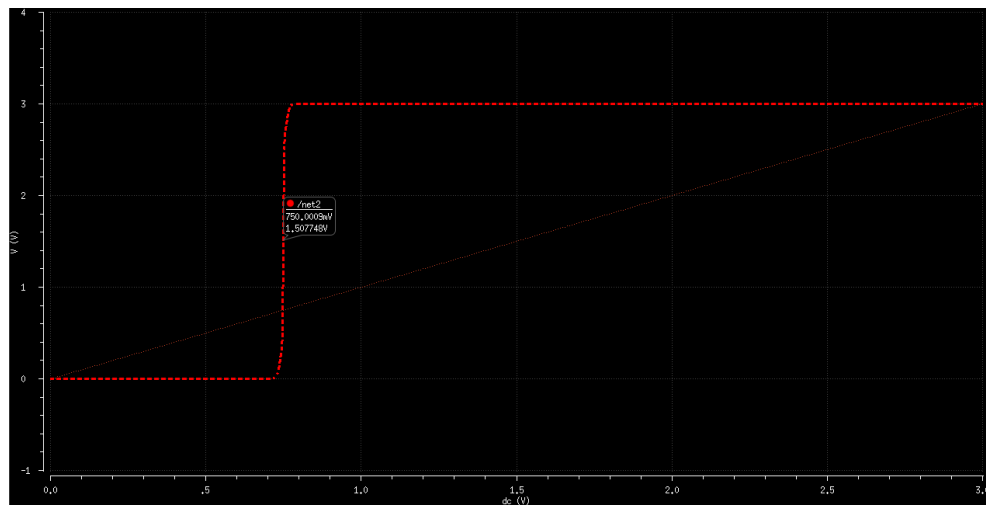


Figura 11 - Resposta DC TIQ2

1.4.3 LAYOUT

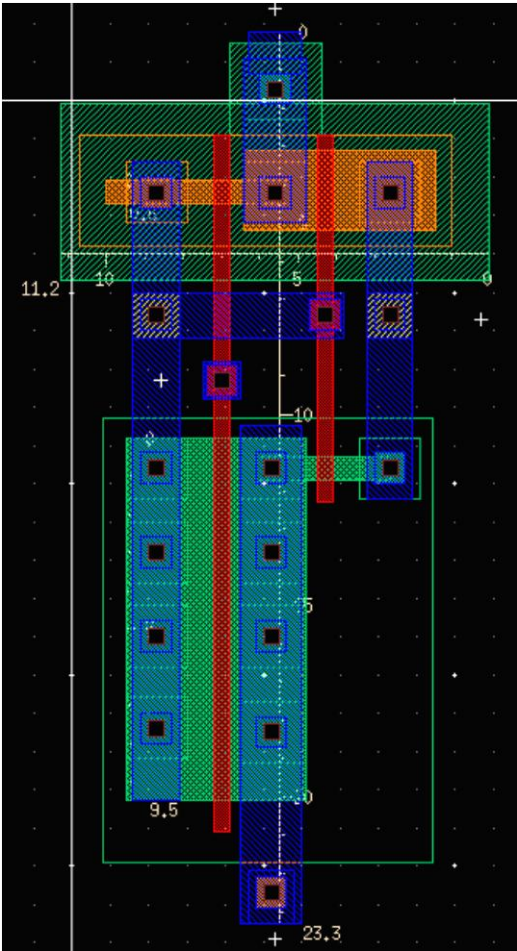


Figura 12 - Layout TIQ2

1.5 TIQ-3
1.5.1 ESQUEMÁTICO

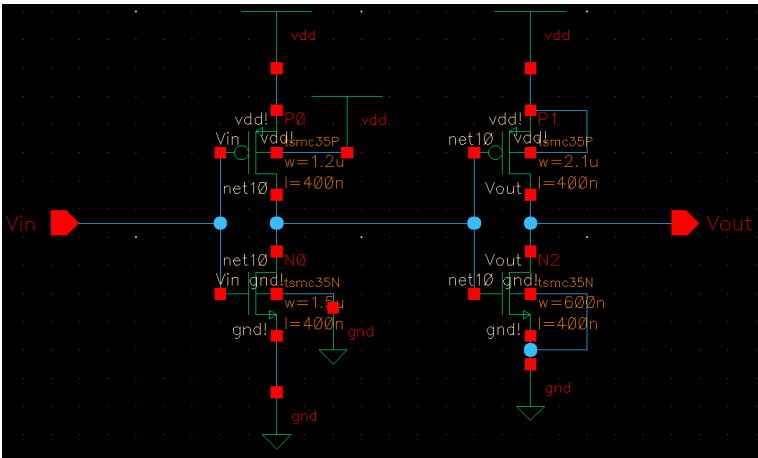


Figura 13 - TIQ3

1.5.2 SIMULAÇÃO DC

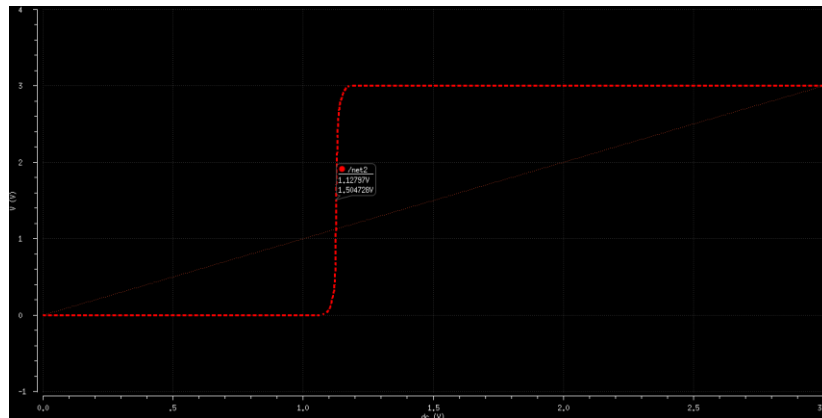


Figura 14 - Resposta DC TIQ3

1.5.3 LAYOUT

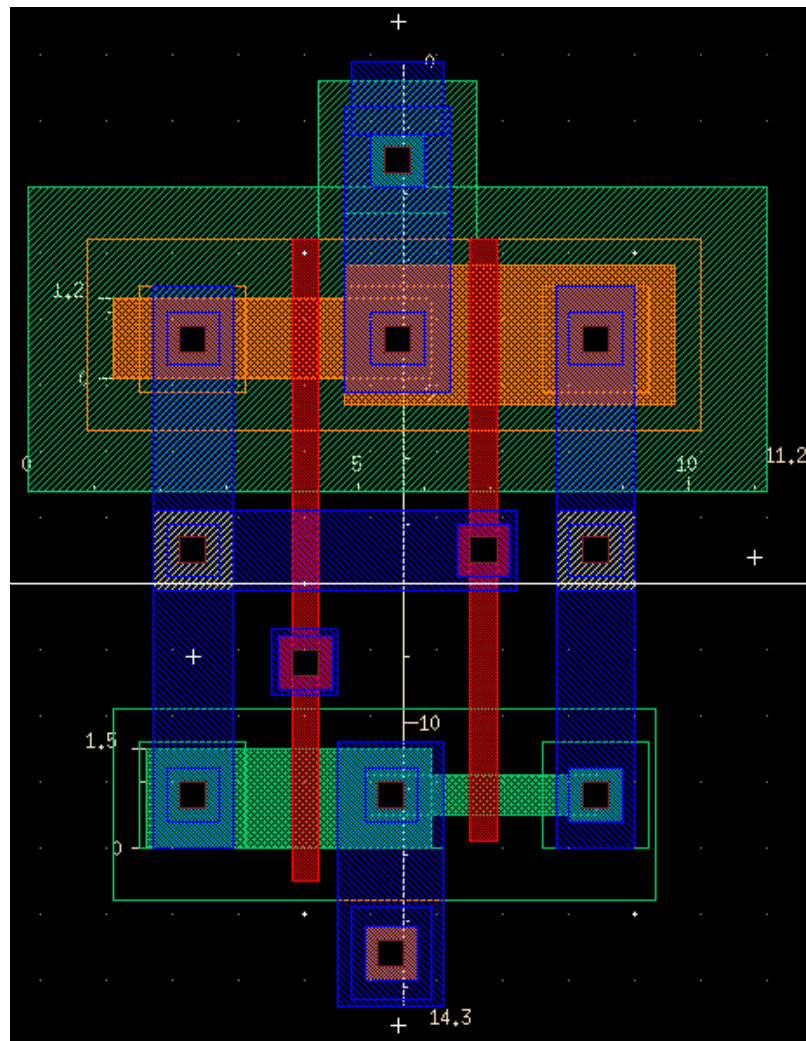


Figura 15 - Layout TIQ3

1.6 TIQ-4

1.6.1 ESQUEMÁTICO

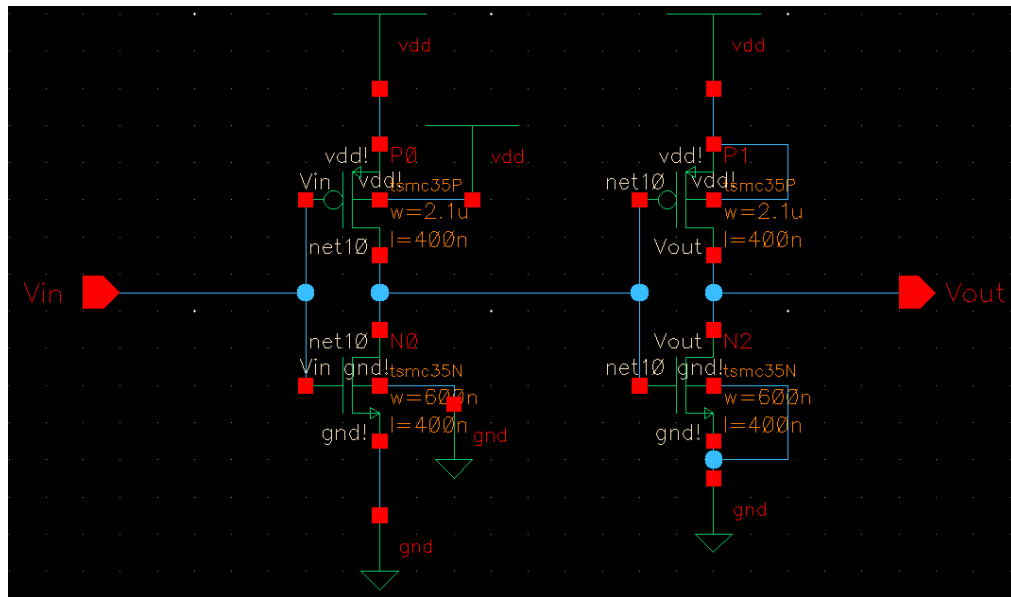


Figura 16 - TIQ 4

1.6.2 SIMULAÇÃO DC

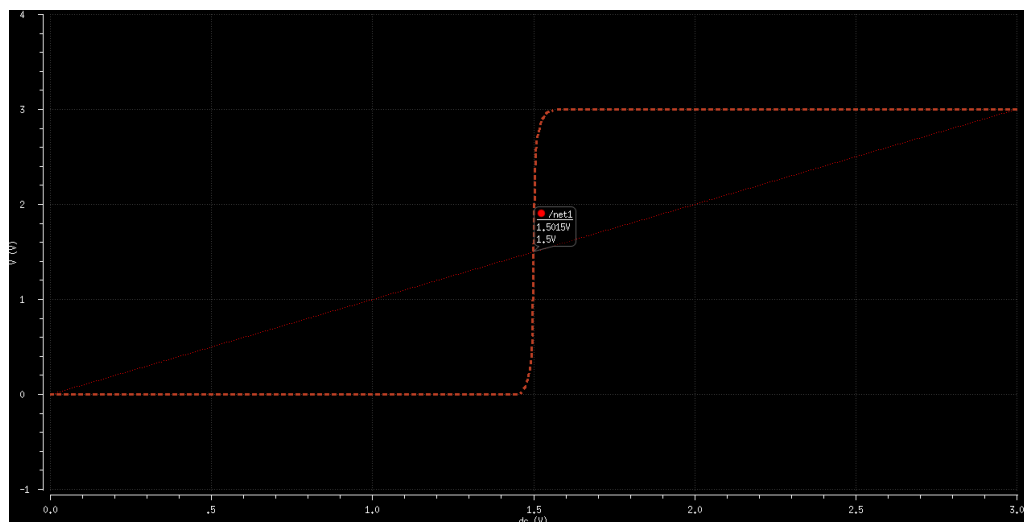


Figura 17 - Resposta DC TIQ 4

1.6.3 LAYOUT

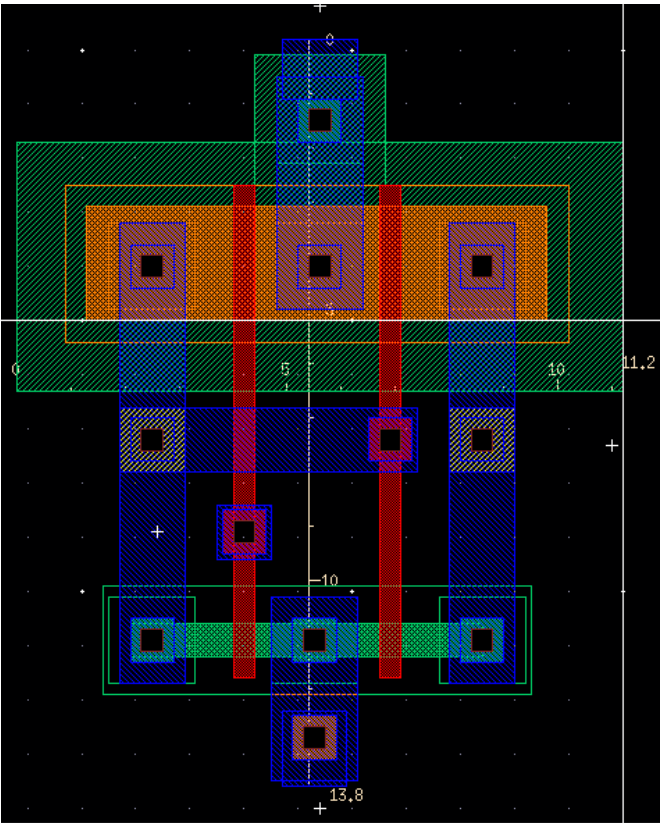


Figura 18 - Layout TIQ 4

1.7 TIQ-5
1.7.1 ESQUEMÁTICO

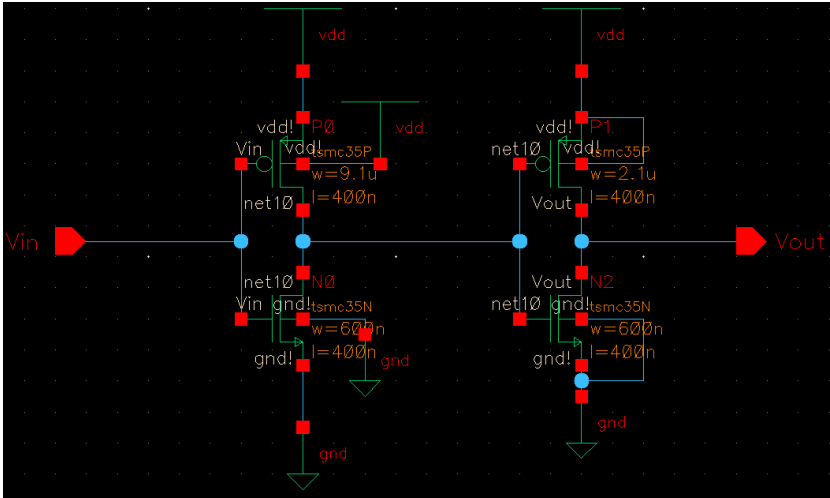


Figura 19 - TIQ 5

1.7.2 SIMULAÇÃO DC

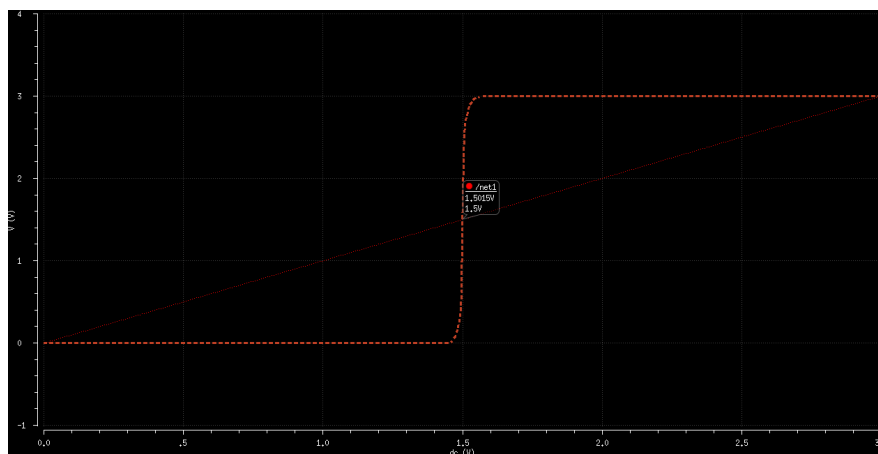


Figura 20 - Resposta DC TIQ 5

1.7.3 LAYOUT

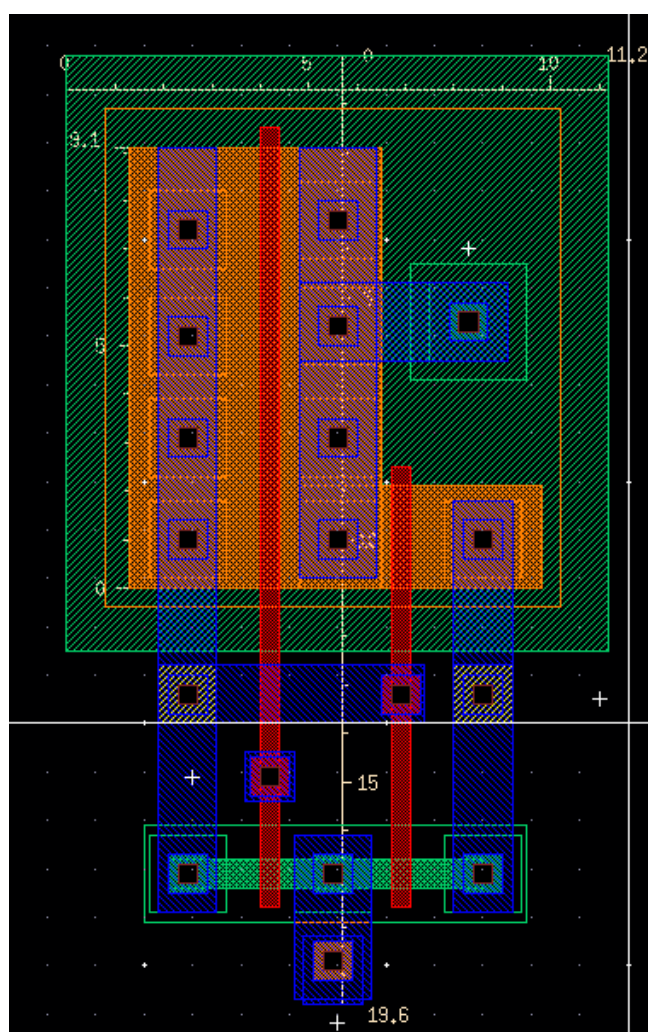


Figura 21 - Layout TIQ 5

1.8 TIQ-6

1.8.1 ESQUEMÁTICO

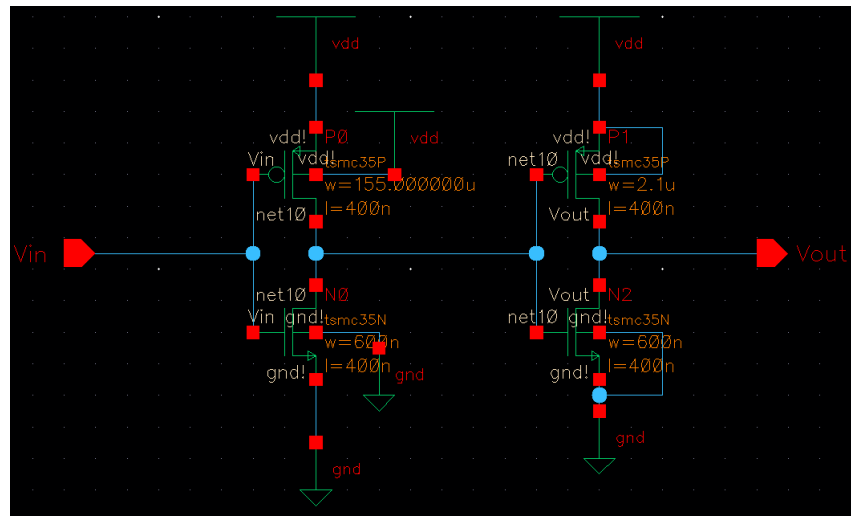


Figura 22 - TIQ 6

1.8.2 SIMULAÇÃO DC

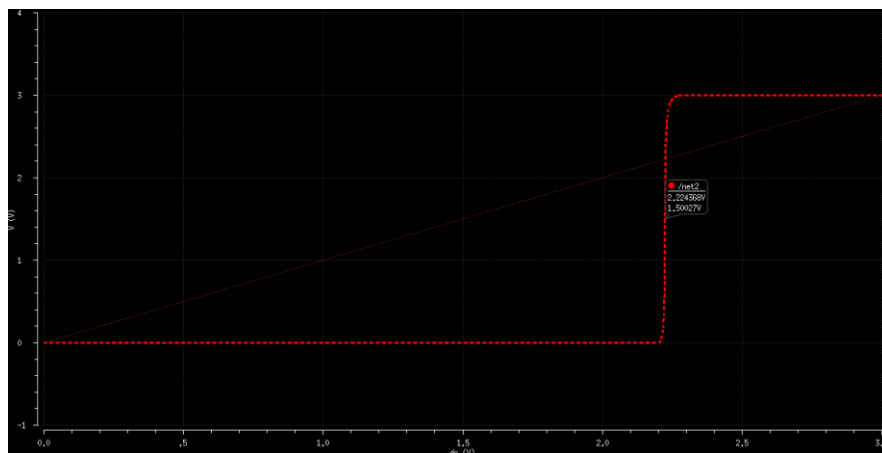


Figura 23 - Resposta DC TIQ 6

1.8.3 LAYOUT

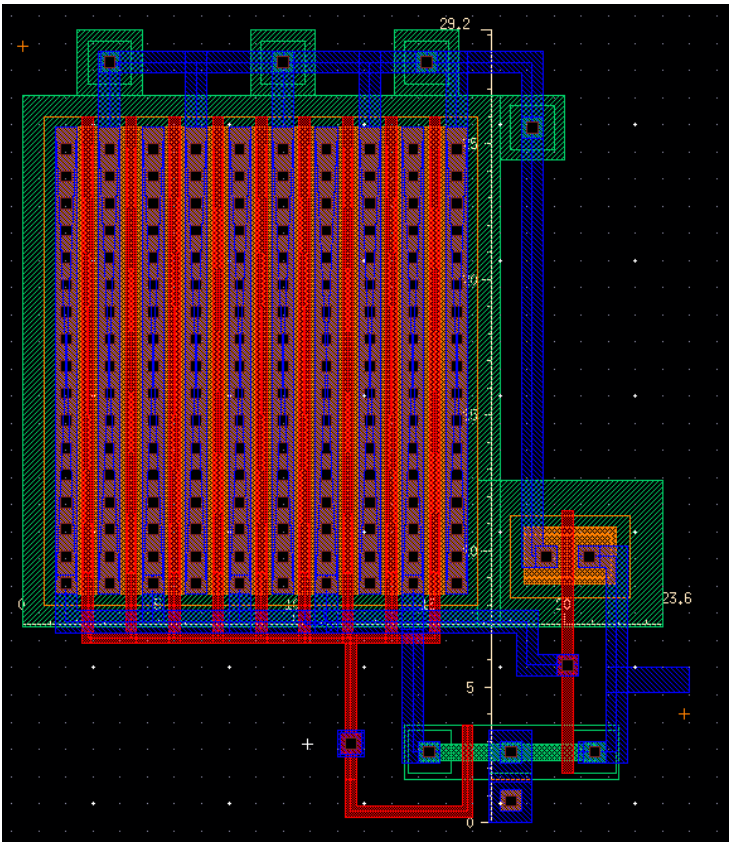


Figura 24 - Layout TIQ 6

1.9 TIQ-7

1.9.1 ESQUEMÁTICO

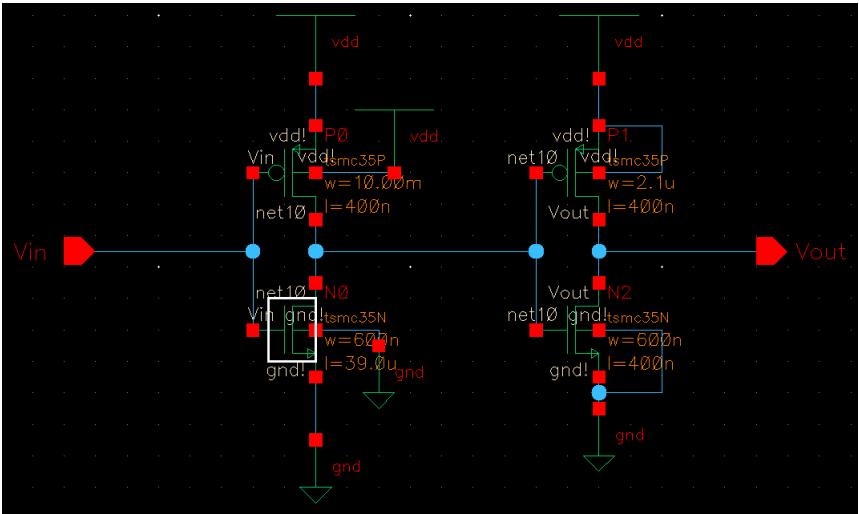


Figura 25 - TIQ 7

1.9.2 SIMULAÇÃO DC

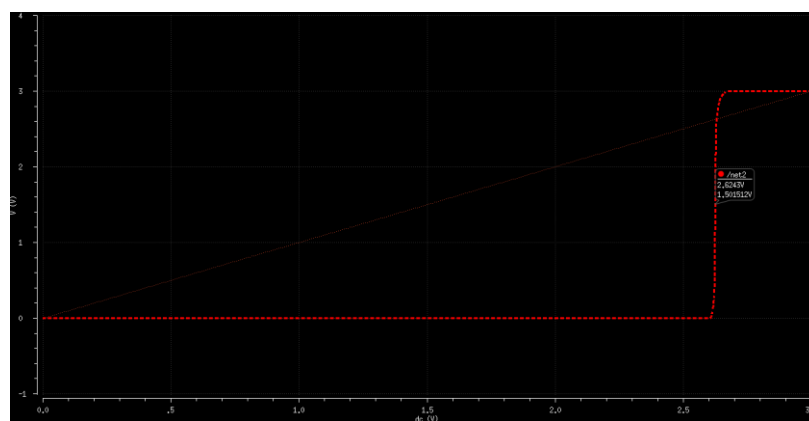


Figura 26 - Resposta DC TIC 7

1.9.3 LAYOUT

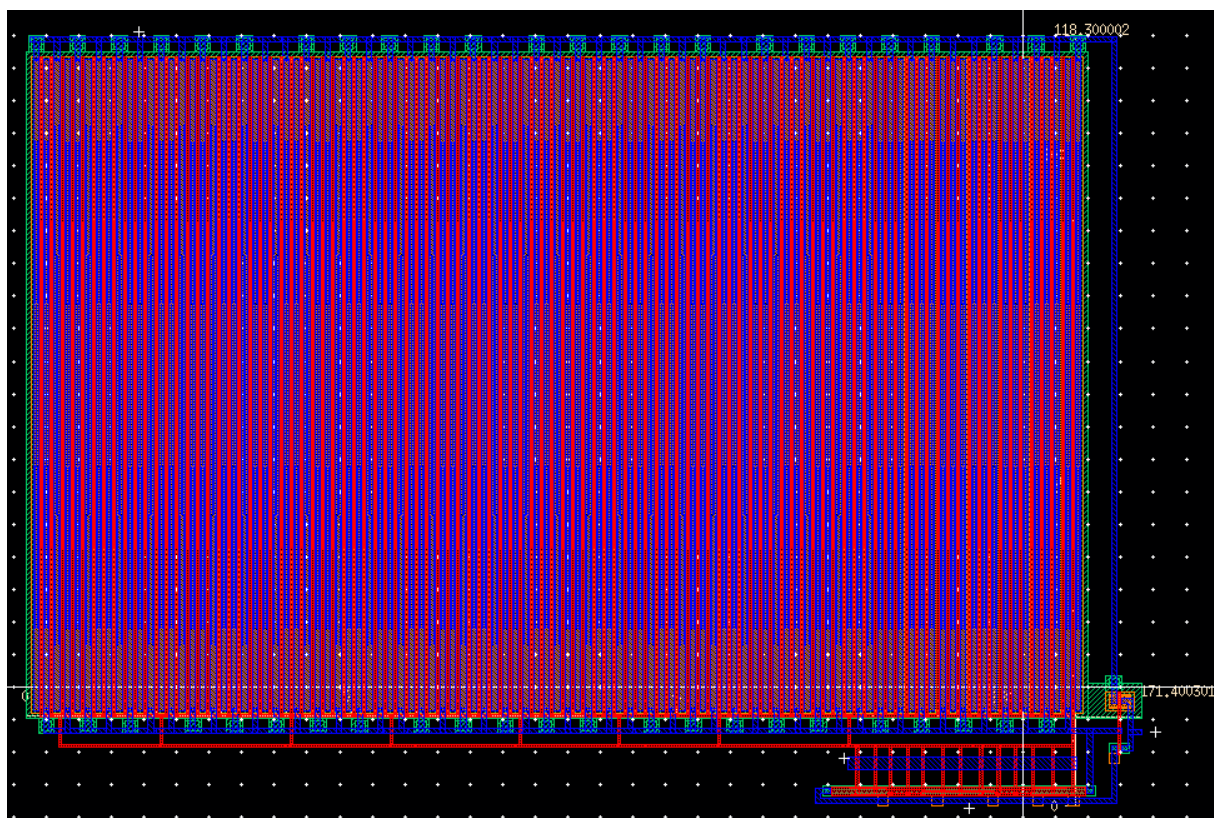


Figura 27 - Layout TIQ 7

1.10 BOOSTERS

1.10.1 ESQUEMÁTICO

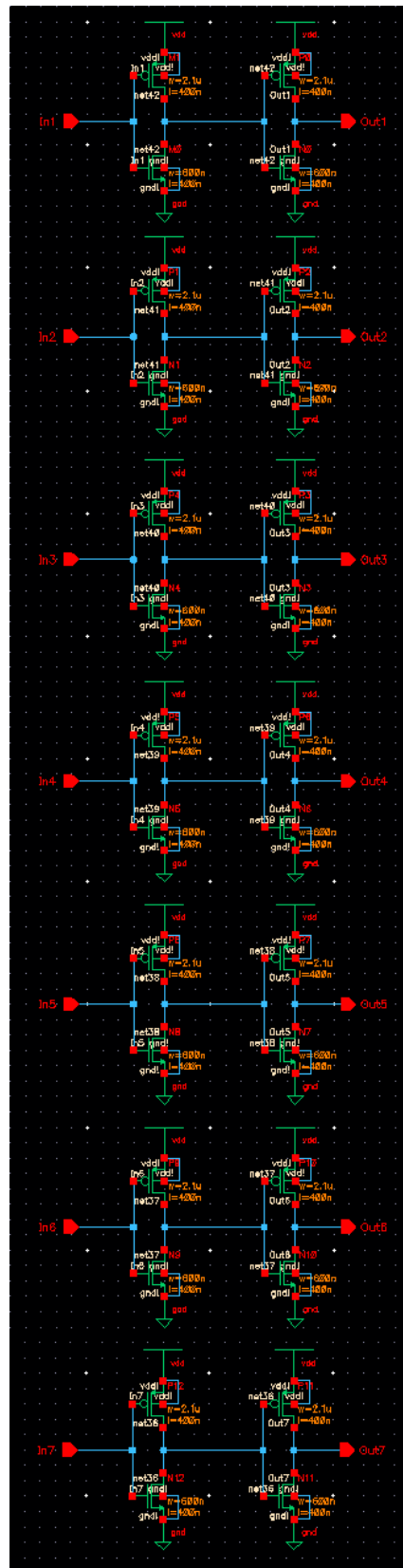


Figura 28 - Boosters

1.10.2 SÍMBOLO

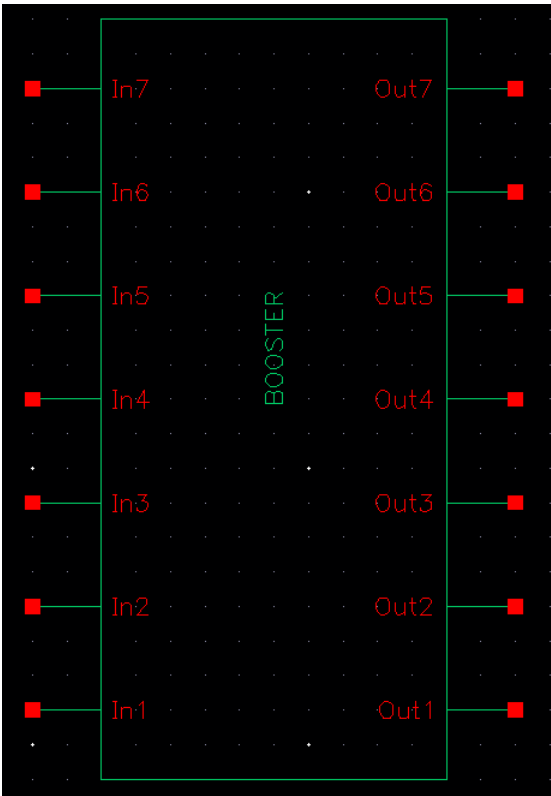


Figura 29 - Símbolo do booster

1.10.3 LAYOUT

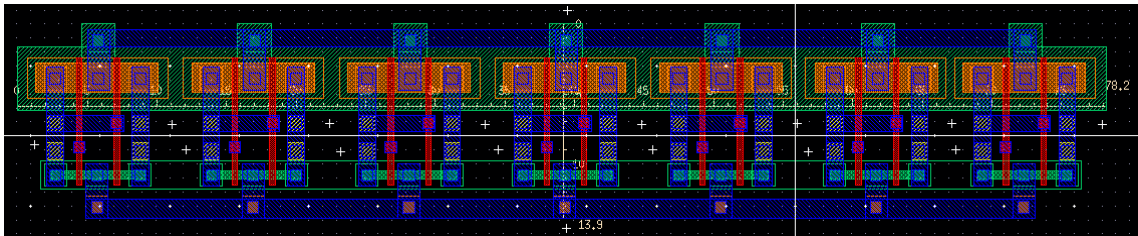


Figura 30 - Layout do booster

1.11 MULTIPLEXADOR (MUX)

1.11.1 ESQUEMÁTICO

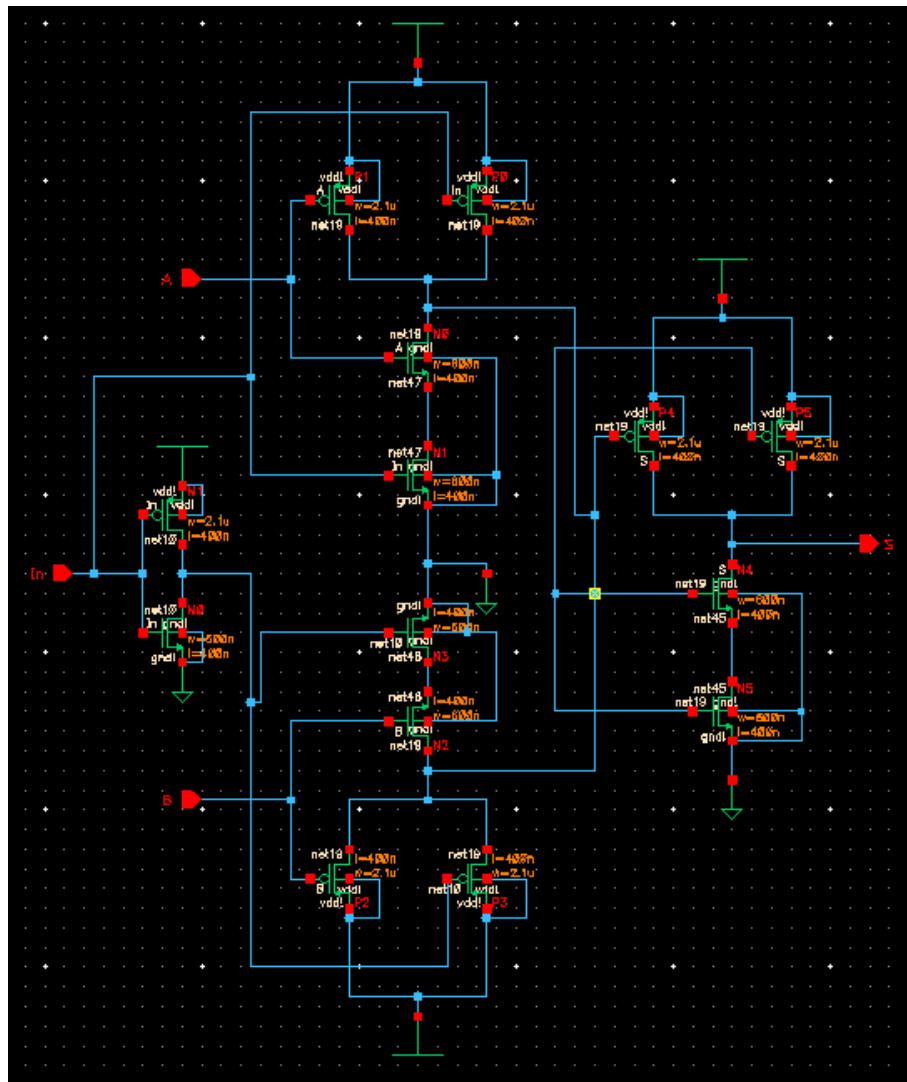


Figura 31 – Esquemático do multiplexador

1.11.2 SIMULAÇÃO DC

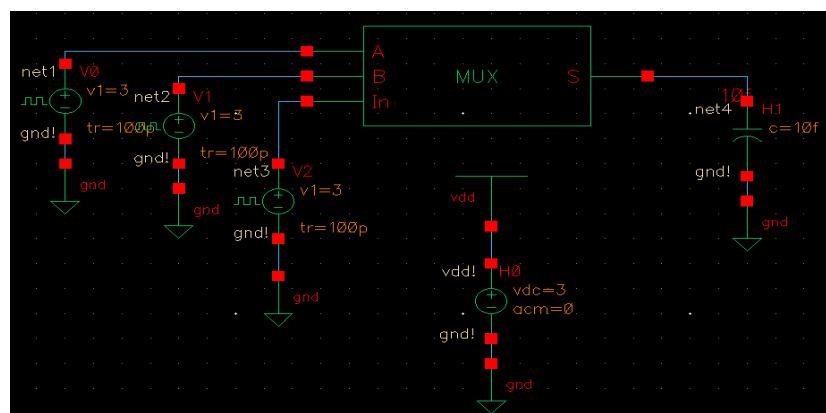


Figura 32 – Esquemático da Simulação do MUX

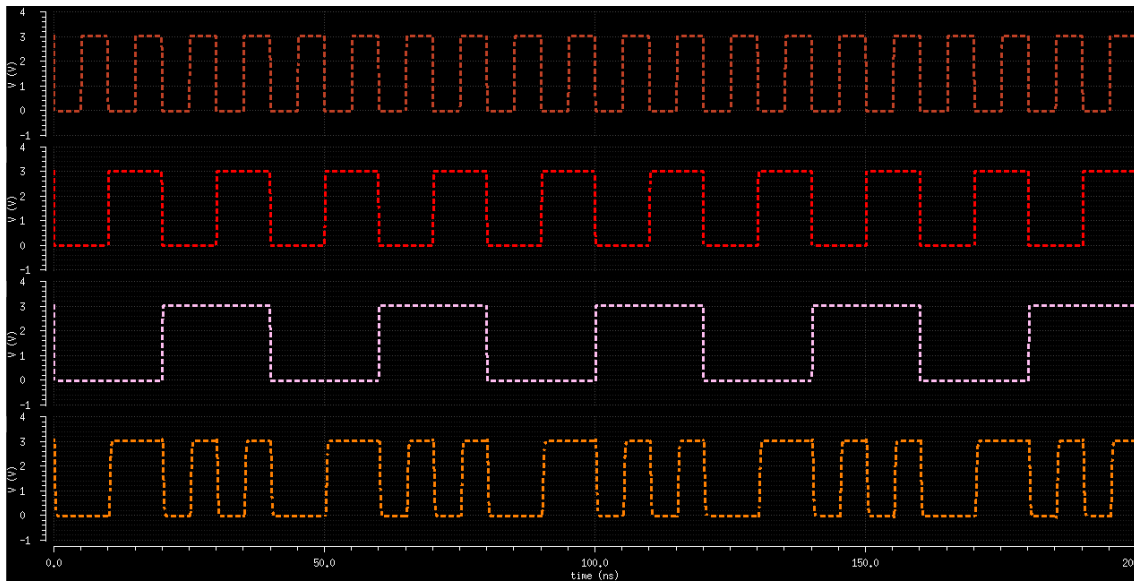


Figura 33 - Resposta da simulação

1.11.3 LAYOUT

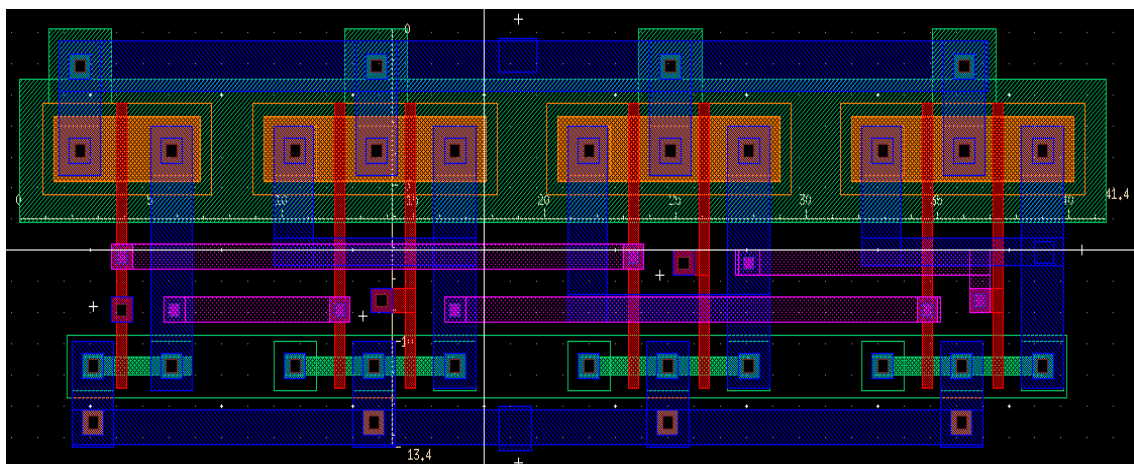


Figura 34 - Layout de um MUX

1.12 AD-FLASH COM CODIFICADOR TERMÔMETRO

1.12.1 ESQUEMÁTICO

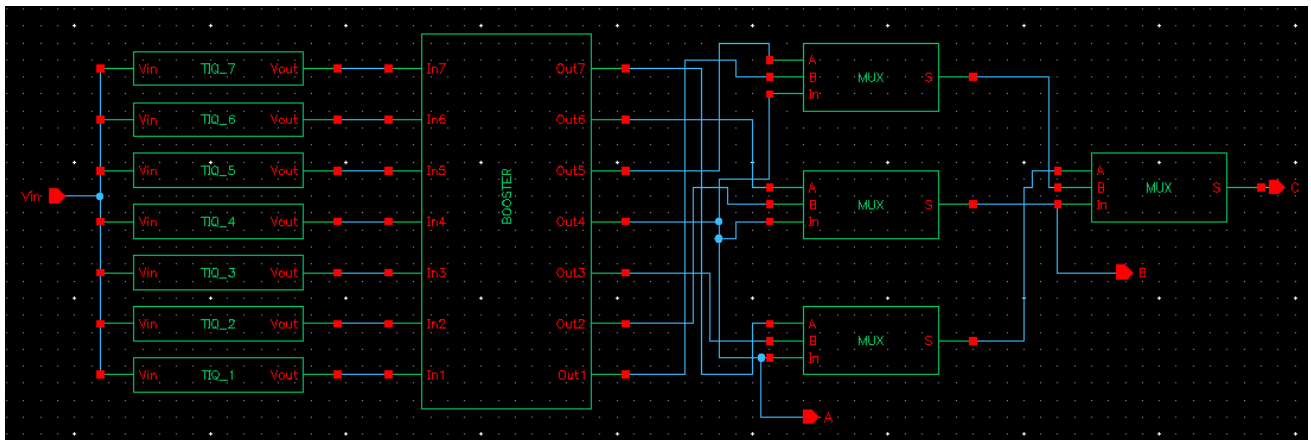


Figura 35 - Esquemático completo

1.12.2 SÍMBOLO



Figura 36 - Símbolo AD FLASH

1.12.3 SIMULAÇÃO

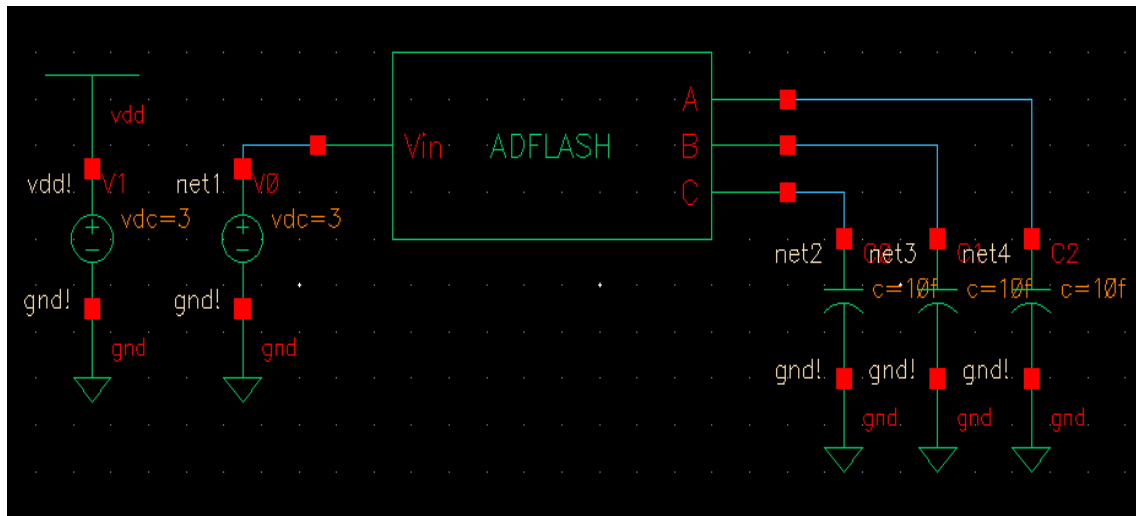


Figura 37 - Simulação AD FLASH

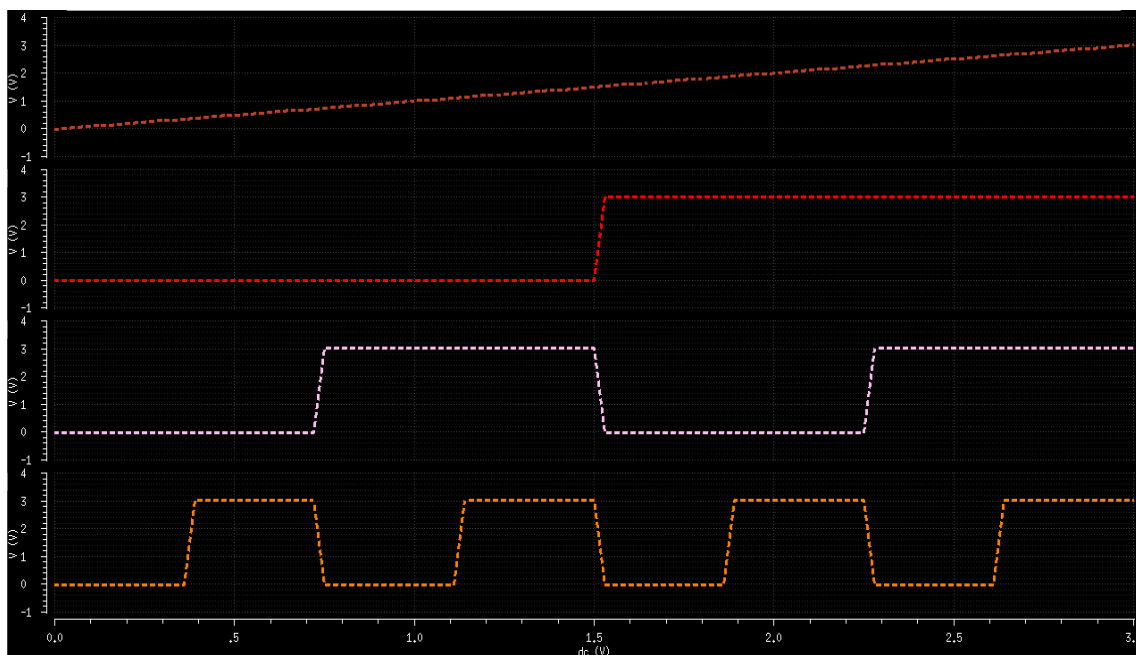


Figura 38 - Resultado da simulação: Em laranja sinal de entrada os bits estão dispostos de baixo para cima do menos para o mais significativo

1.12.4 LAYOUT FINAL

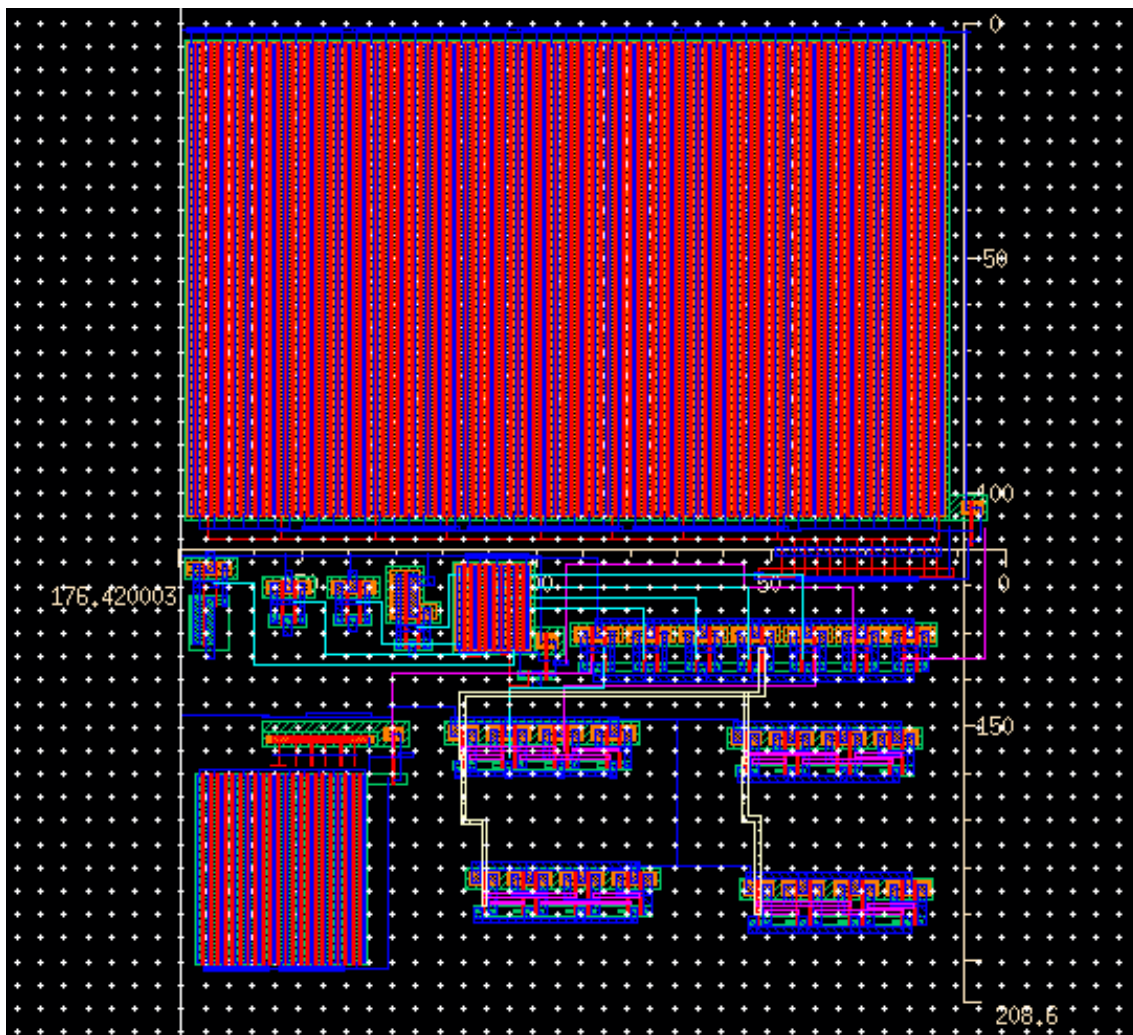


Figura 39 - Layout final

3 CÁLCULO DOS DADOS

A área de cada elemento integrante do projeto pode ser calculada à partir do comprimento e largura vistos em cada figura do layout. Os valores são:

Componente	Comprimento (μm)	Largura (μm)	Área (μm^2)
TIQ 1	56	46,5	2604
TIQ 2	23,3	11,2	260,96
TIQ 3	14,3	11,2	160,16
TIQ 4	13,8	11,2	154,56
TIQ 5	19,6	11,2	219,52
TIQ 6	29,2	23,6	689,12
TIQ 7	118,3	171,4	20276,62
BOOSTER	13,9	78,2	1086,98
MUX	13,4	41,4	554,76
LAYOUT FINAL	208,6	176,42	36801,212

A área total é de 36801,2 μm^2 ou 0,36mm².

O número total de transistores calculados é mostrado a seguir:

Componente	Número de Transistores
TIQ 1	4
TIQ 2	4
TIQ 3	4
TIQ 4	4
TIQ 5	4
TIQ 6	4
TIQ 7	4
BOOSTER	28
MUX1	14
MUX2	14
MUX3	14
MUX4	14
Total	112

O número total de transistores equivalentes é calculado através da divisão das larguras dos transistores especiais pelo valor nominal e padrão da tecnologia. Para transistores P, o Wp padrão é 1800nm e o Lp é 400nm. Para transistores N, o Wn padrão é 600nm e o LN é 400nm. Através das medidas das larguras e comprimentos de canal dos transistores especiais nos comparadores, chega-se ao número de transistores equivalentes da maneira seguinte:

Transistores Especiais				Transistores Equivalentes			
Transistor P		Transistor N		Transistor P		Transistor N	
Wn(μm)	Lp(μm)	Wn(μm)	Ln(μm)	Nº			
0,6	20	880	0,4	-	50	1466,667	-
-	-	9,5	0,4	-	-	15,83333	-
-	-	-	-	-	-	-	-
-	-	-	-	-	-	-	-
9,1	0,4	-	-	5,055556	-	-	-
155	0,4	-	-	86,11111	-	-	-
10000	0,4	0,6	39	5555,556	-	-	97,5
				Total	7276,722222		

O número total de transistores equivalentes é de 7276 + 98 (comuns) = 7374.

4 CONCLUSÃO

Com o CI acima descrito seria possível com uma área de $36801\mu\text{m}^2$ sintetizar um conversor A/D de 3 bits (8 níveis de decisão) utilizando 112 transistores (equivalentes a 7374). O layout atende à tecnologia construtiva, no entanto, usa uma grande área de silício para alcançar maior precisão na proximidade de 0 e 3V (ou seja, quanto mais próximo do meio da escala menores os transistores), para sanar tal deficiência somente utilizando outros modelos que atendam as premissas com menos transistores, ou limitando a faixa útil do conversor.

REFERÊNCIAS

Cadence. (1992-2011). CADENCE. *CADENCE DESIGN SYSTEMS INC. ALL RIGHTS RESERVED.* UNIX SYSTEMS Laboratories INC.

UFPR - *Setor de Engenharia elétrica.* (s.d.). Acesso em 21 de 12 de 2011, disponível em Circuitos Integrados Digitais: <http://www.eletrica.ufpr.br/ogouveia/te130/aulas.html>

UFRGS - *Universidade Federal do Rio Grande do Sul.* (s.d.). Acesso em 21 de 12 de 2011, disponível em Grupo de Microeletrônica:
http://www.ece.ufrgs.br/~fabris/E04055/E04055_Intr.pdf

UNIFEI - *Universidade Federal de Itajubá.* (s.d.). Acesso em 21 de 12 de 2011, disponível em Microeletrônica - EAM120:
<http://www.microeletronica.unifei.edu.br/EAM120/PROCESSO%20DE%20FABRICACAO.pdf>

USP - *Universidade de São Paulo.* (s.d.). Acesso em 21 de 12 de 2011, disponível em Arquivos USP: <http://www.lps.usp.br/lps/arquivos/conteudo/grad/dwnld/integrado.pdf>