

**UNIVERSIDADE FEDERAL DO PARANÁ**  
**DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**DECODIFICADOR DE DISPLAY DE 7 SEGMENTOS COM  
LATCH**

Projeto para a matéria TE130 – Projeto de Circuitos Integrados Digitais, ministrada pelo Prof. Dr. Oscar da Costa Gouveia Filho. Trabalho realizado pelos alunos Daniel Mauricio Klassen e Marcelo Hoffmann Bampi

**Curitiba**

**2011**

## SUMÁRIO

1 INTRODUÇÃO .....	2
2 DECODIFICADOR DE SETE SEGMENTOS .....	2
3 LATCH.....	4
4 ESQUEMÁTICOS .....	5
4.1 Inversor.....	5
4.2 Inversor Grande.....	6
4.3 NAND de Duas Portas .....	6
4.4 NAND de Três Portas .....	7
4.5 NOR de Duas Portas .....	7
4.6 NOR de Três Portas .....	7
4.7 Porta de Transmissão.....	8
5 SIMULAÇÃO .....	9
6 LAYOUT .....	10
6.1 <i>Layout</i> de Cada Componente .....	11
6.2 <i>Layout</i> de Cada Segmento .....	13
6.3 <i>Layout</i> Completo.....	15
7 RESULTADOS .....	16
8 CONCLUSÃO.....	16
REFERÊNCIAS.....	17

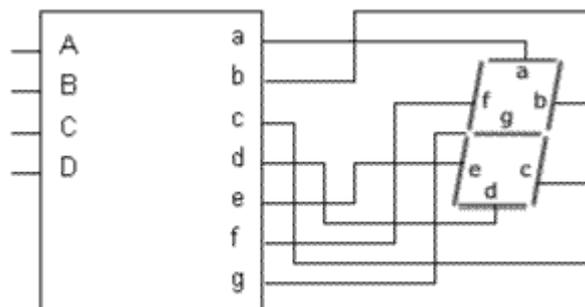
# 1 INTRODUÇÃO

Na fabricação de circuitos integrados a tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) é a mais empregada. O termo “*Complementary*” vem do fato que esta tecnologia utiliza dois tipos de transistores MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*), de tal forma que o MOSFET de canal N complementa o MOSFET de canal P. As principais vantagens dos circuitos integrados CMOS são o baixíssimo consumo de energia, que por consequência possui uma baixa dissipação de calor, agregados à alta densidade de integração.

Nos circuitos integrados é possível criar diversos componentes, desde componentes com uma lógica digital básica, microprocessadores, microcontroladores até memórias RAM (*Random Access Memory*). Neste relatório será abordada a construção e a simulação de um decodificador de *display* de sete segmentos com um *latch* no final de cada saída lógica. O circuito foi implementado de modo que a fosse criada uma combinação de apenas transistores CMOS, criando a lógica requerida.

## 2 DECODIFICADOR DE SETE SEGMENTOS

Um display de sete segmentos é usado como forma de exibir uma informação numérica sobre as operações internas de um dispositivo. Na Figura 01 é mostrado um esquemático do decodificador com o display, sendo quatro pinos para a entrada e sete saídas.



**Figura 1** - Esquemático do decodificador com o display de sete segmentos

Para representar os números de 0 a 9 são necessárias quatro entradas (4 bits), sendo que para cada sequência de bits de entrada, certos segmentos devem ser acesos. Por exemplo, para o número 0 aparecer no display (equivalente a uma entrada 0000), todos os segmentos devem ser acesos menos o g. Como os números de 10 a 15 não são utilizados, as saídas são indiferentes sendo representadas por X. Na Tabela 01 é apresentada a tabela verdade do decodificador.

A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
1	0	1	0	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X
1	1	0	1	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X

**Tabela 1** – Tabela Verdade do decodificador de sete segmentos, números do intervalo do 10 ao 15 não podem ser mostrados pela limitação de símbolos, sendo eles com estado indiferente X.

Tendo a lógica do circuito, ou seja, os estados da saída em função da entrada desejável, são possíveis à criação de um circuito lógico utilizando a ferramenta do mapa de Karnaugh. A lógica para cada segmento está listadas abaixo.

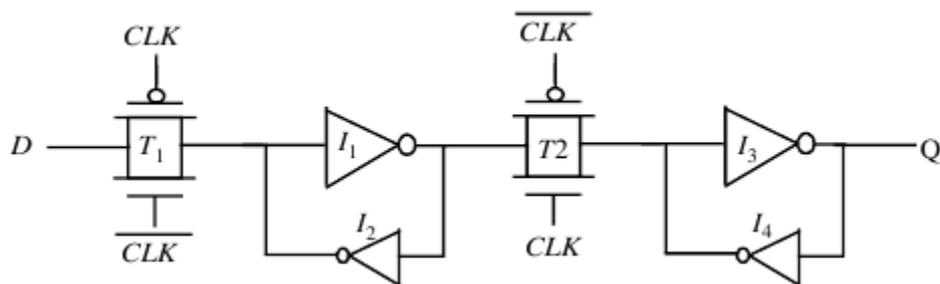
- $a - A + C + BD + \overline{B + D}$
- $b - \overline{B} + CD + \overline{C + D}$

- $c - B + \bar{C} + D$
- $d - A + C\bar{B} + C\bar{D} + \overline{B + D} + B\bar{C}D$
- $e - C\bar{D} + \overline{B + D}$
- $f - A + B\bar{C} + B\bar{D} + \overline{C + D}$
- $g - A + B\bar{C} + B\bar{D} + \bar{B}C$

### 3 LATCH

O *latch* é um circuito eletrônico digital que implementa uma célula de memória. A sua função é assegurar o estado anterior, até que venha uma mudança. Sendo assim, a sua saída sempre será um quando a sua entrada for um e sempre será zero na saída quando for zero na entrada. No circuito do *latch* existe o sinal do *clock* que ditará o tempo de *refresh* do estado do *latch*. Por sua vez esse tempo deve ser muito menor que o tempo que rege o circuito, para assegurar o estado até a próxima transição.

No circuito será colocado um *latch* para cada saída do decodificador, o que evitará picos para a tensão máxima como para a tensão mínima no meio do estado. Na Figura 02 está demonstrado o esquemático do *latch* que contem duas portas de transmissão e quatro inversores, sendo dois pares idênticos com cada um do para com tamanho diferente. Na figura o inversor  $I_1$  é igual ao inversor  $I_3$  que são seis vezes maiores que os inversores  $I_2$  e  $I_4$ , que por sua vez são iguais.

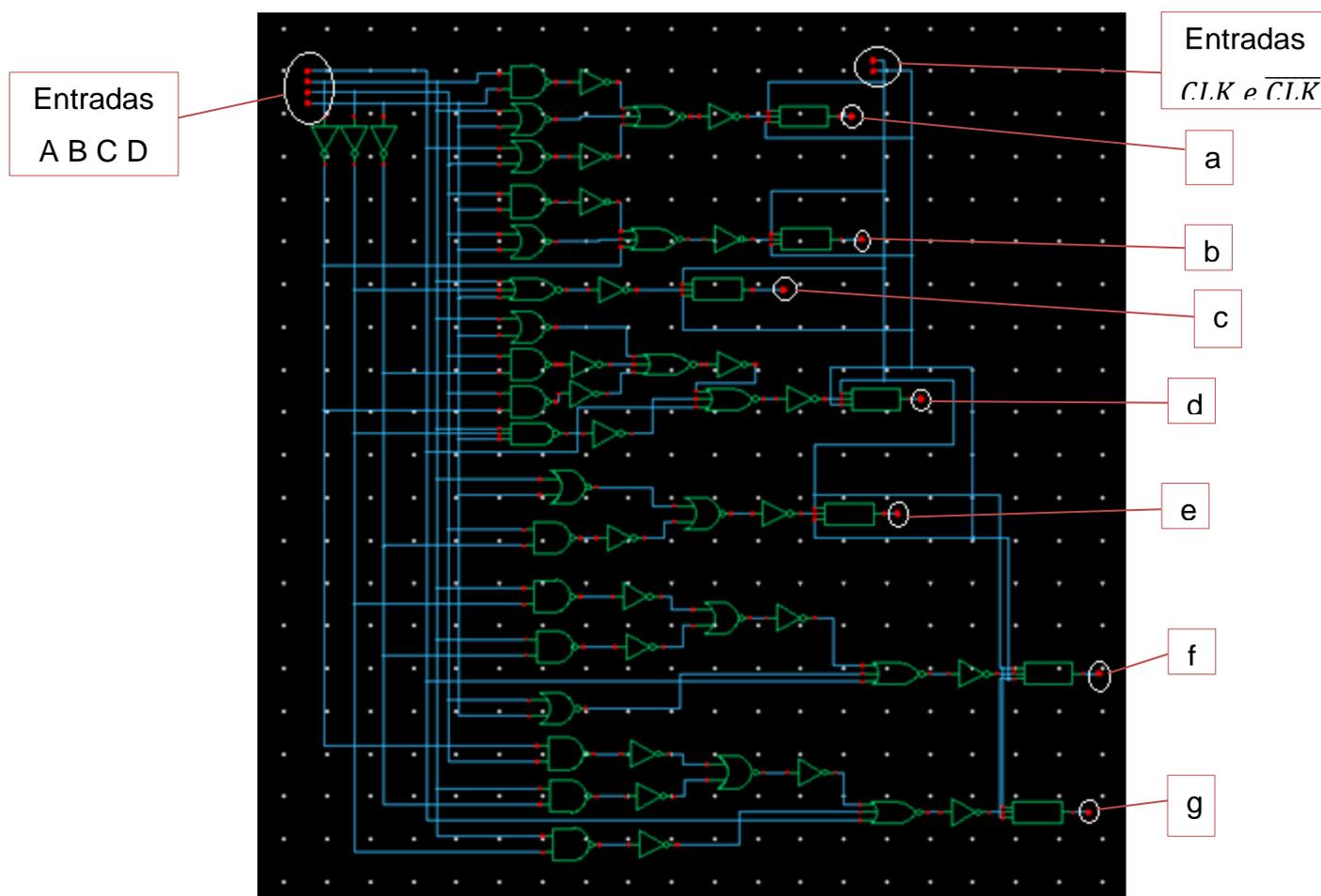


**Figura 2-** Circuito do *Latch*, contendo portas de transmissão e inversores, de dois tamanhos distintos.

O circuito é controlado pelo *clock*. Quando ocorre uma subida no sinal de *clock*, o dado de entrada (D) deve ser armazenado na saída (Q) até o *clock* completar um ciclo, quando um novo estado deverá ser armazenado.

## 4 ESQUEMÁTICOS

Para a simulação do circuito foi montado no software Cadence Virtuoso o circuito demonstrado na Figura 03. A sua visualização detalhada fica difícil por se tratar de um circuito com muitas lógicas. As entradas estão localizadas na parte superior esquerda, as entradas de *clock* estão na parte superior direita e as saídas estão ao longo de todo o circuito começando pela lógica a até a g.



**Figura 3-** Esquemático do decodificador de sete segmentos. Estão representadas as entradas de estado, de *clock* e a saída para cada segmento.

Como é possível visualizar na Figura 03 existem diversos componentes lógicos para atender a necessidade de todas as lógicas requeridas. Nos pontos a seguir será mostrado o esquemático de cada componente separado.

### 4.1 Inversor

O inversor consiste em dois transistores CMOS, sendo um P e um N. Para que o inversor possa ter as características desejáveis a largura do transistor P deve

ser três vezes maior que a largura do transistor N. O esquemático e os valores de cada transistor pode ser visualizado na Figura 04.

#### 4.2 Inversor Grande

O Inverso Grande tem a mesma topologia do inversor apresentado no ponto 3.1, a única alteração que as medidas dos seus canais passam a ser seis vezes maior.

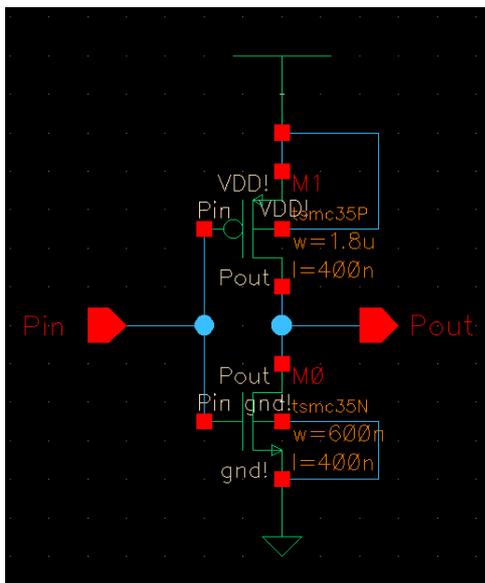


Figura 4 - Inversor, um transistor P e um N,  $w_P=3*w_N$

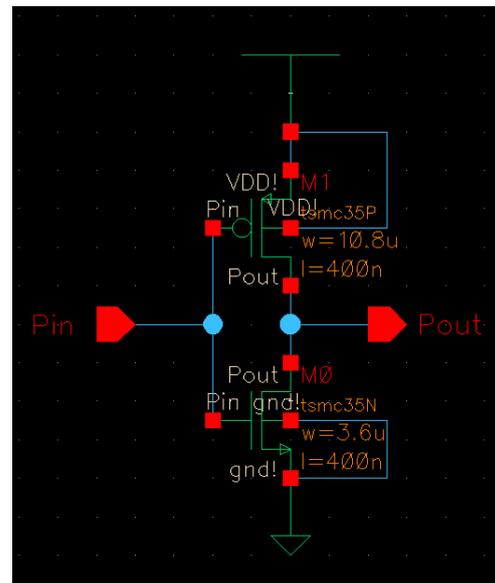


Figura 5 - Esquemático para o Inversor Grande

#### 4.3 NAND de Duas Portas

A porta NAND, de duas portas, deve realizar a lógica de que para a entrada alta em ambas entradas a saída deva ser zerada, caso contrario a saída será alta. Para atender a essa lógica com transistores em CMOS foi montado o circuito da Figura 06. A regra da dimensão dos canais, onde o  $w_P=3*w_N$  continua ser a que rege o tamanho dos canais para determinado circuito. Nesse arranjo e em todos os demais é feito o cálculo do pior caminho. As dimensões impostas para essa lógica estão demonstradas na Figura 06.

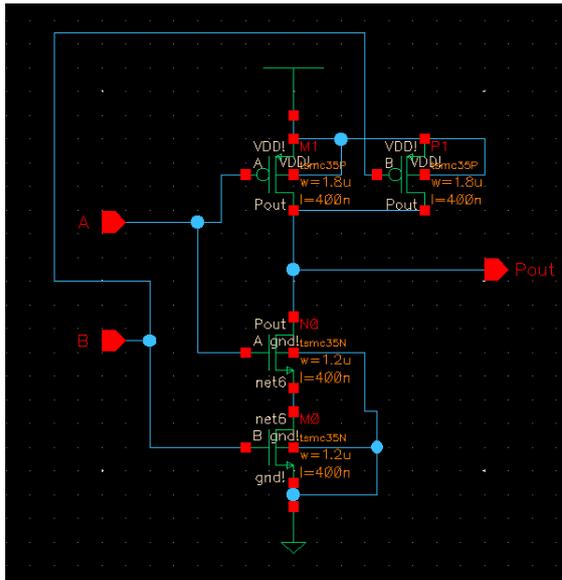


Figura 6 - Esquemático para a Lógica NAND de duas portas

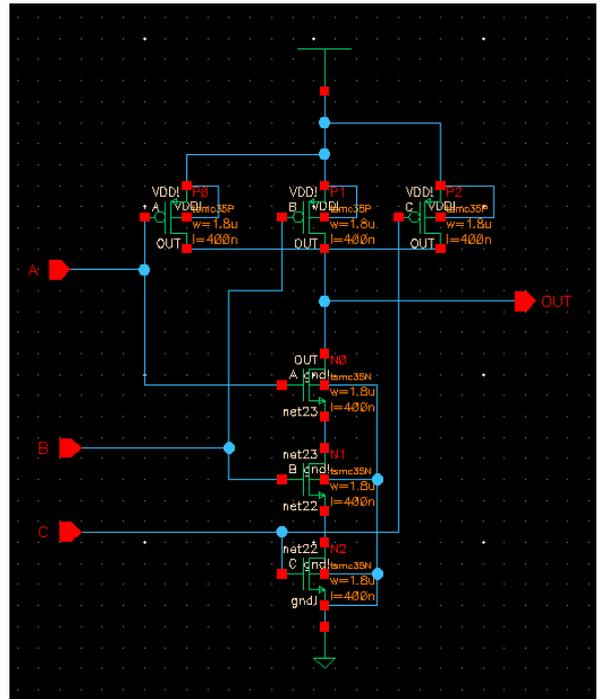


Figura 7 - Esquemático para a lógica NAND de três portas

#### 4.4 NAND de Três Portas

A lógica para o NAND de três portas é a mesma da NAND para duas portas, a única diferença é de que nesse caso a entrada é feita por meio de três pinos ao invés de dois. O cálculo do canal também foi realizado para o de pior caminho.

#### 4.5 NOR de Duas Portas

O circuito da lógica NOR é muito parecido com o circuito da lógica NAND, a diferença é de que quando o circuito está em paralelo ele vira em série e vice e versa. Na lógica NOR a saída é alta quando ambas as entradas são baixas e baixa caso contrário. O esquemático e as medidas do canal podem ser visualizados na Figura 08.

#### 4.6 NOR de Três Portas

A NOR de três portas segue a mesma lógica da NOR de duas portas, só que para três entradas. O seu esquemático e as medidas do canal podem ser visualizados na Figura 09.

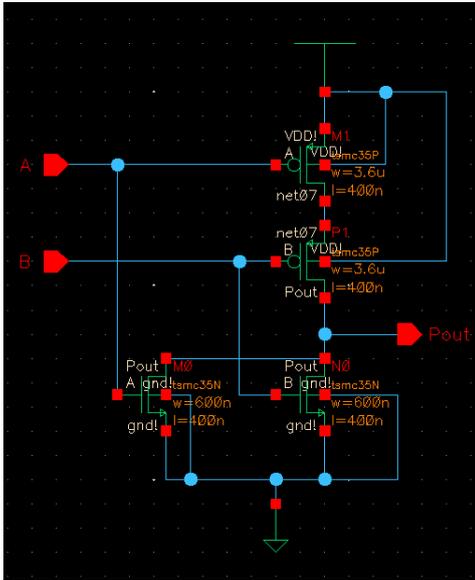


Figura 8 - Esquemático para a NOR de duas portas

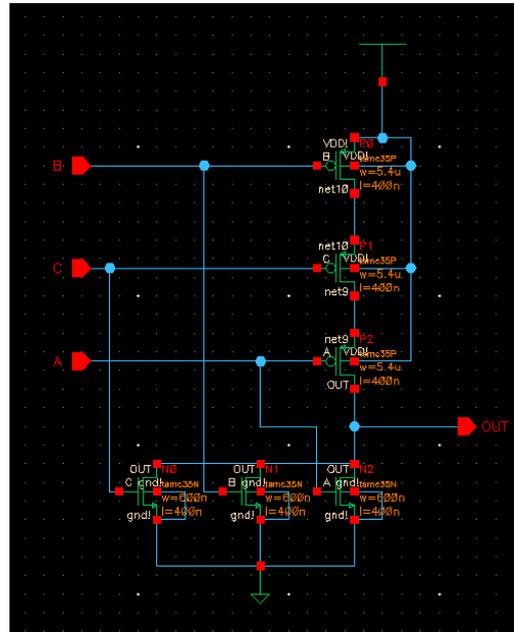


Figura 9 - Esquemático para a lógica NOR de três portas

#### 4.7 Porta de Transmissão

A Porta de Transmissão é uma chave controlada por tensão, nesse caso o controle será realizado por um sinal de CLK e um sinal de  $\overline{\text{CLK}}$ . Para que o circuito funcione devidamente os seus transistores devem ser simétrico, logo a medida do seu canal é igual. O seu esquemático pode ser visualizado abaixo na Figura 10. A porta de transmissão consome baixa potência e simplifica o projeto de alguns circuitos lógicos, nesse caso o *latch*.

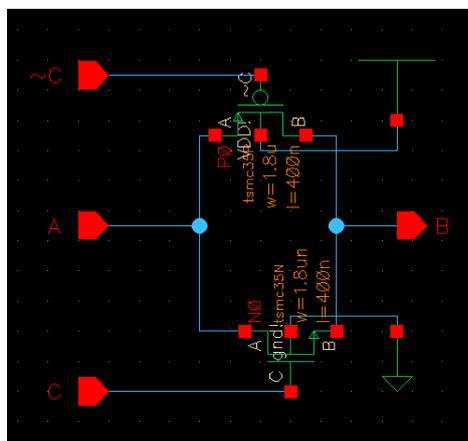


Figura 10 - Porta de Transmissão

## 4.8 LATCH

Como explicado anteriormente o *latch* funciona como uma memória de estado para o circuito evitando picos. O *latch* é atualizado por um sinal de *clock* que deve ter um período bem mais rápido que o período do sinal de entrada. O esquemático completo do *latch* pode ser visualizado na Figura 11.

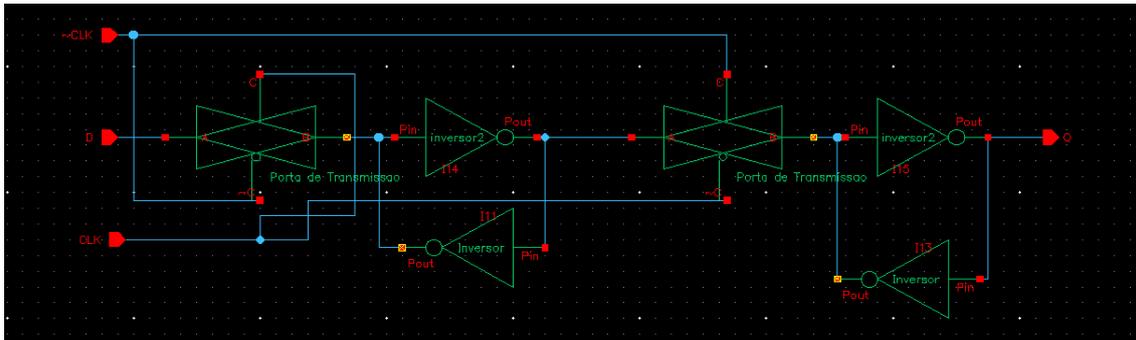


Figura 11 - Esquemático do Latch

## 5 SIMULAÇÃO

Apresentados e montados todos os esquemáticos, foi realizado uma simulação para averiguar a veracidade do mesmo. Como o resultado da simulação pode se compará-lo com a Tabela 01, que contem a Tabela Verdade do circuito. O resultado da simulação pode ser visualizado na Figura 12. Nele estão os sinais de entrada, saída e de *clock*.

Na otimização do circuito foi testado que o circuito não funcionava para um período menor do 5,02ns. Assim para esse período podemos definir que a frequência máxima de operação do mesmo é de 199,2MHz. Na simulação também foi possível calcular a potência total dissipada, o valor encontrado foi 703,75nW.

No começo dos de alguns estados existe uma espécie de meio estado ativo ou desativo, averiguou-se na simulação que isso era um erro inicialização, a medida que o período total foi se repetindo, esse erro era inexistente.

Não foi possível realizar a simulação lógica do circuito, pois o software não conseguiu simula-lo.

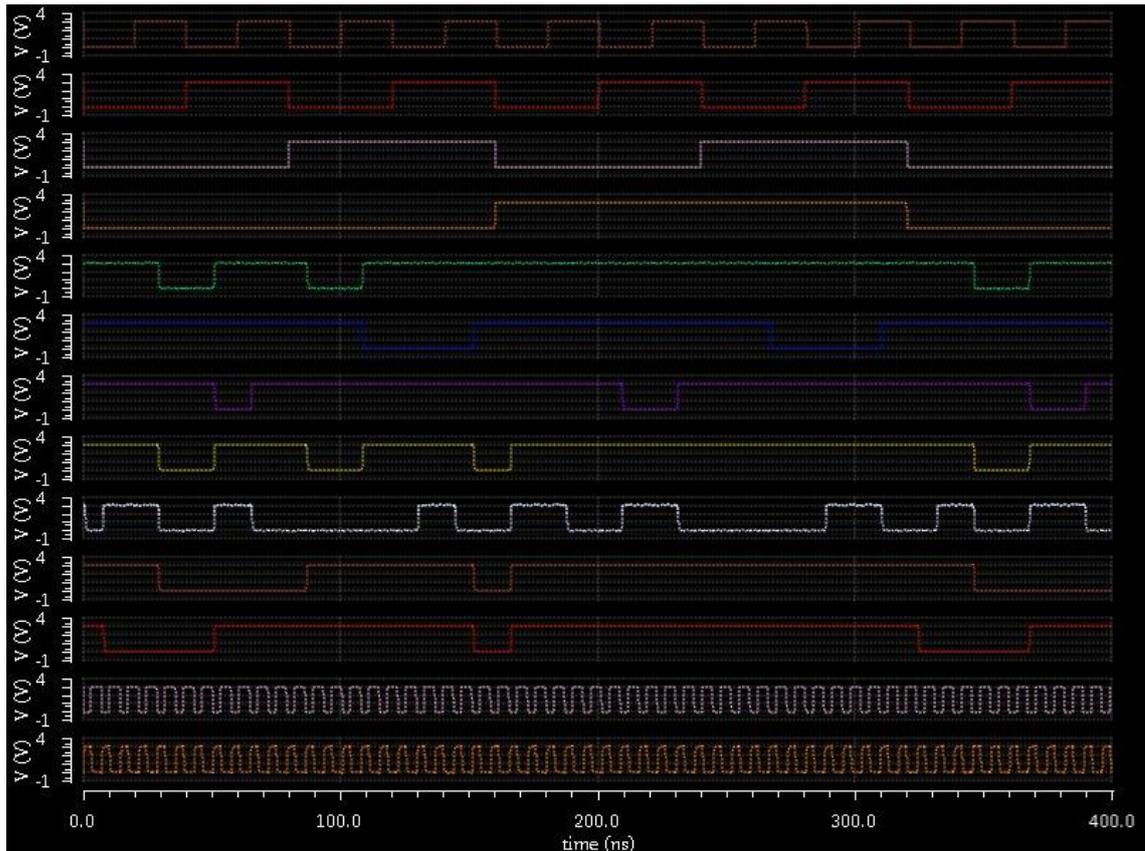


Figura 12 - Resultado da Simulação, linhas de cima para baixo: D, C, B, A, a, b, c, d, e, f, g, CLK e ~CLK

## 6 LAYOUT

Pelo fato do decodificador ser um circuito grande e com vários componentes distintos, será apresentado cada *layout* separadamente. Em um próximo passo será apresentado o *layout* para cada segmento e ao final será apresentada uma visão macro do decodificador inteiro. O padrão segue o esquemático onde o transistor PMOS está representado acima do transistor NMOS. A faixa de metal será sempre a superior em cada componente e o terra será sempre o metal mais inferior. A entrada está representada com uma faixa de metal no meio do componente para a esquerda e a saída para a direita. Todos os componentes seguiram as medidas amostradas nos esquemáticos. Para a construção do *layout* foi considerado uma tecnologia de  $\lambda=0,2\mu\text{m}$ .

## 6.1 Layout de Cada Componente

Nesta seção serão mostrados todos os *layouts* que foram montados para cada componente lógico. Cada um será apresentado por uma figura. As suas medidas são as especificadas pelo esquemático.

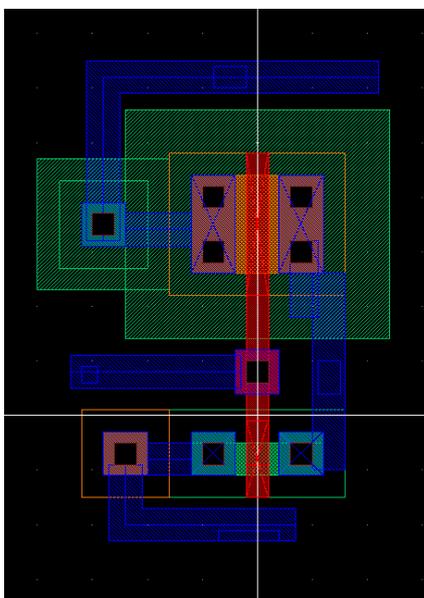


Figura 13 - Layout Inversor

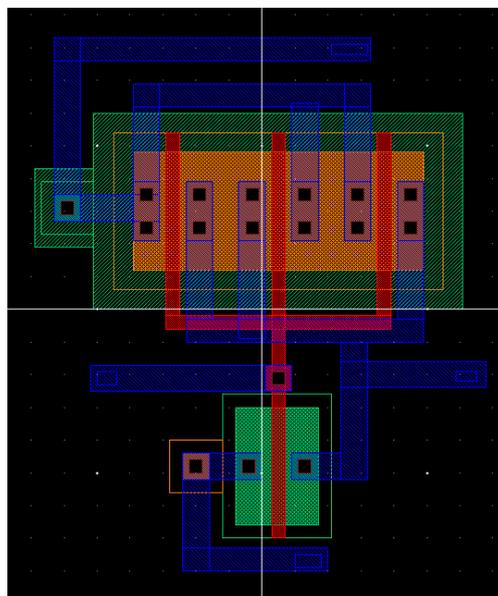


Figura 14 - Layout Inversor Grande

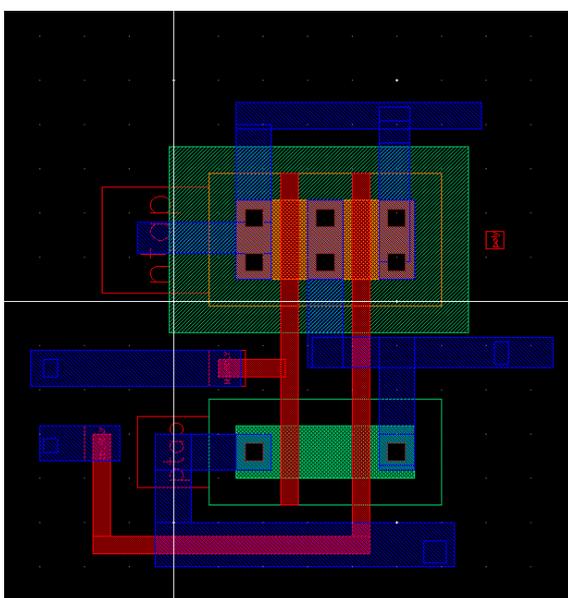


Figura 15 - Layout NAND duas portas

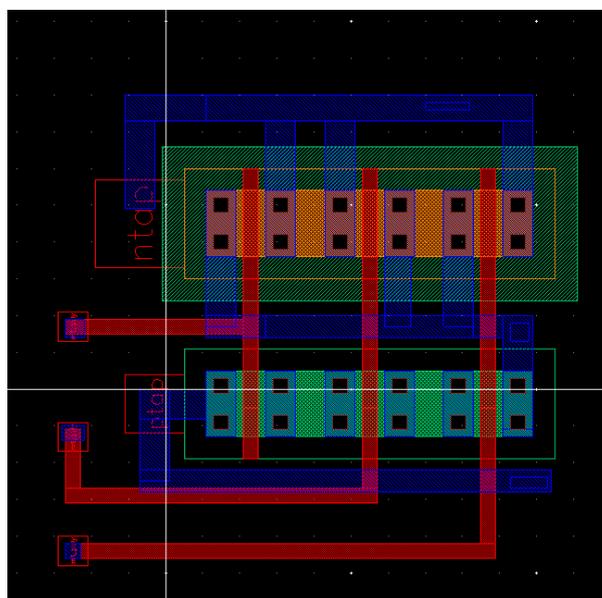


Figura 16- Layout NAND três portas

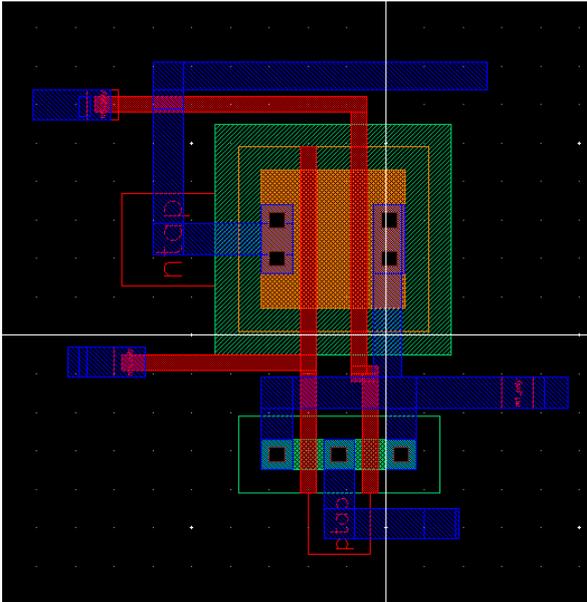


Figura 17- Layout NOR duas portas

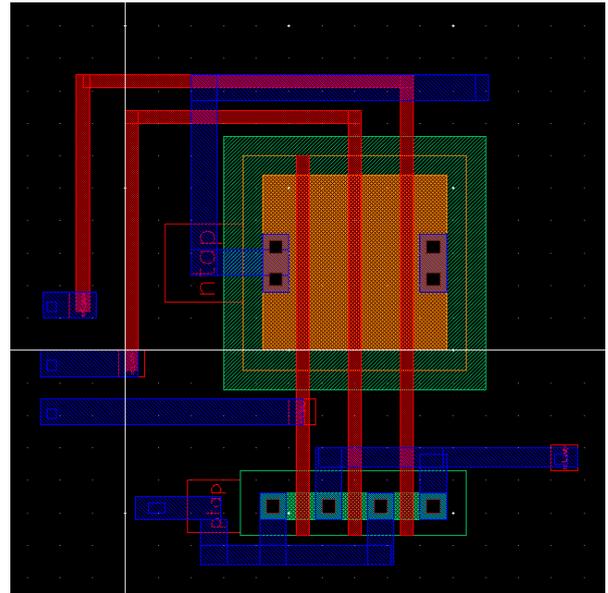


Figura 18- Layout NOR três portas

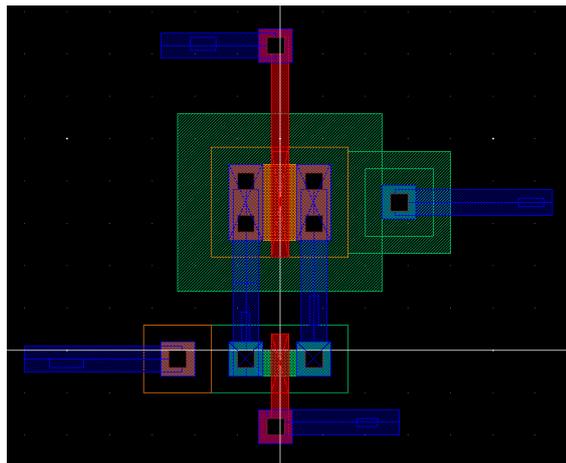


Figura 19- Layout Porta de Transmissão

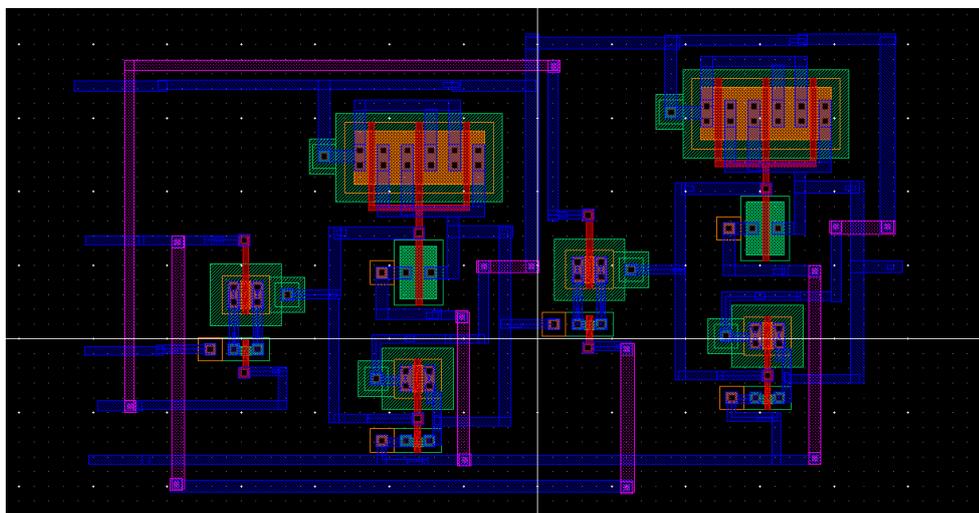


Figura 20- Layout Latch

## 6.2 Layout de Cada Segmento

Como o layout do circuito inteiro é muito grande, foi dividido em layouts de cada saída.

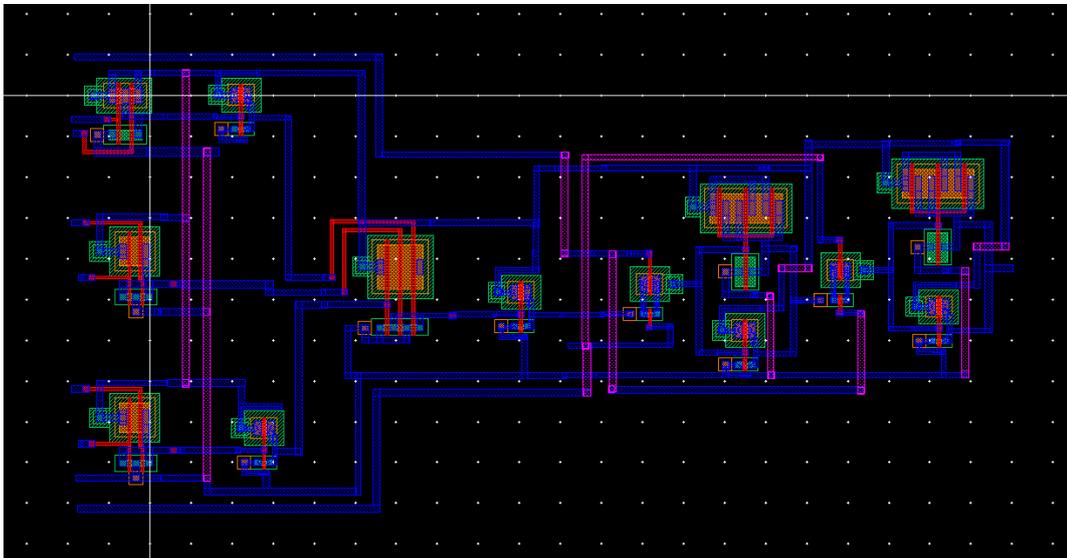


Figura 21- Layout Segmento a

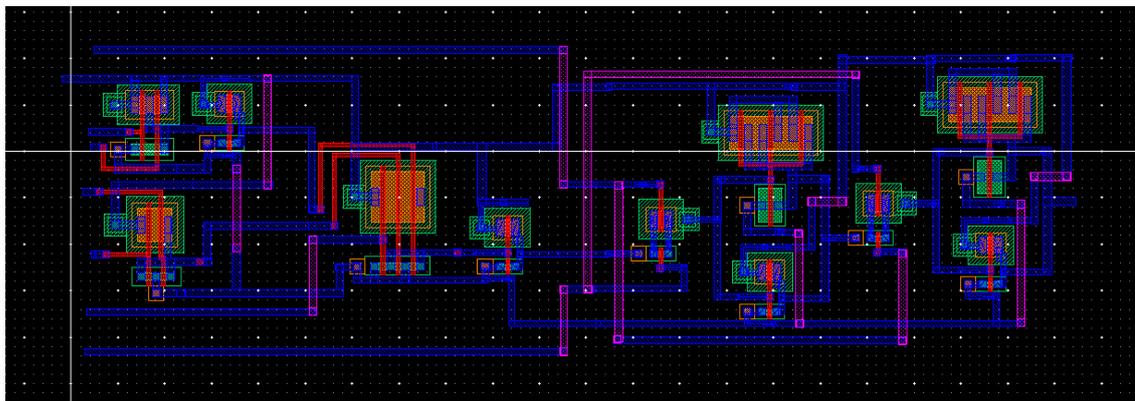


Figura 22- Layout Segmento b

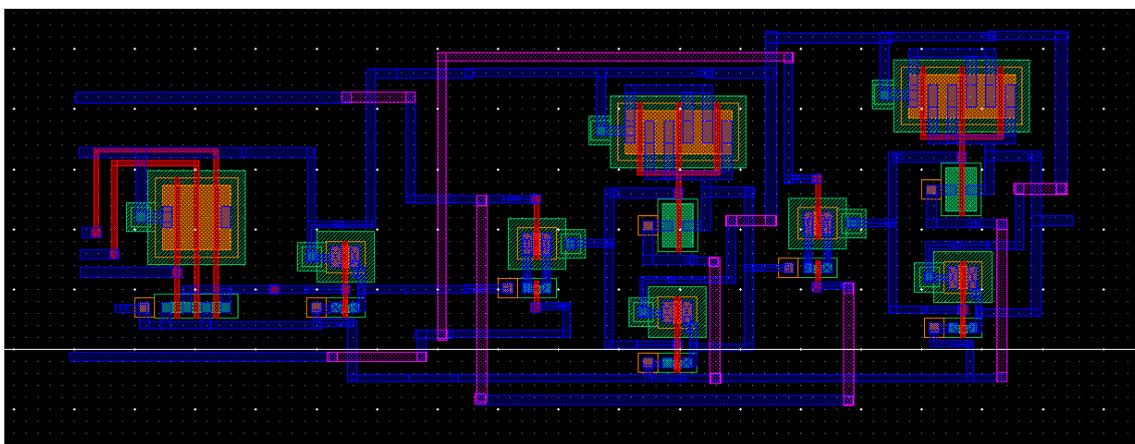


Figura 23- Layout Segmento c

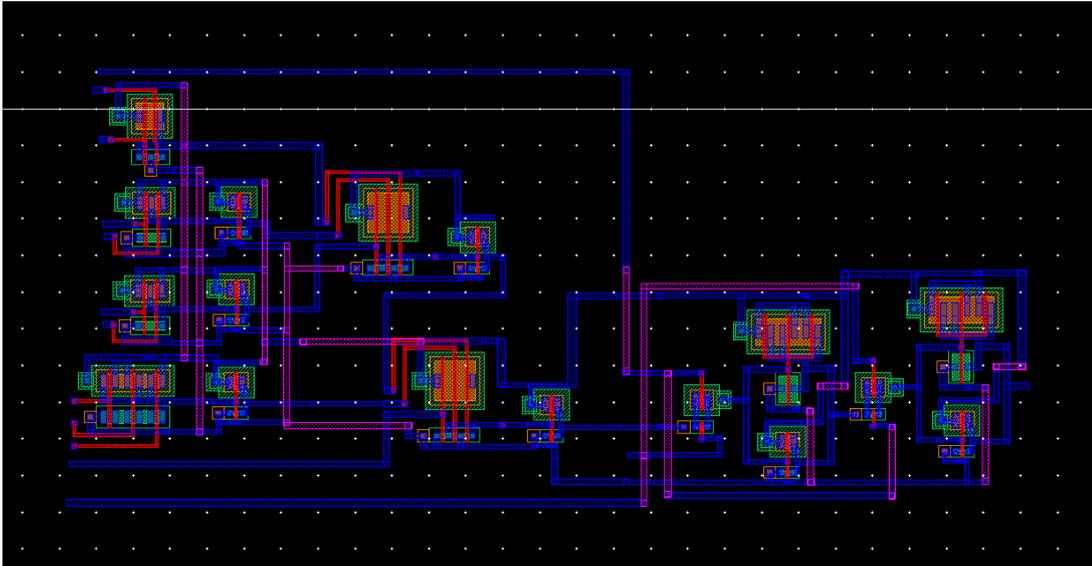


Figura 24- Layout Segmento d

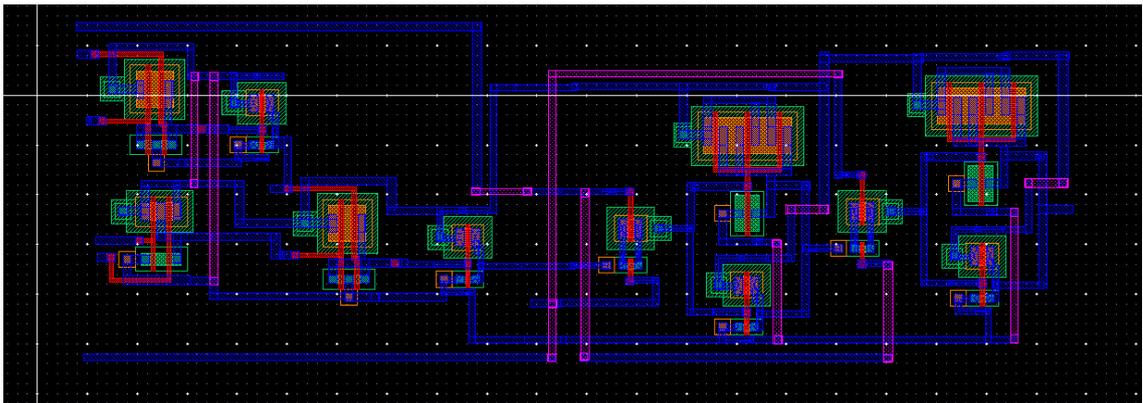


Figura 25- Layout Segmento e

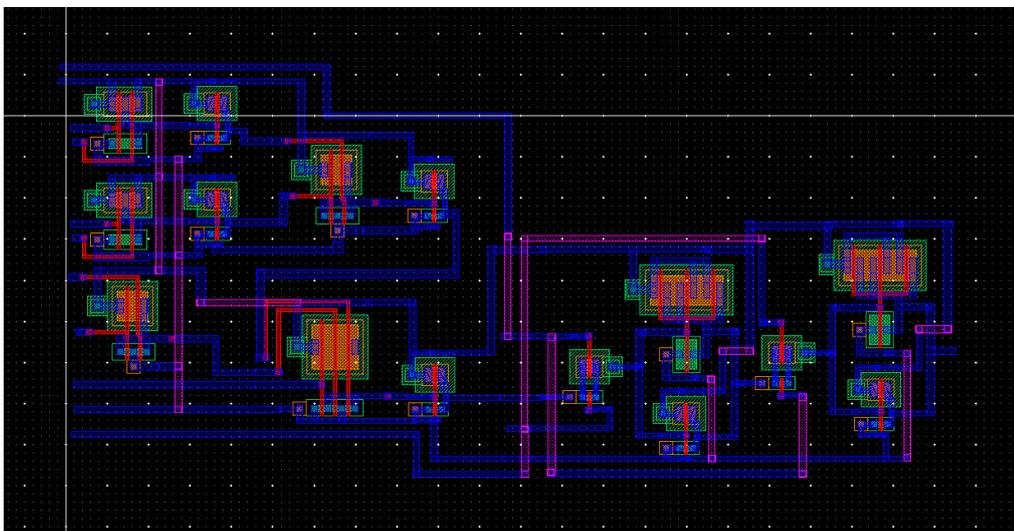


Figura 26- Layout Segmento f

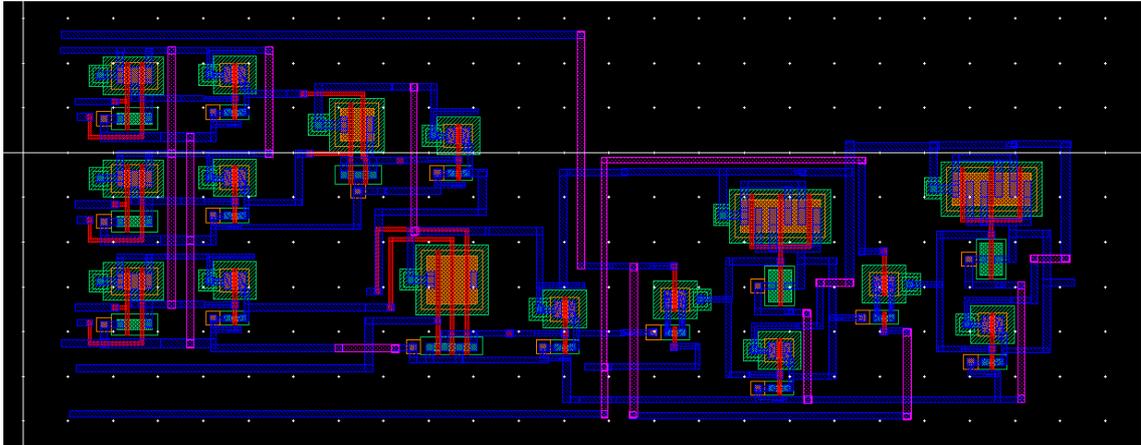


Figura 27- Layout Segment g

### 6.3 Layout Completo

Uma visão macro pode ser visualizada do decodificador na Figura 28. Pode se perceber tanto nessa figura como nas de cada segmento que pelo menos 50% da área ocupada é ocupado pelo *latch*. Pelo número de detalhes e por eles serem muito pequenos fica difícil a compreensão total do circuito por essa visão.

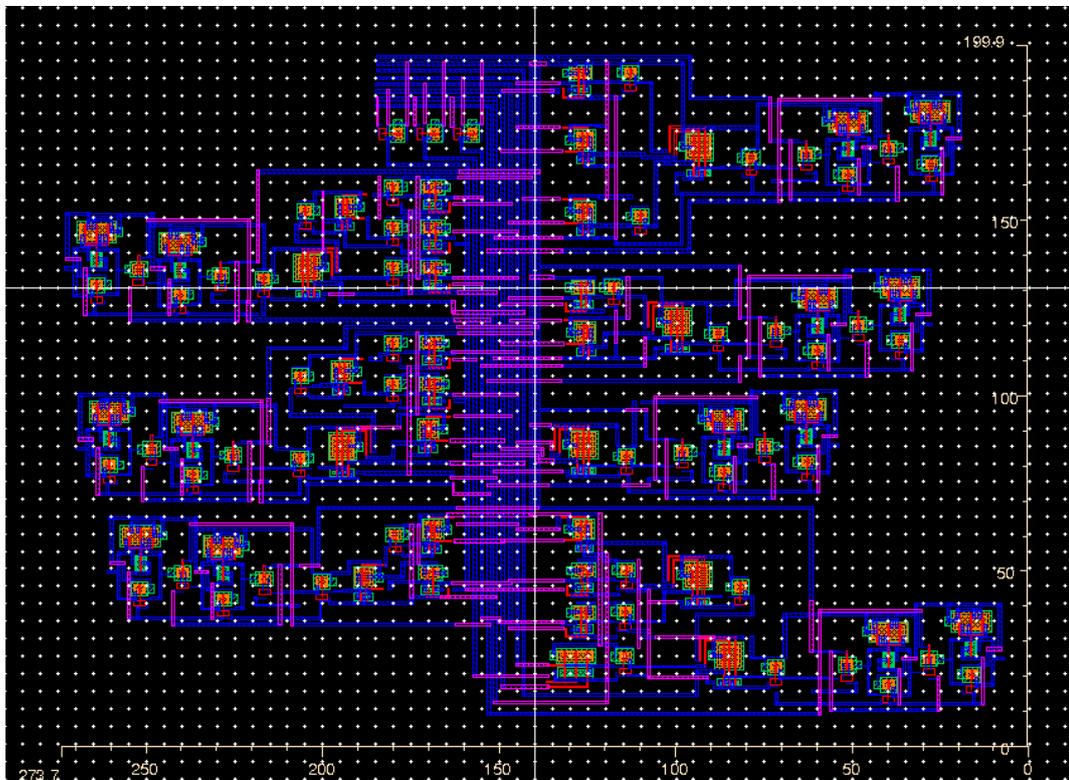


Figura 28- Layout Completo

## 7 RESULTADOS

Para a constituição do decodificador foi necessário a seguinte quantidade de componentes: quantidades de materiais utilizados.

- 39 inversores.
- 14 inversores grandes.
- 10 NAND's de 2 portas.
- 1 NAND de 3 portas.
- 9 NOR's de 2 portas.
- 7 NOR's de 3 portas.
- 14 portas de transmissão.
- 7 *latches*.

Com essa quantidade de componentes a soma do número de transistores é igual a 129 NMOS e 129 PMOS, totalizando em 258 transistores. O tamanho final do circuito ficou 273,7 x 199,9  $\mu\text{m}$ , totalizando em uma área de 54.712,63 $\mu\text{m}^2$ .

## 8 CONCLUSÃO

A construção de um *layout* é muito metódica obedecendo a regras de funcionamento. A sua montagem deve prezar a otimização de espaço desde o primeiro componente, pois esse valor a mais é acrescentado sempre que utilizado o componente. É muito fácil perder área na junção de componentes para se criar o *layout* total. Na montagem final aproximadamente 50% da área utilizada é para o *latch*.

O circuito montado funcionou da maneira desejada e o decodificador não demandou de um número muito grande de transistores. É muito fácil criar combinações lógicas com os transistores CMOS, que se mostraram muito importantes no caráter de desenvolvimento de novos circuitos integrados.

## **REFERÊNCIAS**

[www.mspc.eng.br/eledig/eldg0610.shtml](http://www.mspc.eng.br/eledig/eldg0610.shtml)

<http://www.engr.sjsu.edu/dparent/ICGROUP/index.htm>

[http://www.mosis.com/Technical/Layermaps/lm-scmos\\_scn4me.html](http://www.mosis.com/Technical/Layermaps/lm-scmos_scn4me.html)

<http://www.eletrica.ufpr.br/ogouveia/te130/aulas.html>