

**UNIVERSIDADE FEDERAL DO PARANÁ**

**CURSO DE ENGENHARIA ELÉTRICA**

**PROJETO DE CIRCUITOS INTEGRADOS DIGITAIS**

***PLL – PHASE LOCKED LOOP***

**CURITIBA  
2011**

**PEDRO NEY STROSKI**  
**POLYANA CAMARGO DE LACERDA**  
**ROMULO PRADO**

***PLL – PHASE LOCKED LOOP***

Trabalho realizado como avaliação parcial da disciplina TE130 Projeto de Circuitos Integrados Digitais, do curso de Engenharia Elétrica, do Setor de Tecnologia da UFPR.  
Professor: Oscar Gouveia Filho.

**CURITIBA**  
**2011**

## SUMÁRIO

1	INTRODUÇÃO .....	1
2	PLL ( <i>PHASE LOCKED LOOP</i> ).....	1
2.1	PFD ( <i>Phase/Frequency Detector</i> – Detector de Fase) .....	2
2.2	<i>Charge Pump</i> .....	2
2.3	FILTRO .....	2
2.4	VCO ( <i>Voltage Controlled Oscillator</i> – Oscilador Controlado por Tensão).....	2
2.4	VCO ( <i>Voltage Controlled Oscillator</i> – Oscilador Controlado por Tensão).....	3
2.5	DIVISOR .....	3
3	PROJETO DO PLL – ESQUEMÁTICOS E LAYOUTS .....	3
3.1	PFD ( <i>Phase/Frequency Detector</i> – Detector de Fase) .....	3
3.2	<i>Charge Pump</i> e Filtro.....	5
3.3	VCO ( <i>Voltage Controlled Oscillator</i> – Oscilador Controlado por Tensão).....	7
3.4	Divisor.....	9
3.5	PLL ( <i>Phase Locked Loop</i> ).....	11
4	CONCLUSÃO .....	15
	REFERÊNCIAS .....	16
	APÊNDICES.....	17
	Apêndice 1 – Flip flop tipo D utilizado no PFD .....	17
	Apêndice 2– Porta NAND utilizada no flip flop tipo D.....	18
	Apêndice 3– Modelo básico do inversor.....	18
	Apêndice 4– Simulação lógica flip flop tipo D.....	19

# 1 INTRODUÇÃO

O objetivo deste projeto é desenvolver um PLL (*phase locked loop*) que possa operar em frequências maiores que 300 MHz. O desenvolvimento do PLL consiste no seu projeto em software (CADENCE), por meio da realização da montagem do circuito (esquemático) simulações (lógica e elétrica) e desenho do layout. A tecnologia adotada neste projeto é 0,35 $\mu$ m e a biblioteca base é da NCSU (*North Carolina University State*).

O PLL é um circuito que faz o sincronismo entre um sinal de referência (entrada) e o sinal do elo de realimentação vindo do VCO (*Voltage-Controlled Oscillator*) que é a saída do PLL, então o sinal de entrada e o sinal vindo da realimentação passam a operar na mesma frequência.

O tempo que o PLL leva para sincronizar ambos os sinais na mesma frequência e fase é conhecido como “*lock time*” (tempo de bloqueio). O principal objetivo do PLL é obter um estado de bloqueio em um tempo de bloqueio aceitável. Devido as suas características o PLL é utilizado em sistemas de comunicação e outros sistemas que necessitam de um de um circuito de recuperação de *clock*, multiplicador de frequência e sincronização de dados.

## 2 PLL (PHASE LOCKED LOOP)

A figura a seguir apresenta o diagrama de blocos do PLL, que é composto por cinco componentes: detector de fase (*phase/frequency detector – PFD*), *charge pump*, filtro e o oscilador controlado por tensão (VCO) e o divisor.

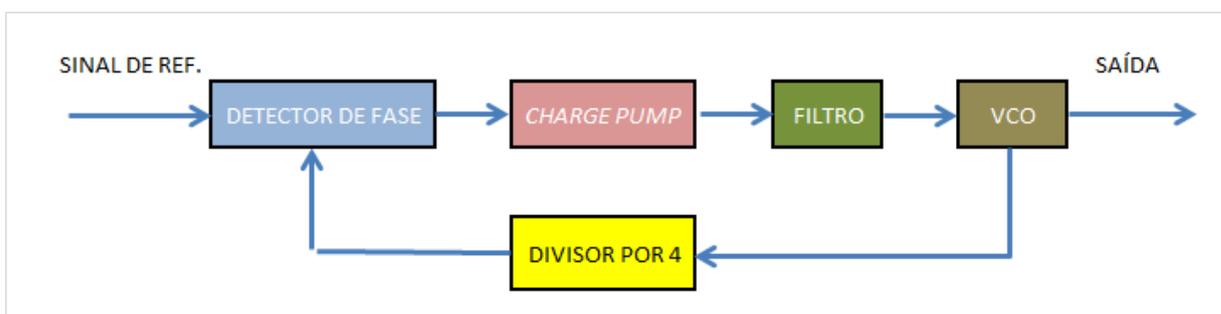


Figura 1 – Diagrama de blocos do PLL.

## 2.1 PFD (*Phase/Frequency Detector* – Detector de Fase)

O principal propósito do PFD é medir a diferença de fase e frequência entre ambos os sinais e produzir um sinal de saída proporcional a esta diferença. Visto que o objetivo do PLL é assegurar que o sinal de realimentação seja igual ao sinal de referência.

O PFD comanda a operação dos outros blocos do PLL aumentando ou diminuindo a frequência que vem do VCO. Esta forma de “controle” é obtida através de uma das saídas *UP* ou *DOWN* do PFD. O sinal da saída *UP* faz com que o VCO aumente a frequência e/ou fase e o sinal da saída *DOWN* faz o oposto.

O circuito do PFD é composto de dois flip-flops. The PFD é composto de dois *flip flops* tipo D, uma porta *AND* e um inversor.

## 2.2 *Charge Pump*

As saídas *UP* ou *DOWN* do PFD do PFD estão amarradas ao *Charge Pump*, que é composto de um espelho de corrente.

O *Charge Pump* manipula a quantidade de carga dos capacitores do filtro conforme os sinais vindos das saídas *UP* ou *DOWN* do PFD do PFD. Se o sinal de referência (entrada) do PLL está com uma frequência maior em relação ao sinal do elo de realimentação, a saída *UP* do PFD faz com que o *Charge Pump* adicione carga nos capacitores. A situação reversa ocorre quando o sinal de referência está com uma frequência menor em relação ao sinal do elo de realimentação.

## 2.3 FILTRO

O filtro do PLL é um filtro passivo composto de dois capacitores e um resistor. Dependendo da tensão de saída do filtro que é o sinal de entrada do VCO, na saída do VCO a frequência aumenta ou diminui. A tensão de saída no filtro é proporcional a carga dos capacitores.

## 2.4 VCO (*Voltage Controlled Oscillator* – Oscilador Controlado por Tensão)

O VCO é o componente que produz a frequência necessária na saída do PLL. Este VCO funciona basicamente como um oscilador em anel, não possui capacitores ou resistores, sendo somente composto por transistores.

## 2.4 VCO (*Voltage Controlled Oscillator* – Oscilador Controlado por Tensão)

O VCO é o componente que produz a frequência necessária na saída do PLL. Este VCO funciona basicamente como um oscilador em anel, não possui capacitores ou resistores, sendo somente composto por transistores.

## 2.5 DIVISOR

O divisor faz parte do elo de realimentação do PLL, e a sua função básica é reduzir a frequência do VCO dentro de uma faixa de valores que podem ser comparadas com o sinal de referência. O divisor é útil neste projeto pois o PLL pode operar em maiores frequências dependendo de quanto a frequência do elo de realimentação é dividida. Neste projeto, foram utilizados flip flops tipo D para fazer o circuito do divisor. A quantidade que o divisor irá dividir depende da equação “ $2^n = \text{divisor por}$ ” onde n representa a quantidade de flip flop a serem utilizados. Para este divisor por 4 foram utilizados 2 flip flop tipo D.

# 3 PROJETO DO PLL – ESQUEMÁTICOS E LAYOUTS

## 3.1 PFD (*Phase/Frequency Detector* – Detector de Fase)

O circuito esquemático do PFD é mostrado abaixo:

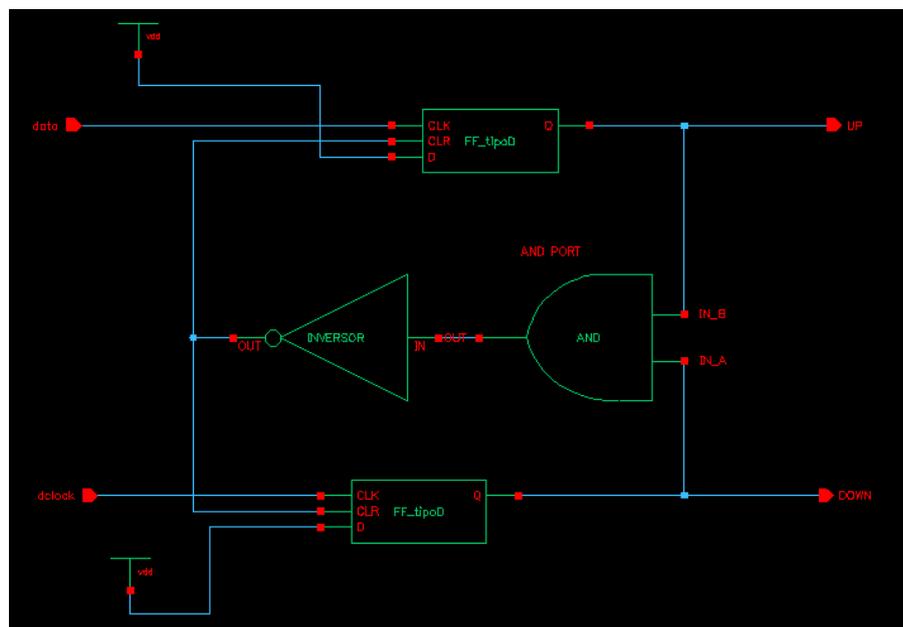


Figura 2 – Esquemático do PFD.

Neste circuito, as saídas dos flip flop estão conectadas em uma porta AND e a saída a um inversor, então os flip flops resetam simultaneamente quando a saída de ambos é um.

O circuito montado para a simulação elétrica e o resultado são apresentados nas figuras a seguir:

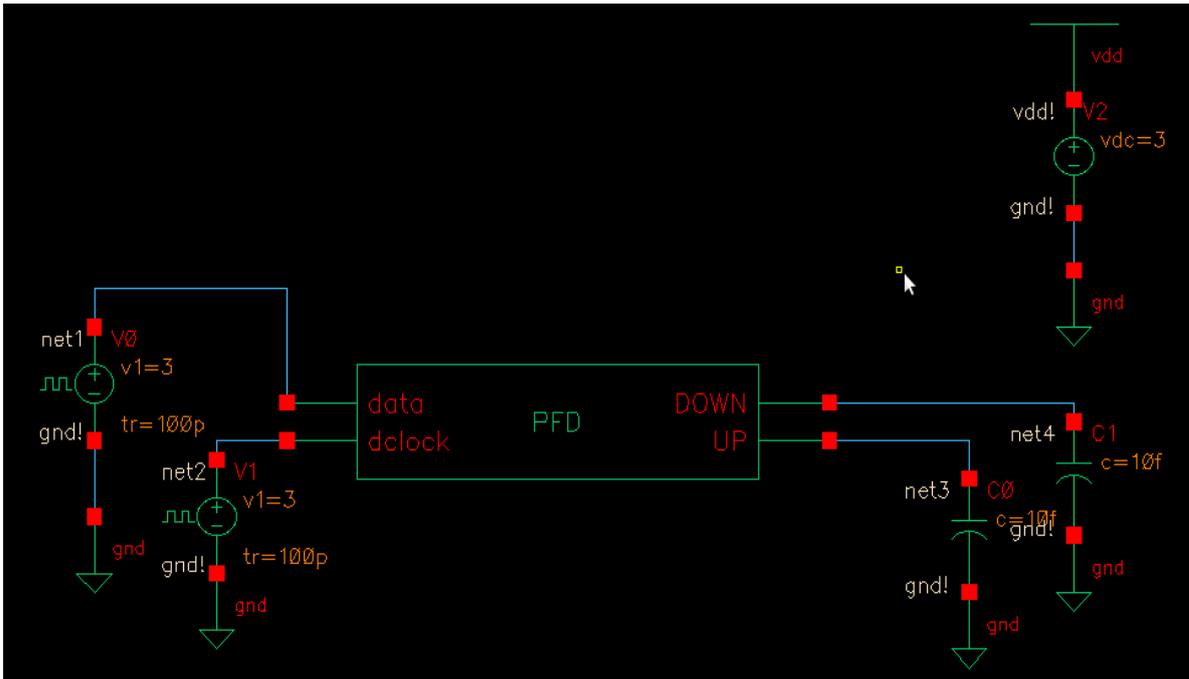


Figura 3 – Circuito da simulação elétrica do PFD.

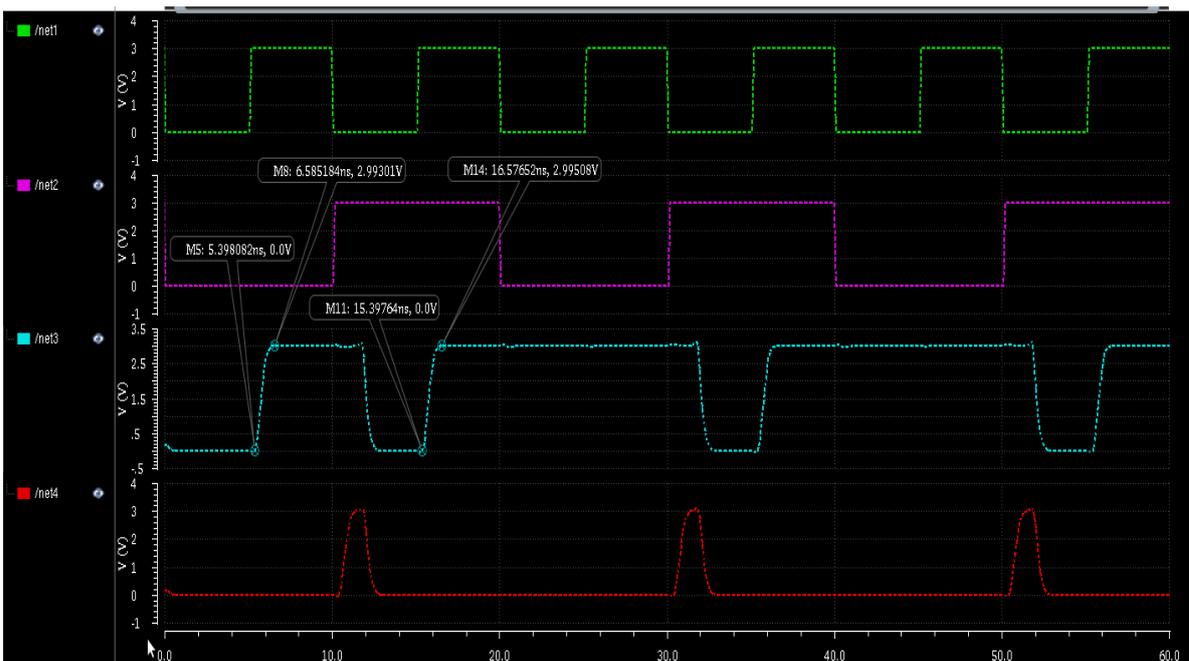


Figura 4 – Simulação elétrica do PFD (verde = dclock, rosa = data, azul = UP, vermelho = DOWN).

O layout do PFD é apresentado a seguir:

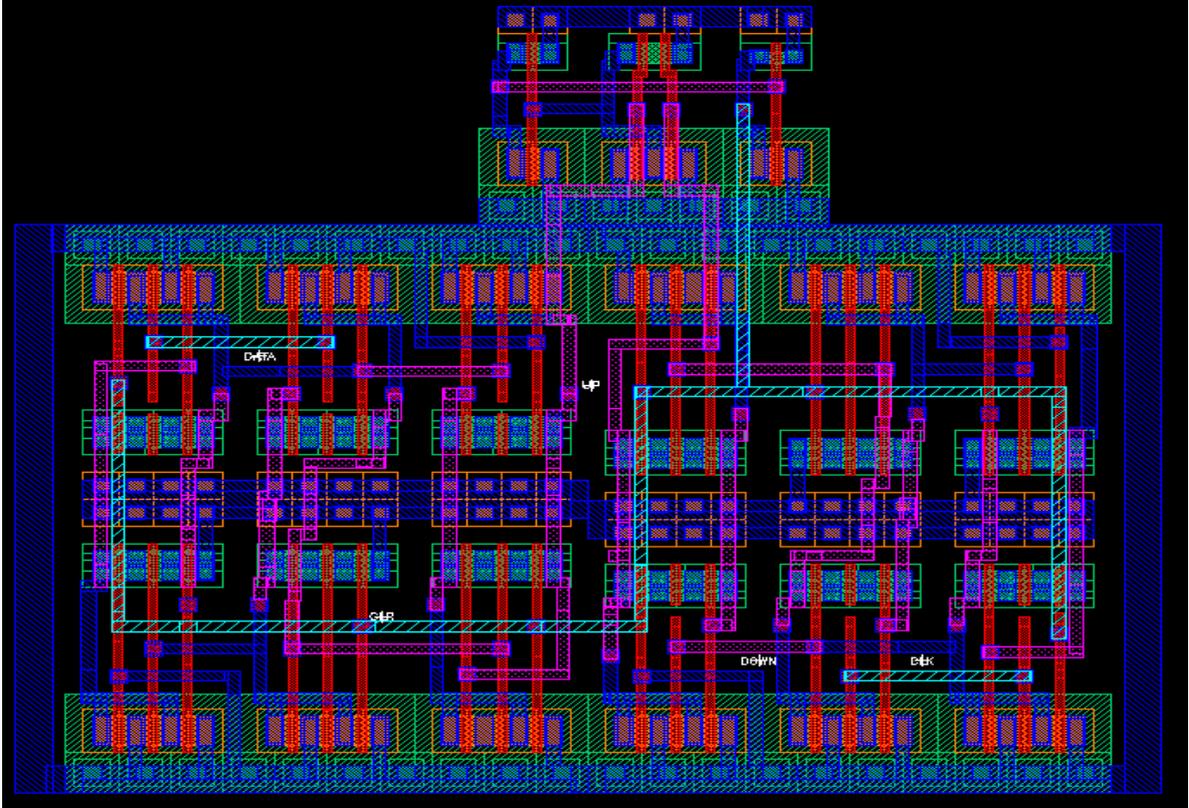


Figura 5 – Layout do PFD.

### 3.2 Charge Pump e Filtro

O circuito esquemático dos blocos *Charge Pump* + Filtro é mostrado abaixo:

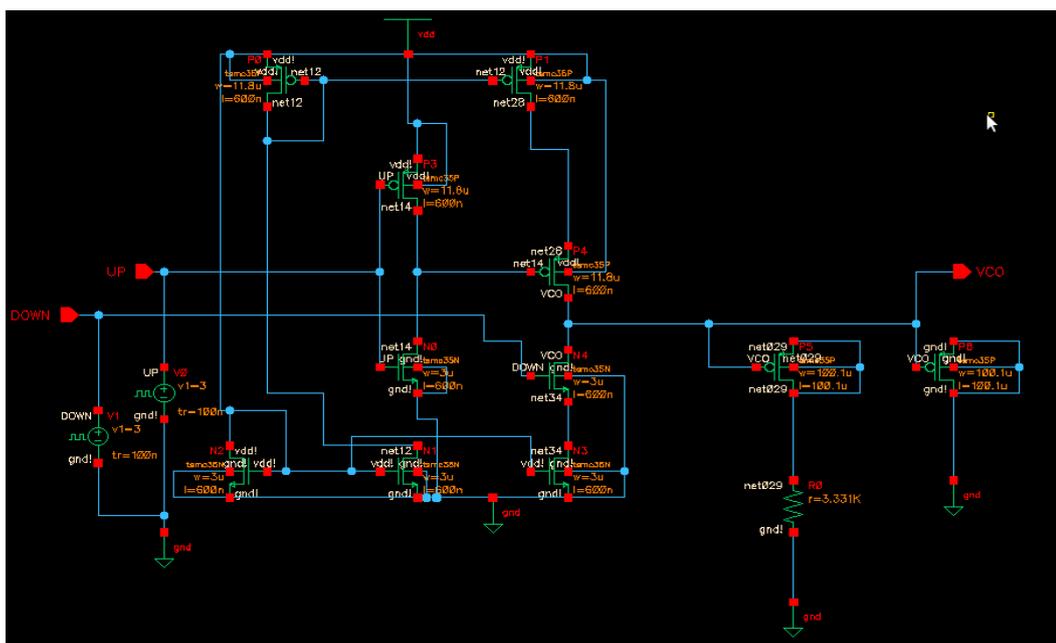


Figura 6 – Esquemático do Charge Pump + Filtro.

Neste circuito os capacitores foram feitos pela conexão da fonte com o dreno e com subtrato. O layout é mostrado na próxima figura:

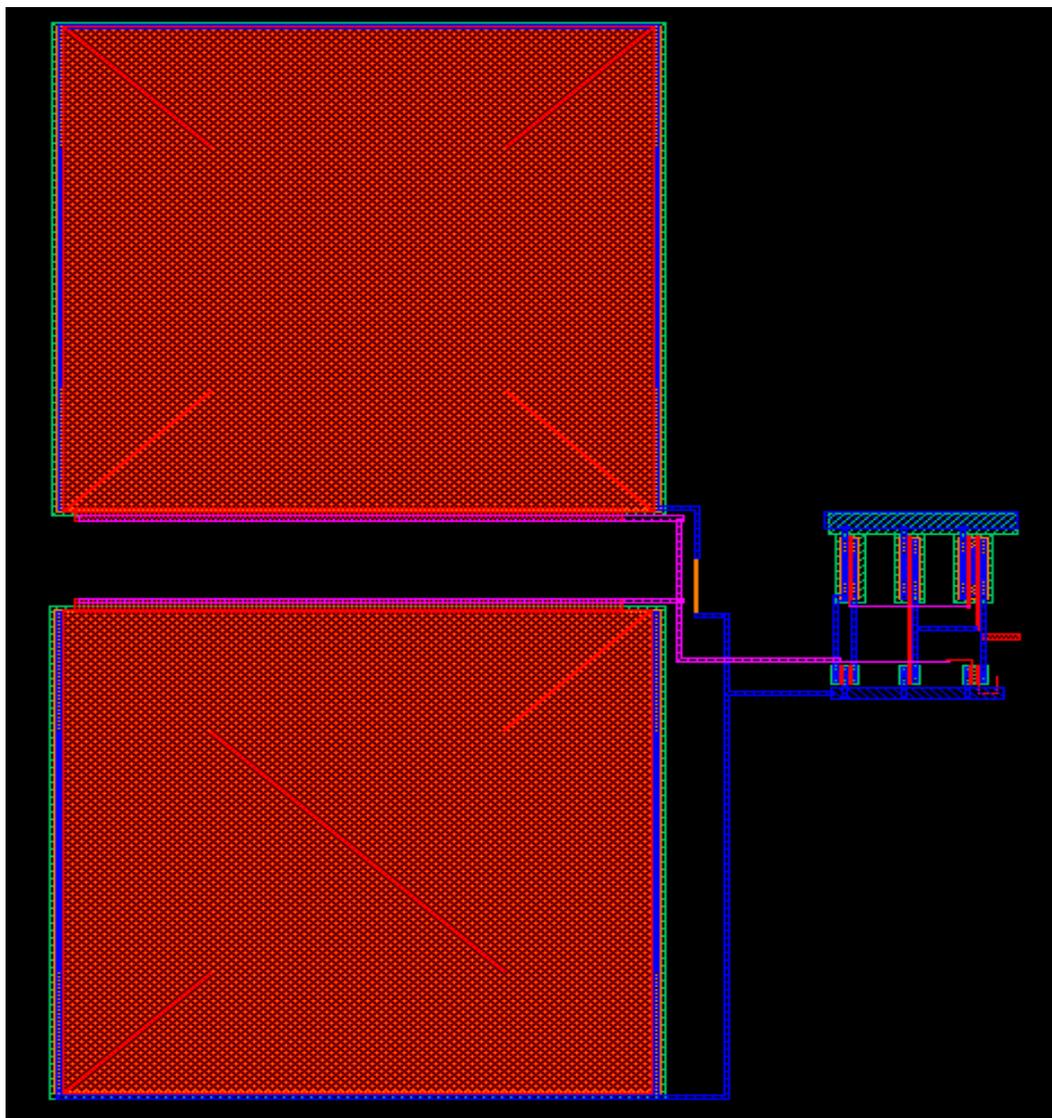


Figura 7 – Layout do *Charge Pump* + Filtro.

Os dois capacitores deste layout são os dois quadros vermelhos, o resistor é a linha laranja e o circuito menor é o *Charge Pump*.

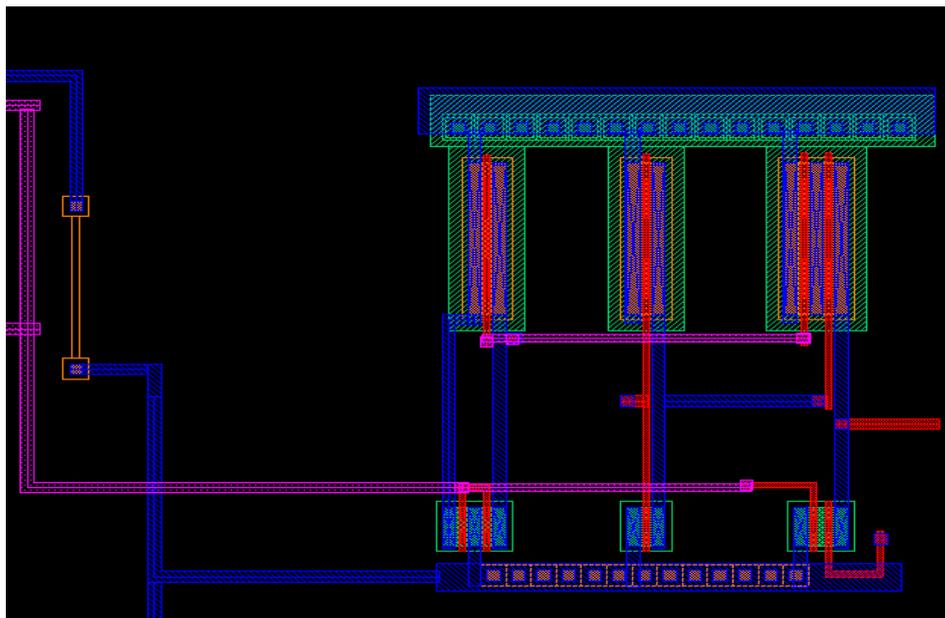


Figura 7 – Detalhe do layout do Charge Pump.

### 3.3 VCO (Voltage Controlled Oscillator – Oscilador Controlado por Tensão)

O circuito esquemático do VCO é mostrado a seguir:

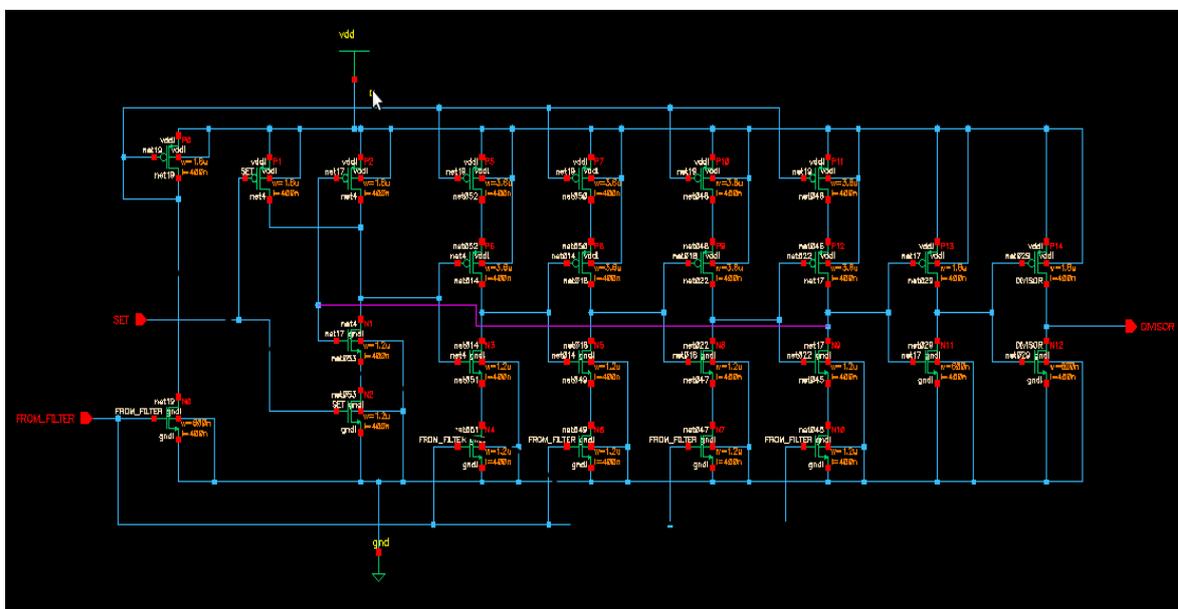


Figura 8 – Esquemático do VCO.

O circuito do VCO recebe o sinal da saída do filtro e também um sinal de SET que vem do divisor. É um circuito constituído somente de transistores e os quatro últimos transistores formam um *buffer*.

O circuito montado para a simulação elétrica é mostrado a seguir:

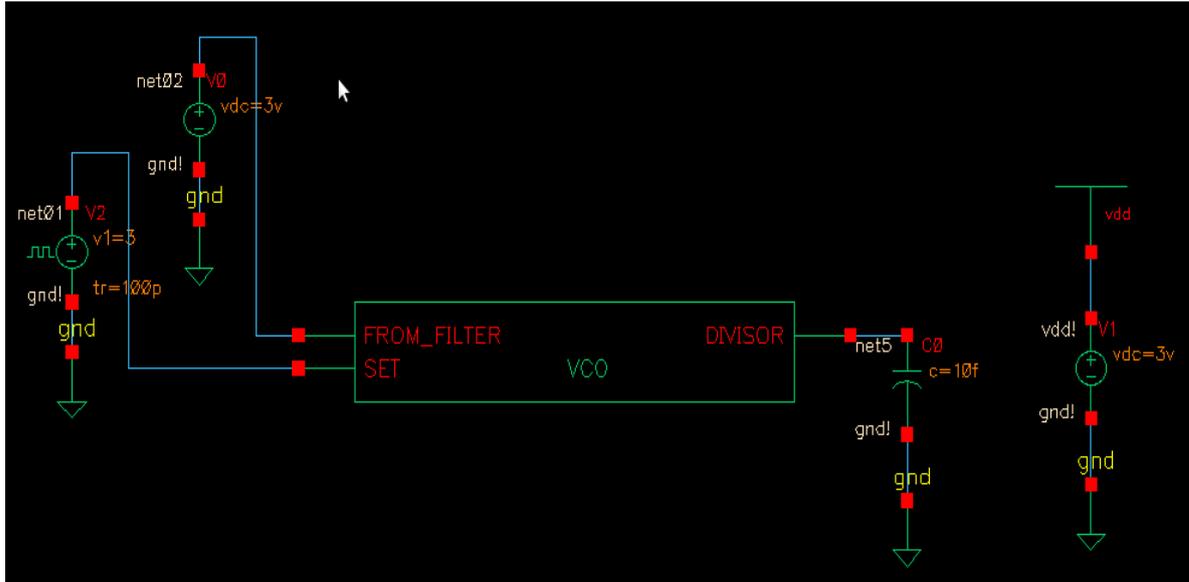


Figura 9 – Circuito da simulação elétrica do VCO.

O layout do VCO é mostrado na próxima figura:

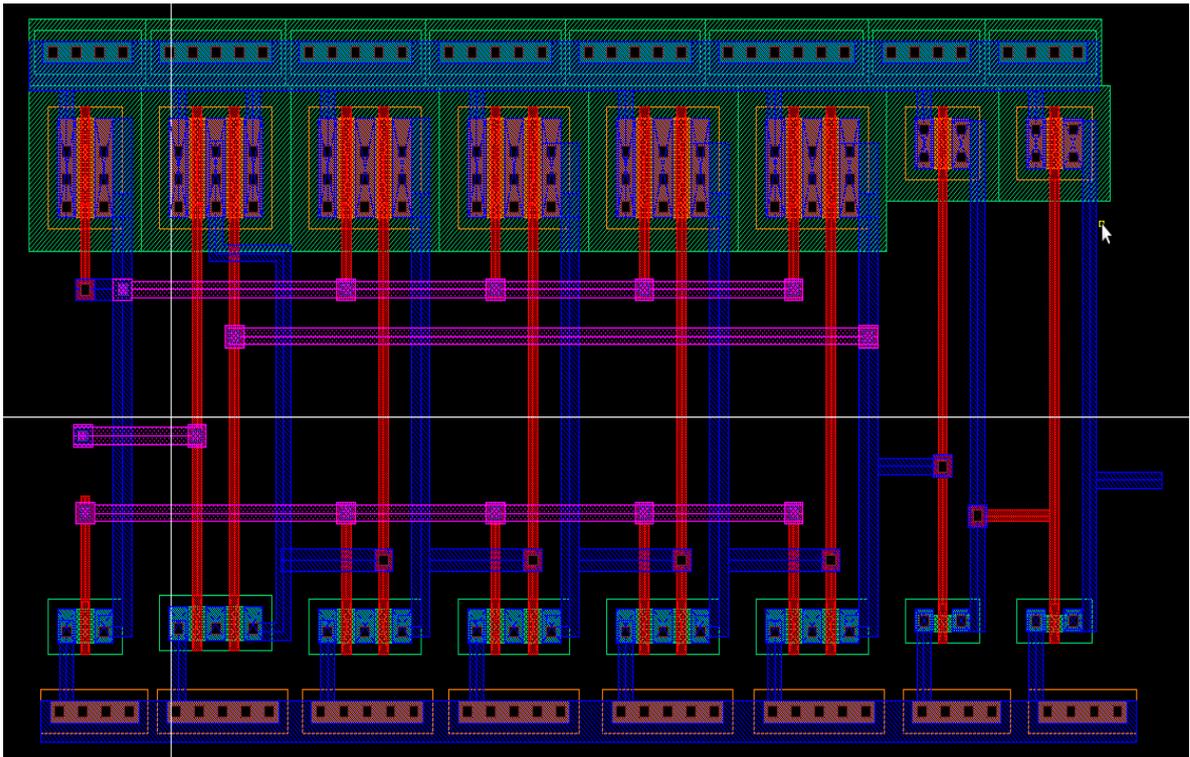


Figura 10 – Layout do VCO.

### 3.4 Divisor

O circuito esquemático do Divisor é mostrado a seguir:

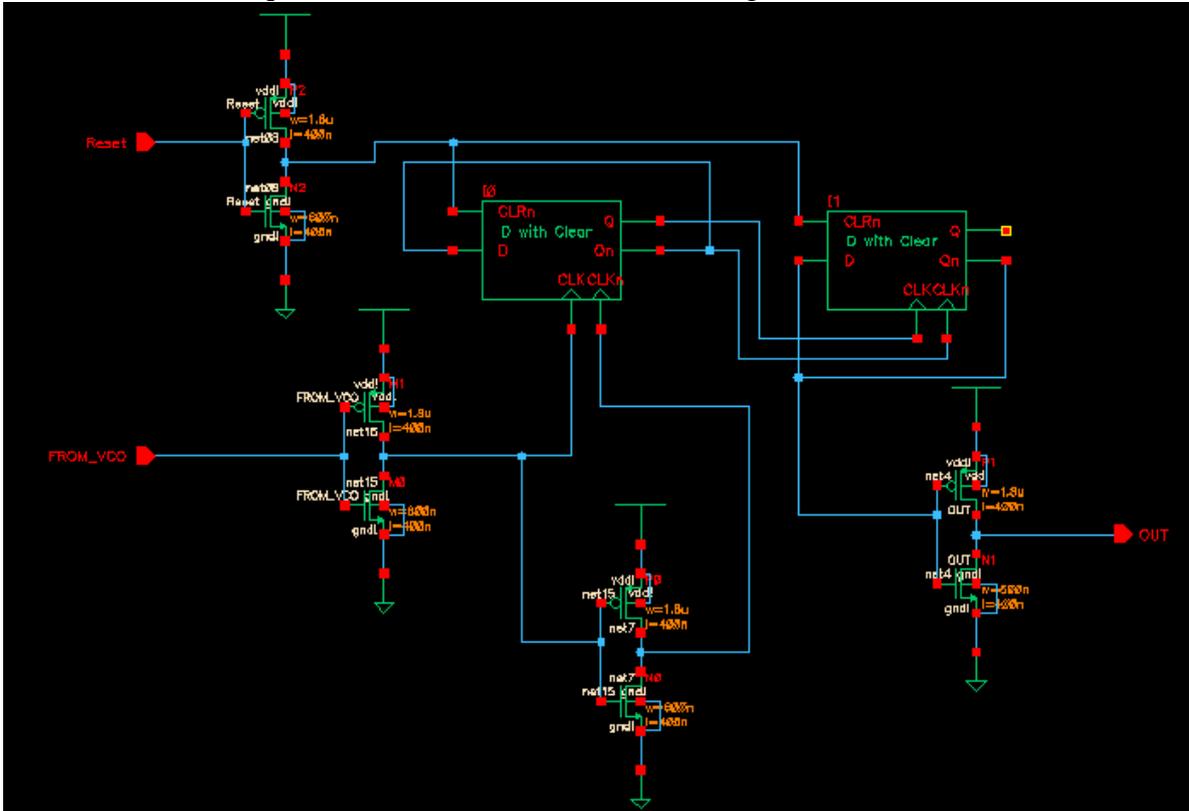


Figura 11 – Esquemático do Divisor.

O circuito esquemático do Divisor tem uma entrada que recebe o sinal do VCO uma outra de reset e a sua saída vai para uma das entradas do PFD fechando o elo de realimentação.

O circuito montado para a simulação elétrica e o resultado são mostrados a seguir:

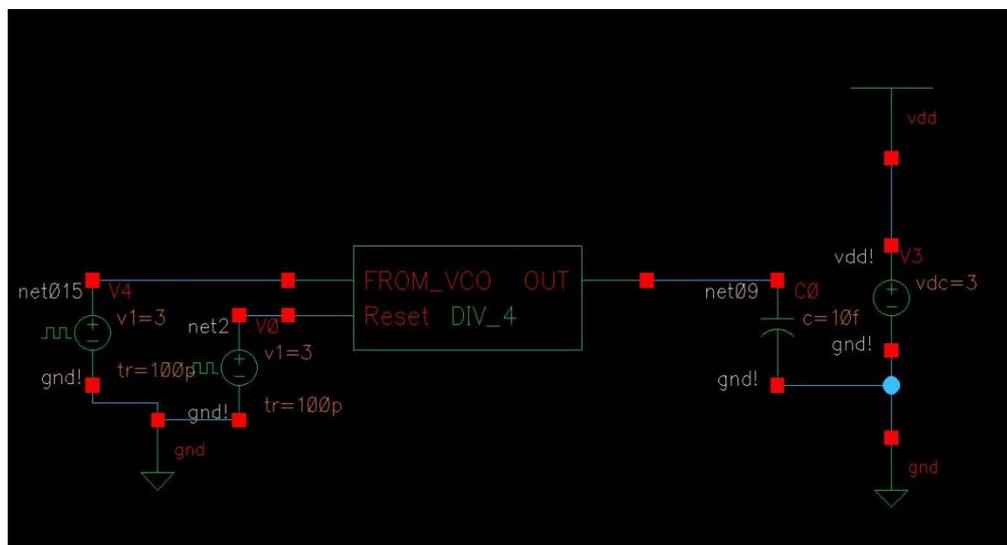


Figura 12 – Circuito da simulação elétrica do Divisor.



### 3.5 PLL (Phase Locked Loop)

O circuito esquemático do PLL é mostrado a seguir:

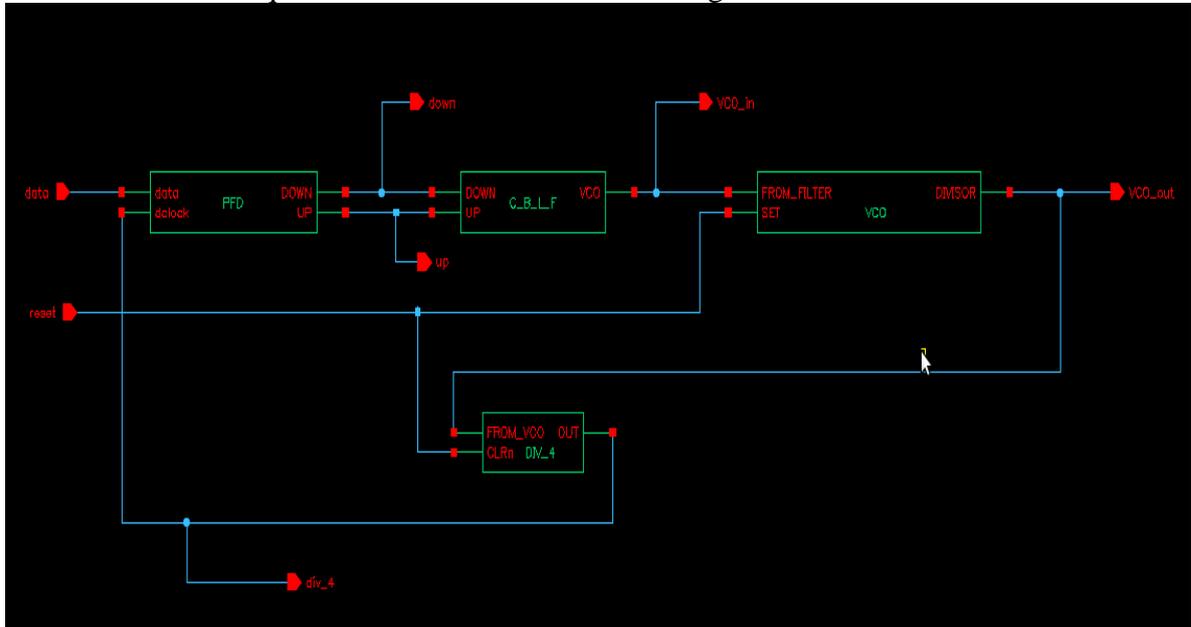


Figura 15 – Esquemático do PLL.

O circuito montado para a simulação elétrica e os resultados são mostrados a seguir:

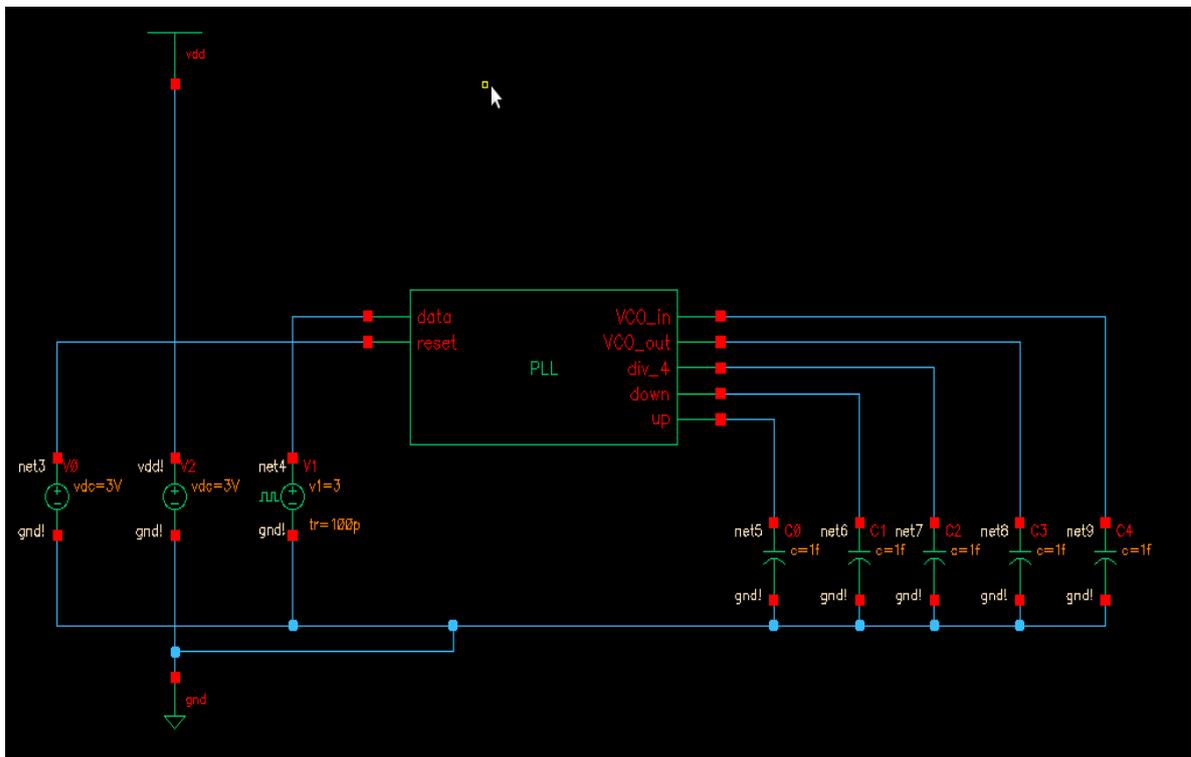


Figura 16 – Circuito da simulação elétrica do PLL.

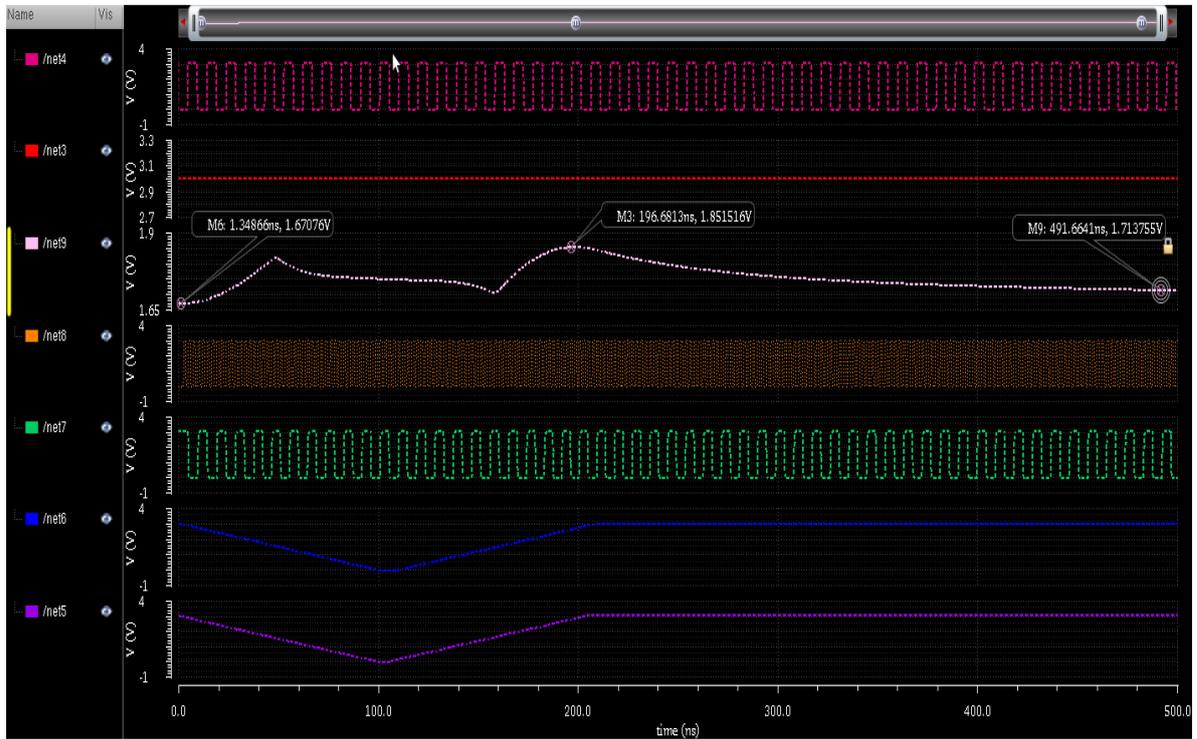


Figura 17 – Simulação elétrica do PLL (rosa = data, vermelho = reset, rosa claro = VCO in, laranja = VCO out, verde = saída div4, azul = UP, roxo = DOWN).

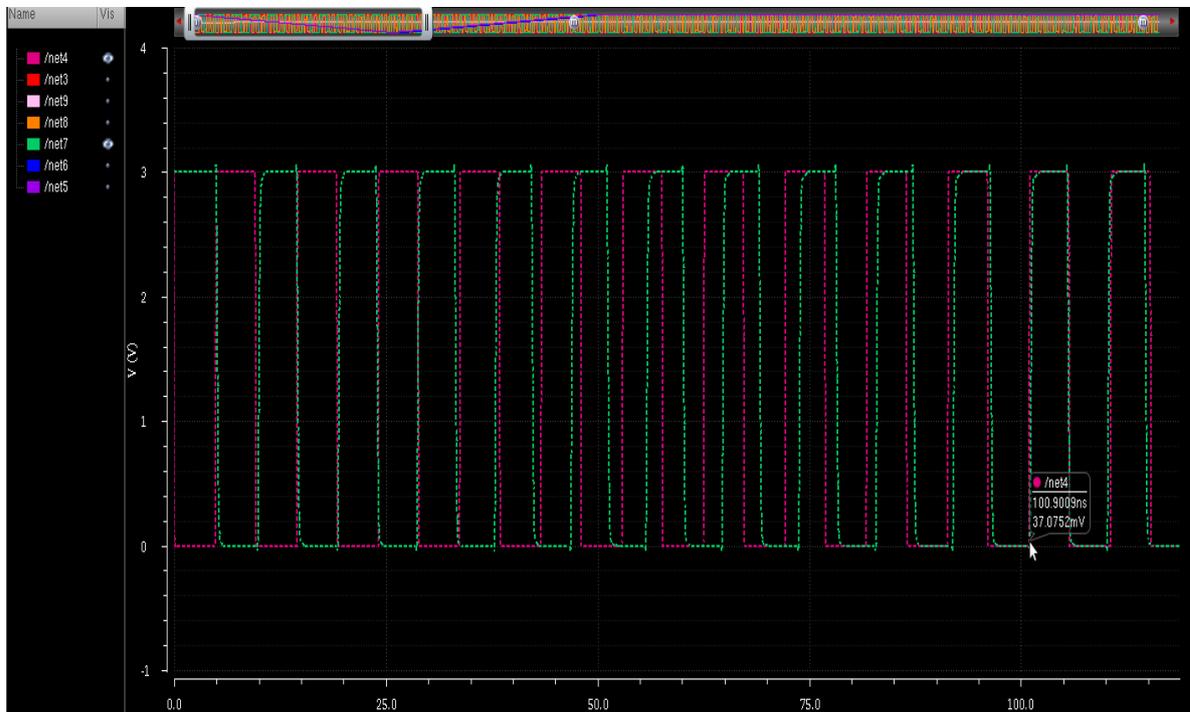


Figura 18 – Simulação elétrica do PLL – resposta do PLL para frequência de 416,8 MHz na saída do VCO.

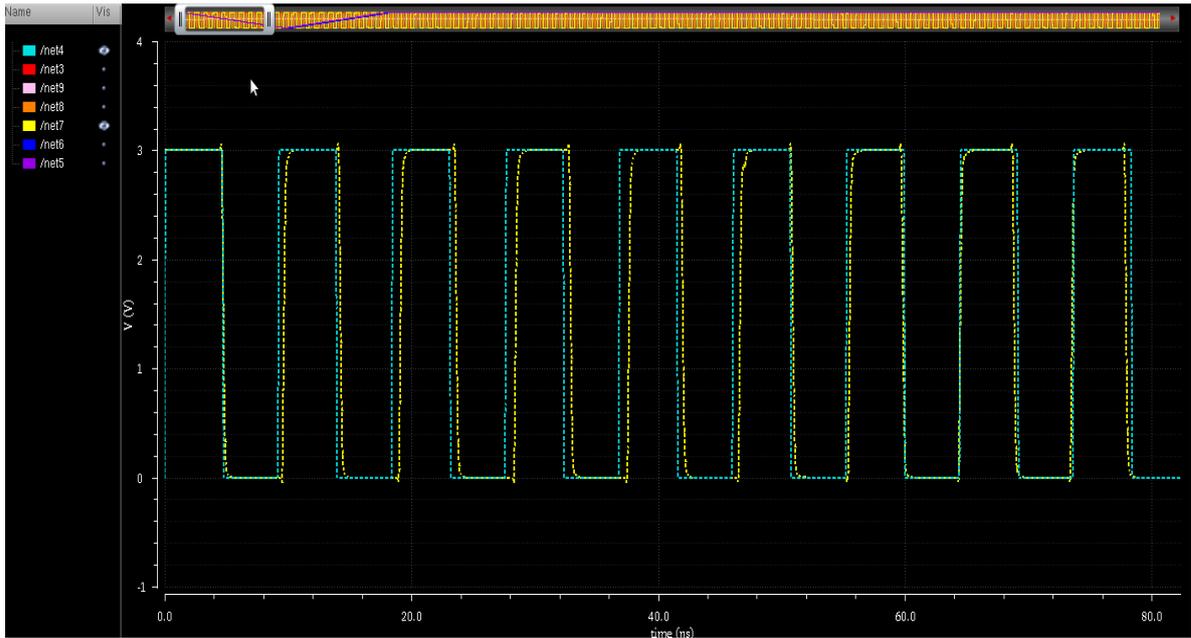
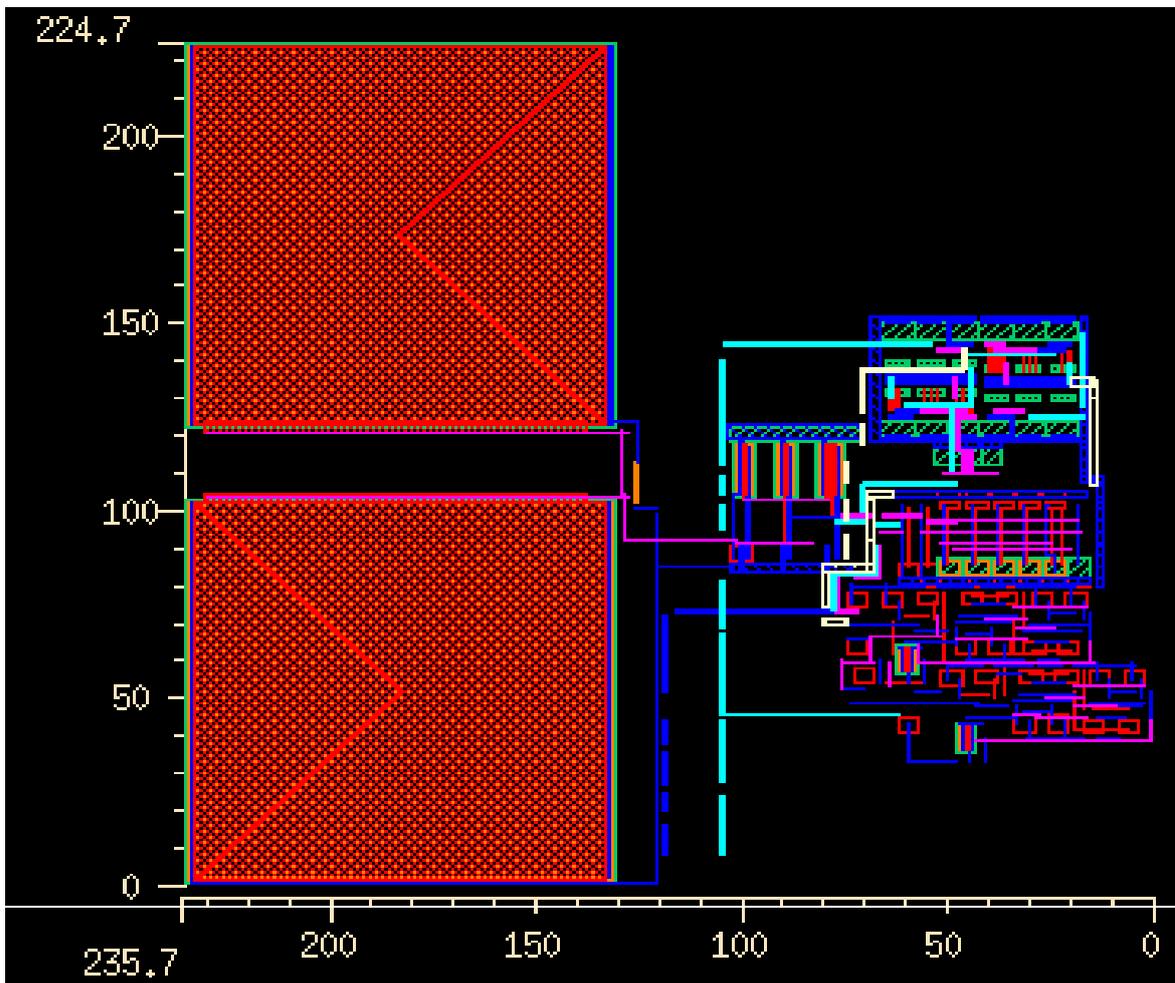


Figura 19 – Simulação elétrica do PLL – resposta do PLL para frequência de 434,8 MHz na saída do VCO.

O layout do PLL é mostrado na próxima figura:



Após o projeto dos circuitos e dos layouts de todos os blocos que fazem parte do PLL, as seguintes especificações foram determinadas:

- $F_{m\acute{a}x} = 434,8$  MHz (medida na saída do VCO);
- $F_{m\acute{i}x} = 416,8$  MHz (medida na saída do VCO);
- $V_{m\acute{a}x} = 1,85$  V (medida na entrada do VCO);
- $V_{m\acute{i}x} = 1,67$  V (medida na entrada do VCO);
- $V_{est} = 1,70$  V (medida na entrada do VCO – tensão estabilizada);
- Área ocupada pelo circuito =  $52961,79 \mu\text{m}^2$ ;
- Total de transistores = 171

## 4 CONCLUSÃO

A partir dos resultados obtidos nas simulações elétricas dos blocos que formam o PLL, bem como os parâmetros de operação que foram obtidos, verifica-se que:

- O circuito do PLL necessita de ajustes para operar de modo satisfatório, devido á instabilidade em manter o sinal do elo de realimentação em fase como o sinal de entrada;

- Há necessidade de ser definida previamente uma faixa de frequências para a operação do PLL para redefinir o filtro do mesmo, e também aumentar o *buffer* de saída do VCO;

- Durante o desenvolvimento do projeto houve dificuldades em implementar alguns blocos e realizar as simulações lógicas;

No entanto, este projeto, apesar das dificuldades, proporcionou um aprendizado importante em relação ao uso do *software*, formas diferentes de projetar circuitos entre outros, que contribuem na continuidade do desenvolvimento de novos projetos na área de circuitos integrados.

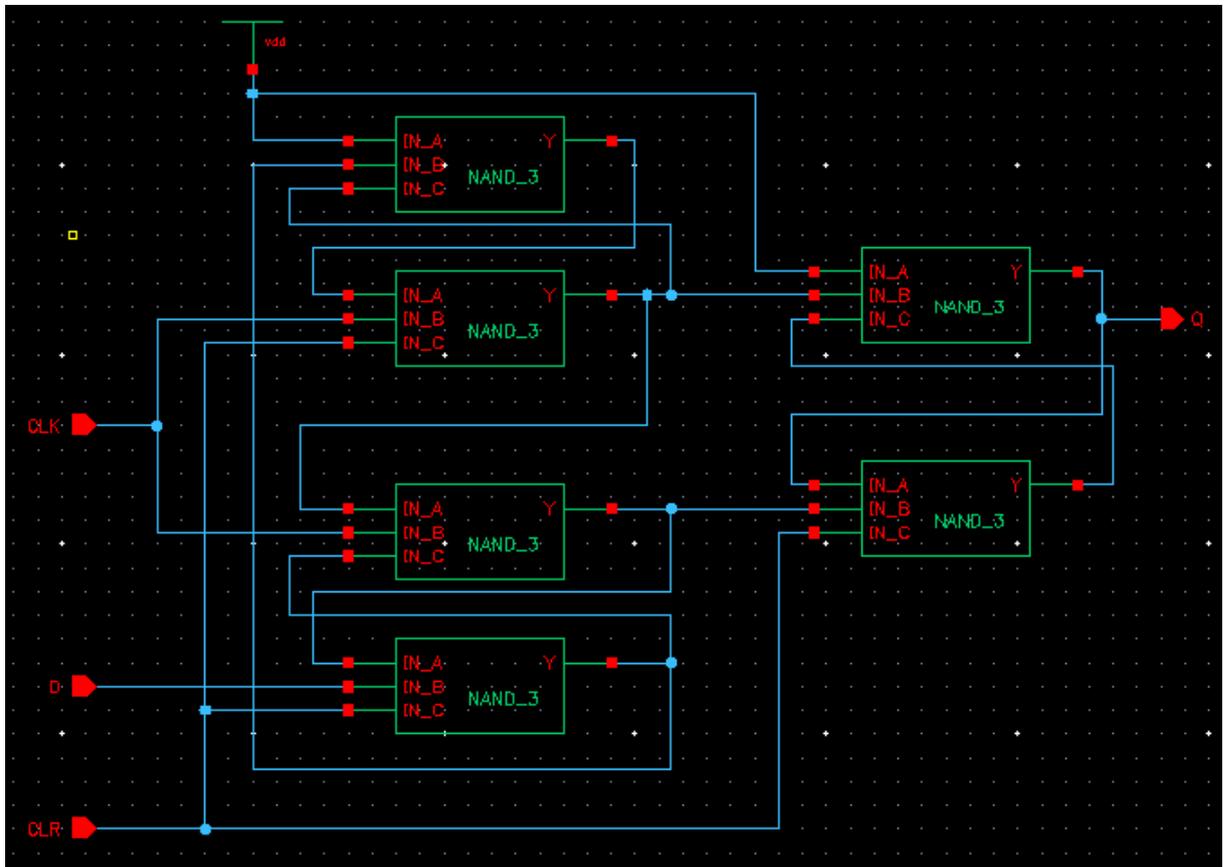
## **REFERÊNCIAS**

PHASE-LOCKED LOOP DESIGN. Disponível em:  
<http://www.engr.sjsu.edu/~dparent/ICGROUP/pll2.pdf> .

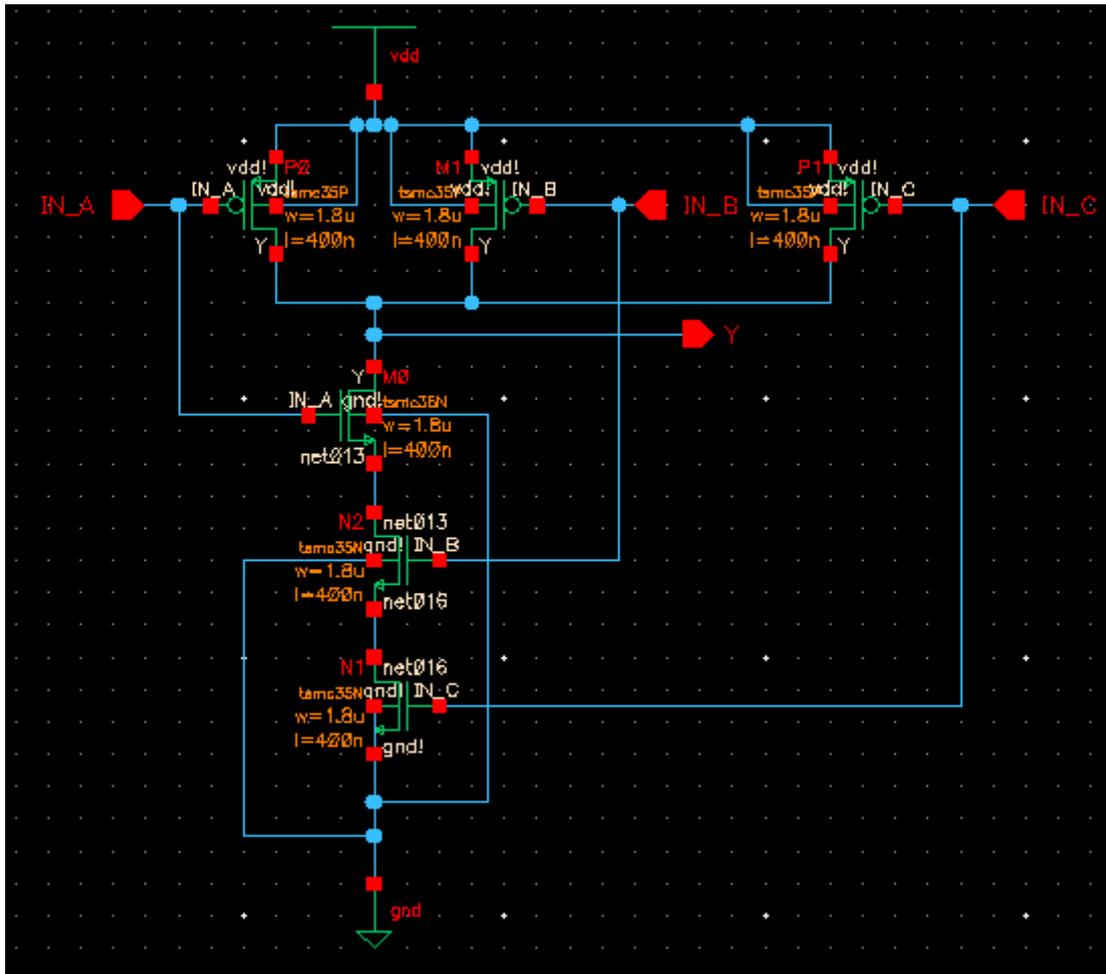
Notas de aula. Disponível em: <http://www.eletrica.ufpr.br/ogouveia/te130/aulas.html>

## APÊNDICES

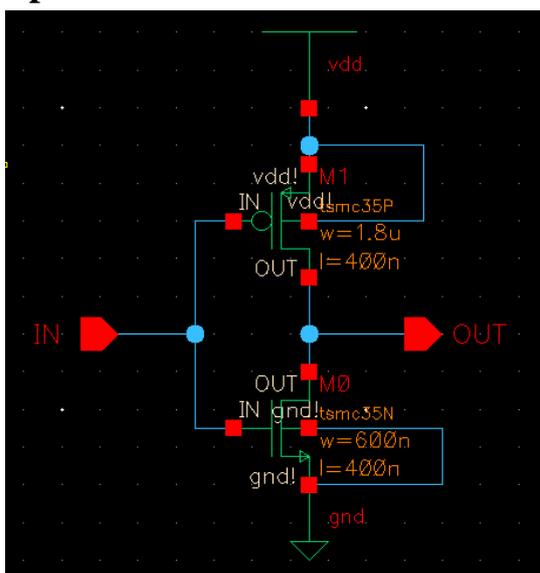
### Apêndice 1 – Flip flop tipo D utilizado no PFD



## Apêndice 2– Porta NAND utilizada no flip flop tipo D



## Apêndice 3– Modelo básico do inversor



## Apêndice 4– Simulação lógica flip flop tipo D

