

**TIAGO VINÍCIUS DE SOUZA**  
**RAFAEL MARIZ GUIMARÃES**

**PROJETO DE UM SUBTRATOR**

**Trabalho elaborado como parte da avaliação da disciplina de Projeto de Circuitos Integrados, ministrada pelo Prof. Oscar Gouveia Filho, do Curso de Engenharia Elétrica, do Setor de Tecnologia da Universidade Federal do Paraná.**

**CURITIBA**

**2011**

# 1. Introdução

Circuitos digitais ou tecnologia digital são circuitos eletrônicos que baseiam o seu funcionamento na lógica binária, em que toda a informação é guardada e processada sob a forma de zero (0) e um (1). Esta representação é conseguida usando dois níveis discretos de Tensão elétrica.

Podemos dividir os circuitos digitais em duas categorias básicas: os estáticos e os dinâmicos.

Entre os circuitos digitais estáticos podemos citar as portas lógicas: Porta AND (em português, "E"), a Porta OR ("OU"), a Porta NAND ("não E" ou "E invertido"), a Porta NOR ("não OU" ou "OU invertido"), a Porta XOR ("OU exclusivo"), a porta Not (não) e a porta Coincidência (NXOR = não OU exclusivo).

Entre os circuitos digitais dinâmicos podemos citar os multivibradores: o Multivibrador Biestável, comumente chamado Flip-flop, o Multivibrador Monoestável, usado comumente como temporizador, ou Disparador Schmitt (Schmitt Trigger) e o Multivibrador Astável usado como divisor de frequência.

A partir destes circuitos são construídos praticamente todos os outros. Encadeando-se flip-flops constituem-se os contadores binários, com portas lógicas podemos criar Unidades lógico-arátméticas (ULA, ou, em inglês ALU), etc.

As portas lógicas são constituídas basicamente por transistores CMOS de tipo N e tipo P utilizados como chaves. O Transistor CMOS tipo N, apresenta baixa resistência entre dreno e fonte (conduz) quando uma tensão positiva é aplicada à sua porta, já o transistor CMOS tipo P, e apresenta baixa resistência entre dreno e fonte (conduz) quando uma tensão negativa é aplicada à sua porta.

Tivemos como objetivo neste projeto a construção de um substrato de 8 bits, otimizando tanto o número de transistores como a área de sua implementação. Para sua confecção primeiramente foi realizada uma pesquisa onde detectamos a composição com menor utilização de transistor, posteriormente confeccionamos separadamente cada parte lógica do circuito realizando suas devidas simulações, em seguidas agrupamos essas partes de acordo com sua composição para obter um bloco final, novamente simulando. A partir desses passos foram confeccionados os layouts visando a otimização de sua área.

## 2. Desenvolvimento

Como mencionado acima o desenvolvimento do projeto ocorreu em três partes:

- Desenvolvimento teórico
- Implementação do circuito teórico juntamente com sua simulações
- Desenvolvimento do Layouts

### 2.1 Desenvolvimento Teórico

Primeiramente foi montada a tabela verdade de um subtrator (Tabela 1) para a obtenção das equações Booleanas. Temos como 3 entradas sendo duas dessas dados novos (A e B) , uma terceira o “empresta 1” anterior (C\_less) e duas saída, o resultado do subtração (Out) e o “empresta 1 ” próximo (C\_plus).

A	B	C_less	Out	C_plus
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Tabela 1- Tabela verdade subtrator

Através do mapa de Karnaugh podemos encontrar a equação equivalente a tabela verdade do subtrator.

$$\text{OUT} = \bar{A} \bar{B} C + \bar{A} B \bar{C} + A B C + A \bar{B} \bar{C}$$

$$\text{C_plus} = \bar{A} B + A C + B C$$

Equação 1 – Equação Subtrator 1 bit sem simplificação

Utilizando o método de simplificação de equações Booleanas e visando a otimização do numero de transistores obtemos a Equação 2 .

$$\text{OUT} = C \oplus (A \oplus B)$$

$$C\_plus = (\bar{A} + B) + (C \cdot (A \oplus B))$$

Equação 2 – Equação Subtrator 1 bit após simplificação

Com a pesquisa realizada para o desenvolvimento teórico do projeto podemos contar que aporta XOR, é uma porta de passagem, podendo ser confeccionado utilizando somente 6 transistores. Com isso conseguimos reduzir consideradamente o número de transistores utilizados para confecção do subtrator. A Figura 1 representa a Equação 2, subtrator com o menor numero possível de portas lógicas sendo utilizadas e portando o menor numero de transistores.

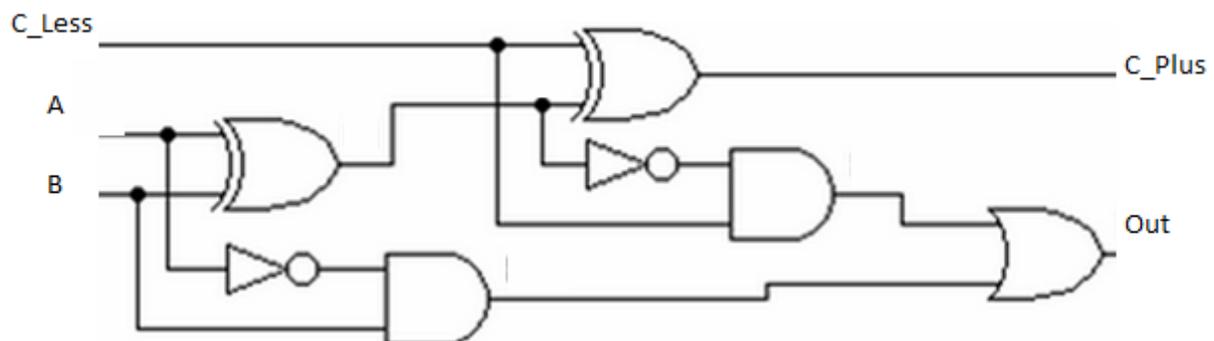


Figura 1 – Circuito Subtrator

Para certificarmos que a lógica presente na Figura 2 estava de correta, conforme a presente na Tabela 1, utilizamos Logic Words, um software para simulações lógicas a partir de esquemático com portas lógicas. O resultado obtido está presente na Figura 2.

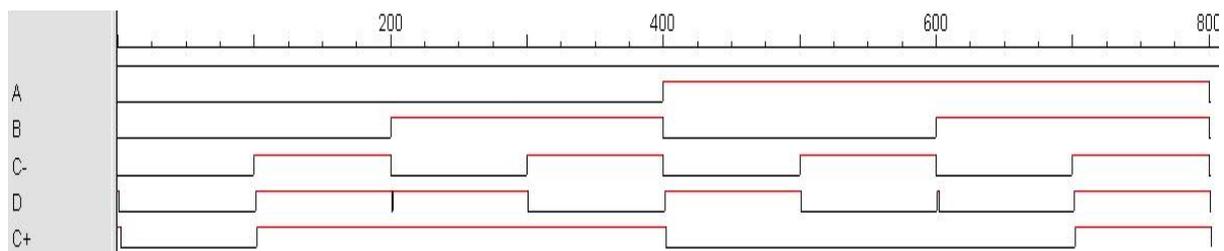


Figura 2 – Simulação do circuito da Figura 1 utilizando o Logic Words

Considerando que a porta NOT possui 2 transistores, a porta OR, AND e XOR possuem 6 transistores cada temos um total de 34 transistores, 17 do tipo CMOS e 17 NMOS.

Como o subtrator é de 8 bits possui 8 módulos idênticos ao da Figura 2 obtendo um total de 272 transistores.

## 2.2 Implementação e Simulação

O próximo passo foi a confecção e simulação das portas lógicas separadamente.

Em todas as portas foram considerados os piores casos utilizando as menores medidas de largura e de comprimento dos canais possíveis, a fim de obtermos os menores tempos de subida, descida e propagações. Esses tempos estão sendo representados na Figura 2.

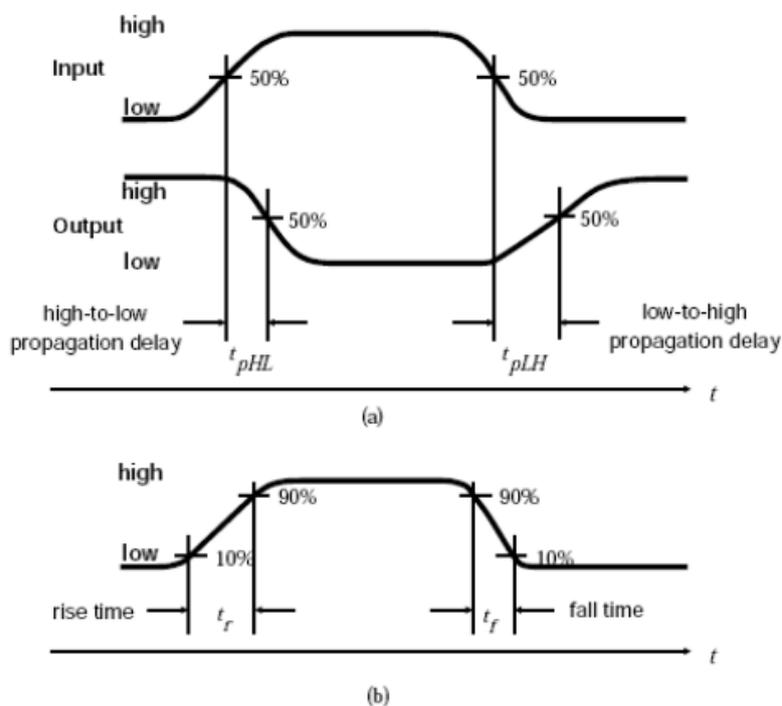


Figura 3 – Representação dos tempos

Definições dos tempos contidos na Figura 3 :

-Tempo de Propagação ( $T_{ps}$  e  $T_{pd}$ ) é o tempo leva do para que a saída atinja 50% da tensão máxima a partir de uma mudança de nível da entrada.(a)

-Tempo de Subida ( $T_s$ ) é o tempo levado para saída em baixa, 10% da tensão máxima, atingir 90% da tensão máxima.(b)

-Tempo de Descida ( $T_d$ ) é o tempo levado para saída em alta, 90% da tensão máxima, atingir 10% da tensão máxima.(b)

Para obtenção dos melhores tempos de transferência as larguras do transistores PMOS foram 3 vezes maiores do que a dos transistores NMOS, com isso obtemos um equilíbrio na dissipação de potência encontrando a melhor resposta possível.

A seguir serão apresentas separadamente cada porta com seus tempos, respectivos tamanhos de transistores e simulações.

Nas simulações foram utilizados capacitores de 200f F, fonte de tensão 3V e fonte de pulso de 0V a 3V.

### 2.2.1 Porta NOT

	W	L
NMOS	600n m	400n m
PMOS	1.8u m	400n m

Tabela 2 – Tamanho canal porta NOT

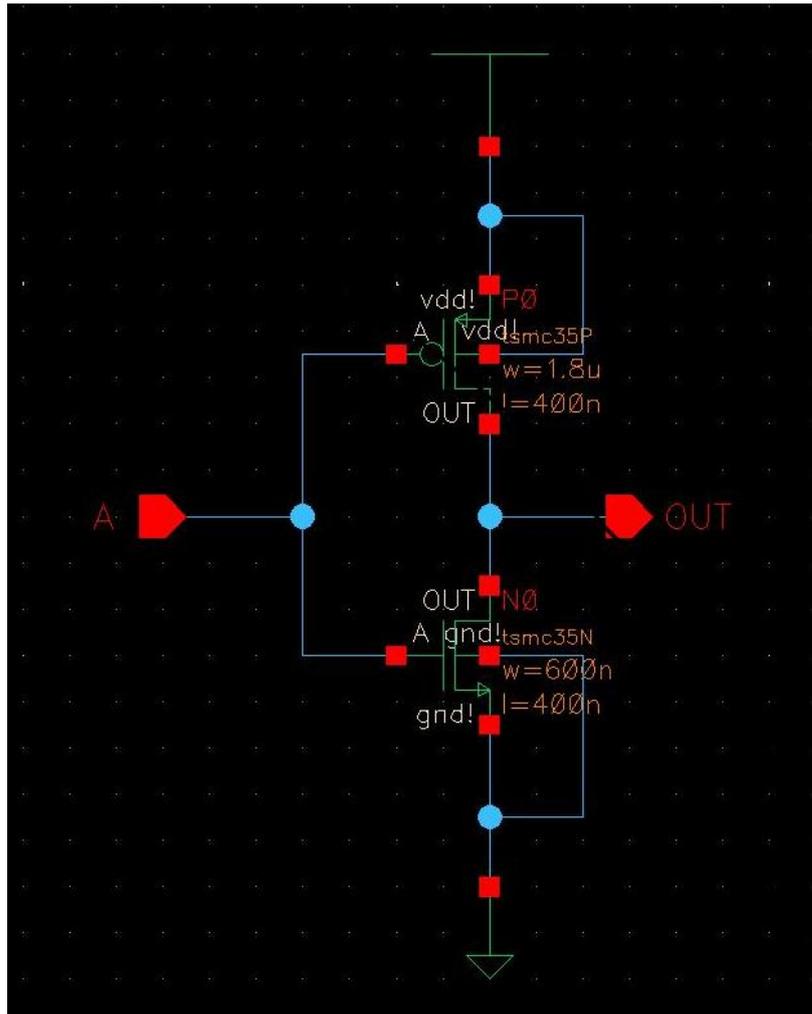


Figura 4 – Esquemático porta NOT

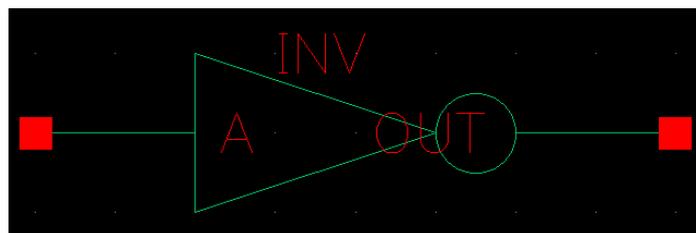


Figura 5 – Representação porta NOT

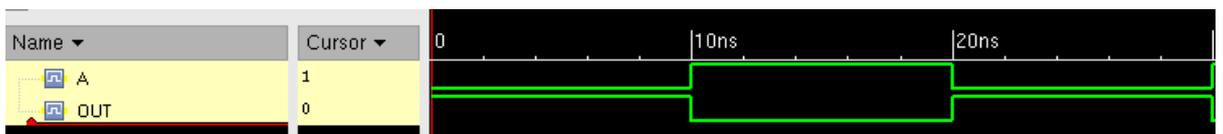


Gráfico 1 – Gráficos simulação porta NOT sem atraso

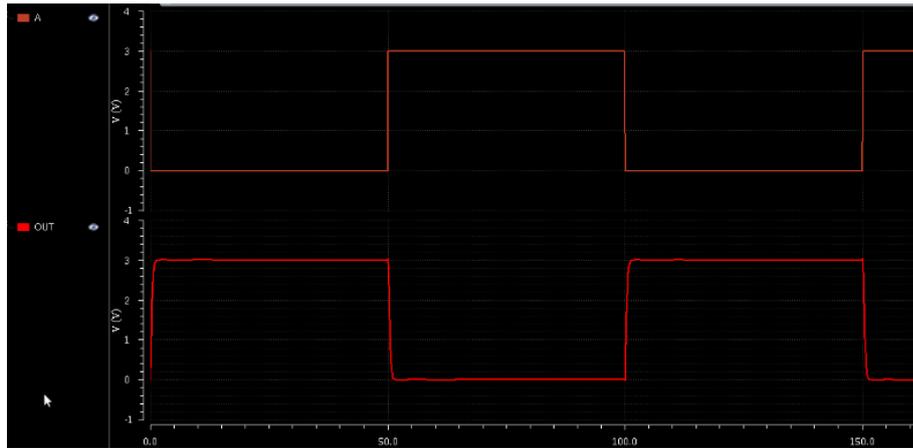


Gráfico 2 – Gráficos simulação porta NOT com atraso

	NOT
Tempo subida	675,8p s
Tempo descida	667,69p s
Tempo propagação subida	327,6p s
Tempo propagação descida	334,94p s

Tabela 3 – Tempos porta NOT

## 2.2.2 Porta OR

		W	L
NMOS	N0	600n m	400n m
	N1	600n m	400n m
	N2	600n m	400n m
PMOS	P0	3,6u m	400n m
	P1	3,6u m	400n m
	P2	1,8u m	400n m

Tabela 4 – Tamanho canal porta OR

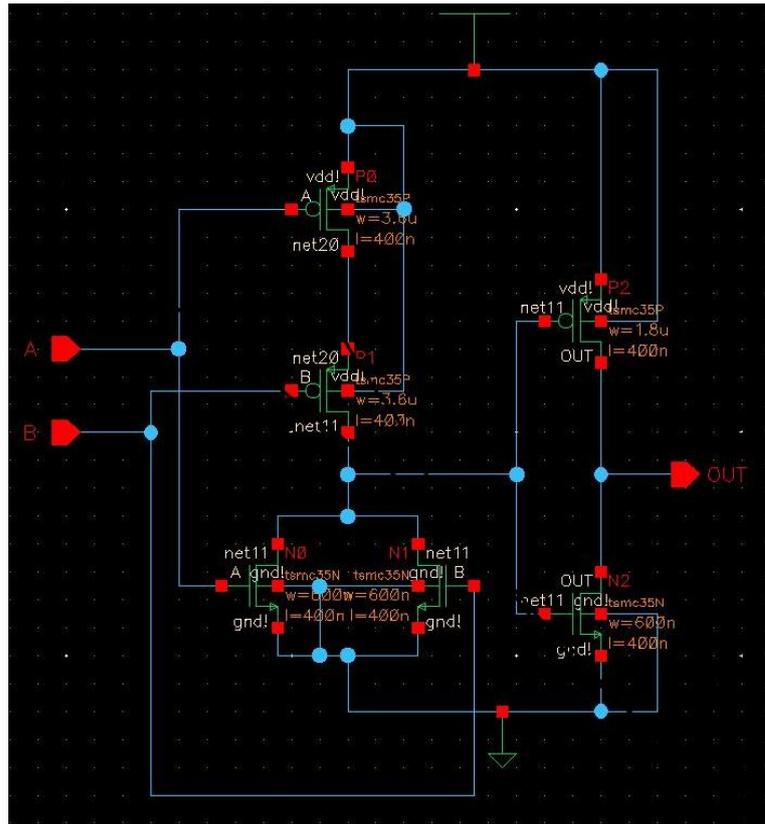


Figura 6 – Esquemático porta OR

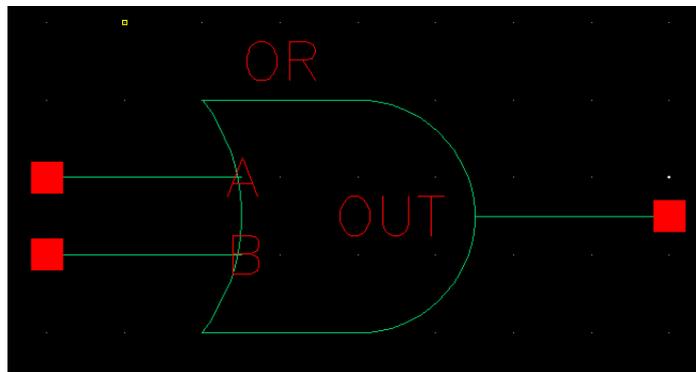


Figura 7 – Representação porta OR

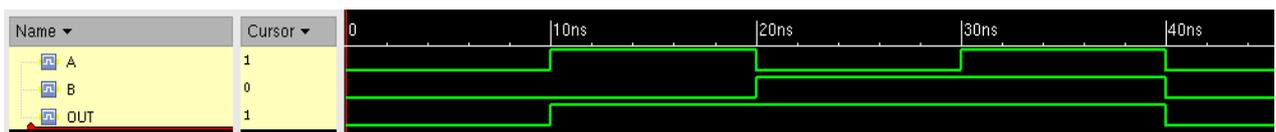


Gráfico 3 – Gráficos simulação porta OR sem atraso

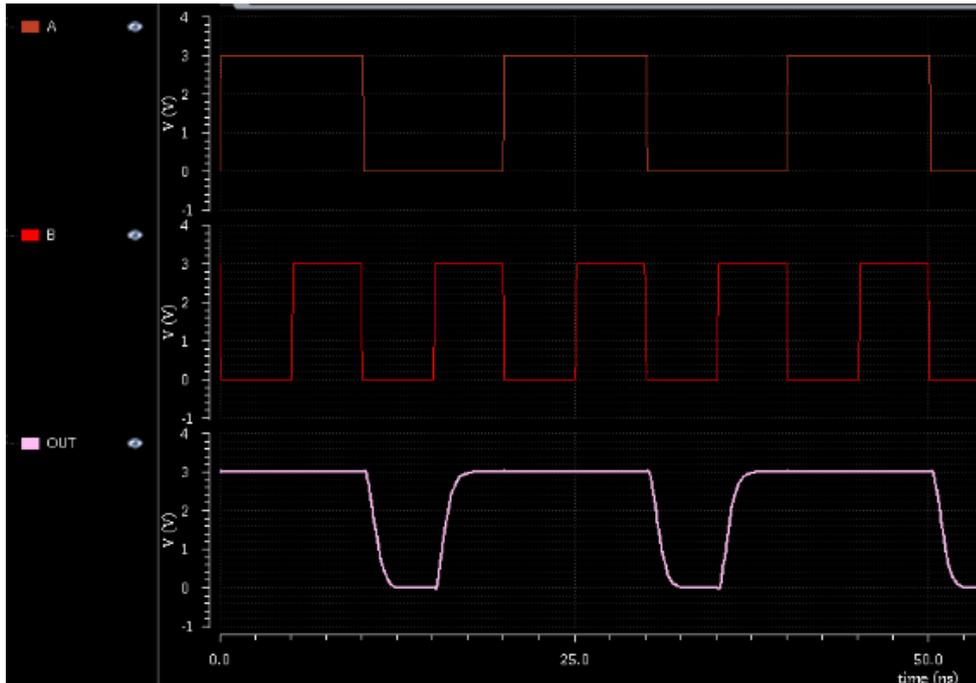


Gráfico 4 – Gráficos simulação porta OR com atraso

	OR
Tempo subida	1,189n s
Tempo descida	1,232n s
Tempo propagação subida	727,38p s
Tempo propagação descida	989,51p s

Tabela 5 – Tempos porta OR

### 2.2.3 Porta AND

		W	L
NMOS	N0	1,2u m	400n m
	N1	1,2 m	400n m
	N2	600n m	400n m
PMOS	P0	1,8u m	400n m
	P1	1,8u m	400n m
	P2	1,8u m	400n m

Tabela 6 – Tamanho Canal porta AND

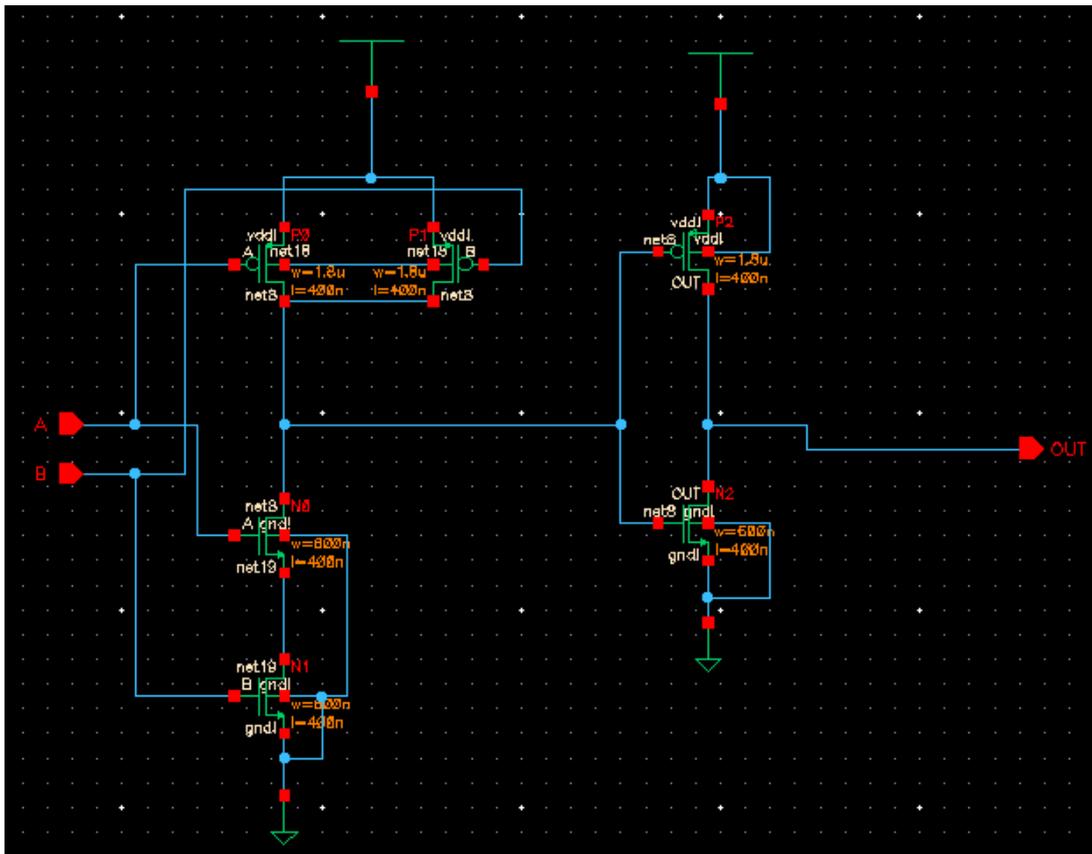


Figura 8 – Esquemático porta AND

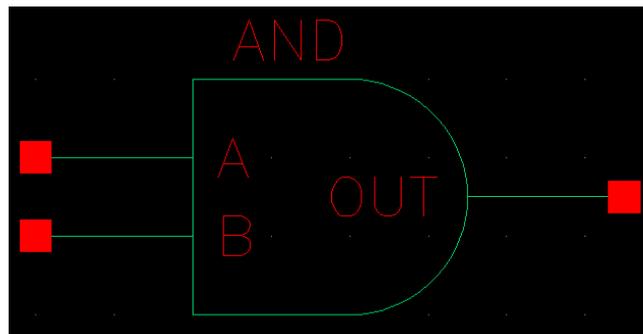


Figura 9 – Representação porta AND



Gráfico 5 – Gráficos simulação porta AND sem atraso

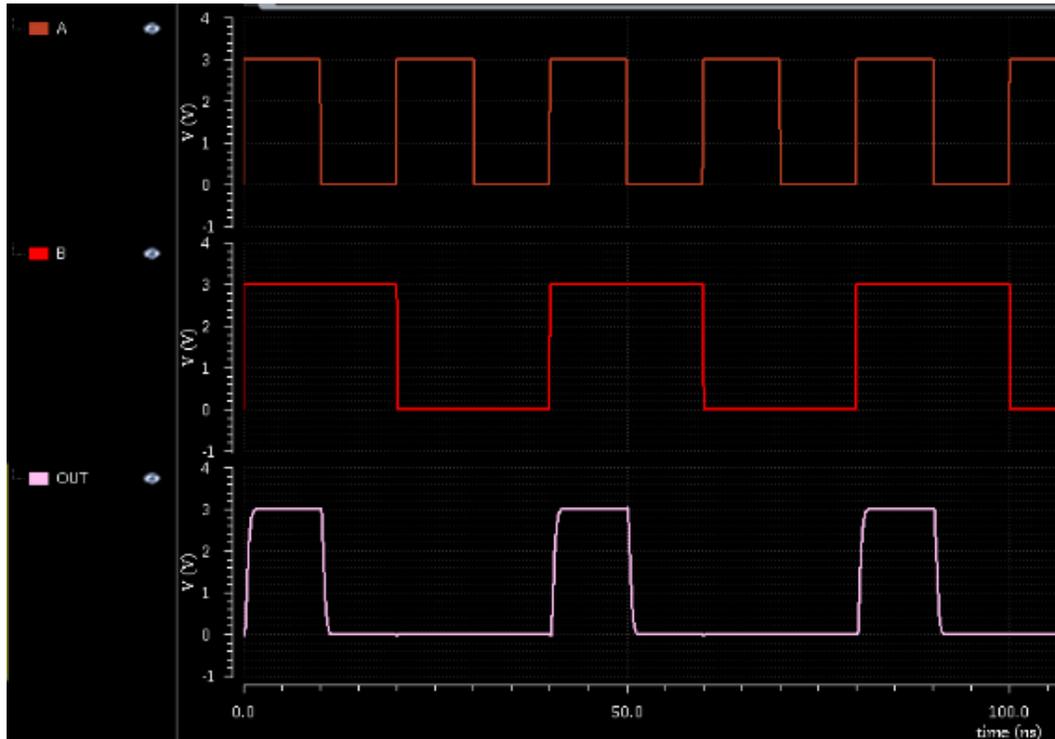


Gráfico 6 – Gráficos simulação porta AND com atraso

	AND
Tempo subida	682,9p s
Tempo descida	561,63p s
Tempo propagação subida	584,01p s
Tempo propagação descida	468,4p s

Tabela 7 – Tempos porta AND

#### 2.2.4 Porta XOR

Nota-se que foi necessário fazer um ajuste na largura do canal do transistores P2, esse ajuste ocorreu para se obter um gráfico sem que houvesse queda de tensão indesejadas no circuito.

		W	L
NMOS	N0	600n m	400n m
	N1	600n m	400n m
	N2	600n m	400n m
PMOS	P0	1,8u m	400n m
	P1	1,8u m	400n m
	P2	4,5u m	400n m

Tabela 8 – Tamanho Canal porta XOR

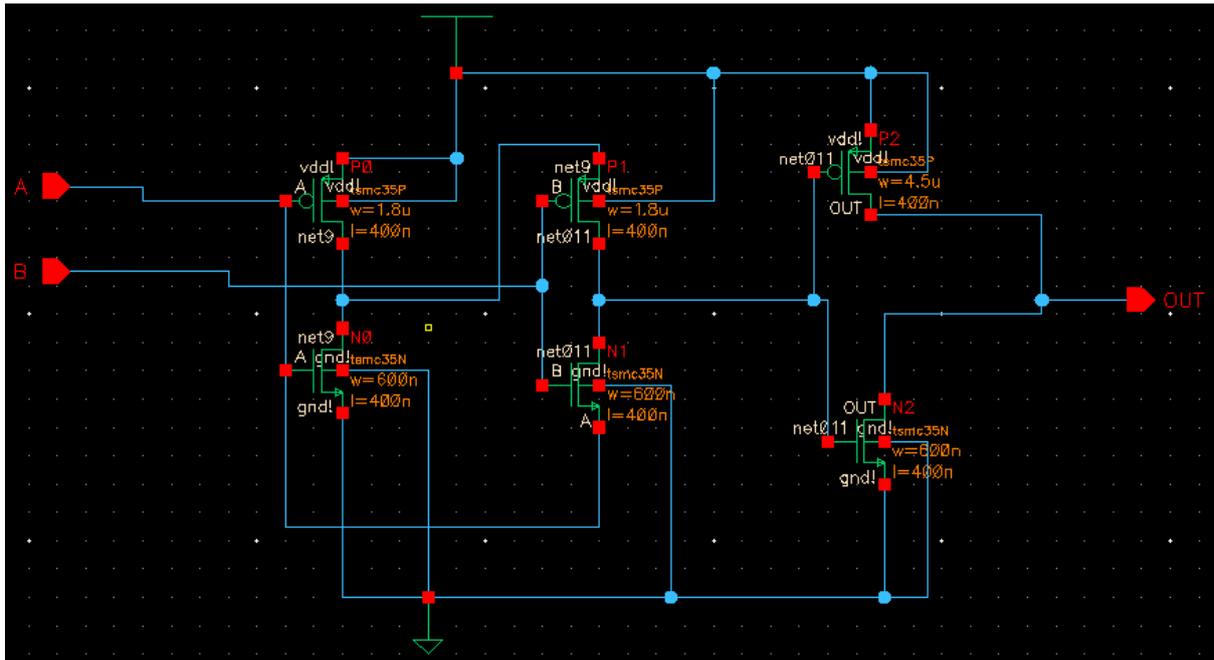


Figura 10 – Esquemático porta XOR

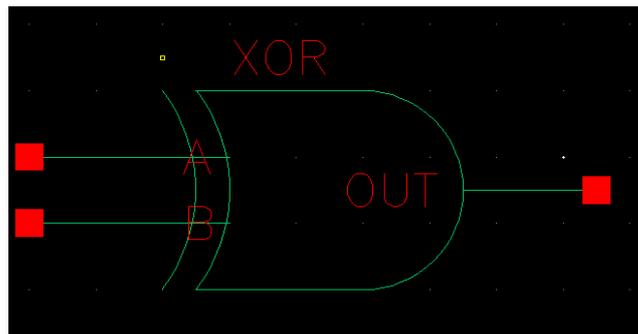


Figura 11 – Representação porta XOR

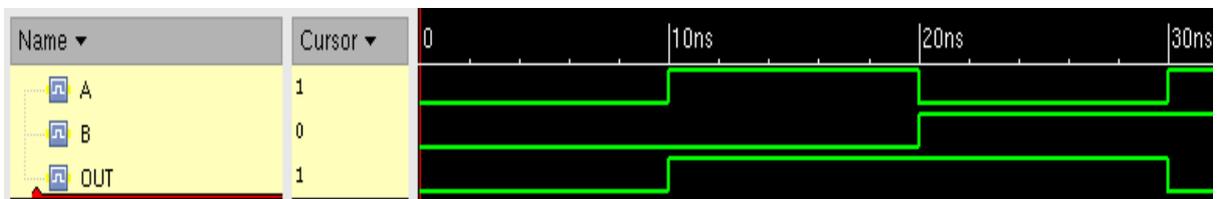


Gráfico 7 – Gráficos simulação porta XOR sem atraso

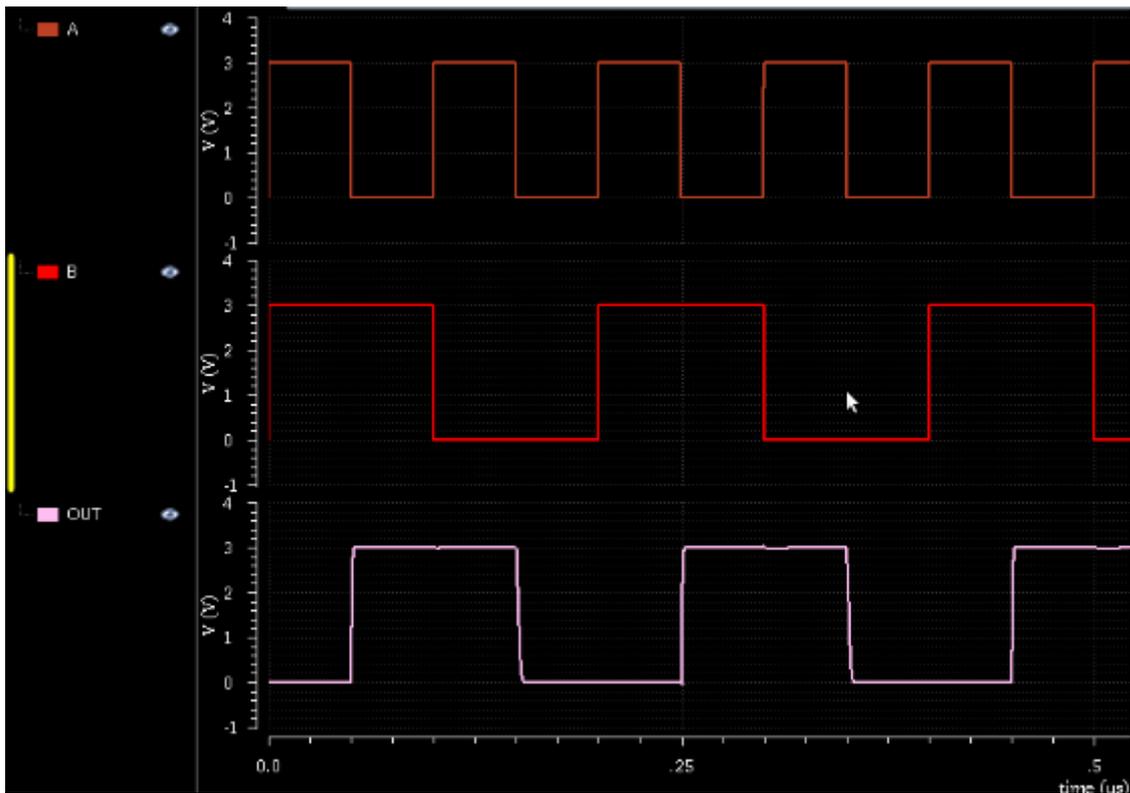


Gráfico 8 – Gráficos simulação porta XOR com atraso

	XOR
Tempo subida	870,8p s
Tempo descida	2,2309n s
Tempo propagação subida	145,2p s
Tempo propagação descida	1,1552n s

Tabela 9 – Tempos porta XOR

### 2.2.5 Subtrator de 1 bit

Comparando os resultados obtidos com os resultados teóricos podemos constatar a veracidade dos circuitos simulados, nota-se que os tempos obtidos ficaram muito próximos aos tempos da porta NOT assegurando os corretos tamanhos do transistores das portas utilizadas. A partir deste ponto montamos o subtrator de 1 bit conforme a Figura 1.

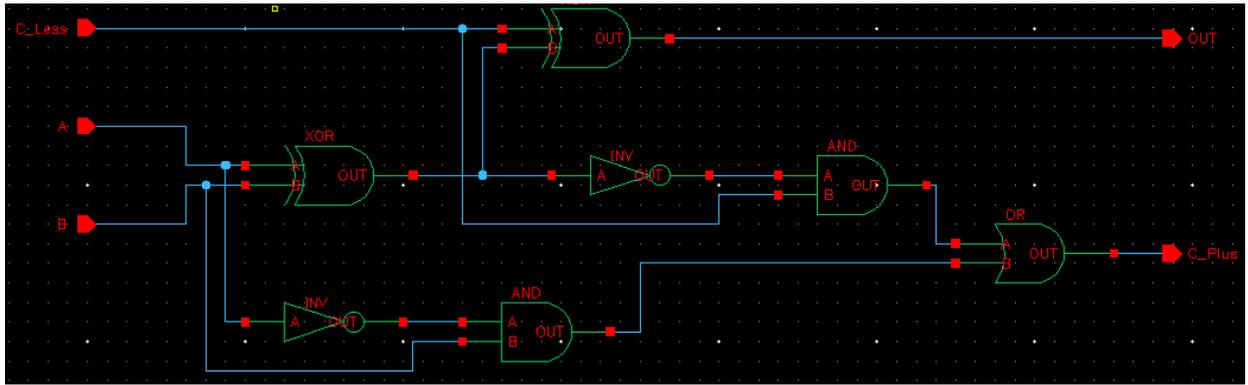


Figura 12 – Esquemático Subtrator 1 bit

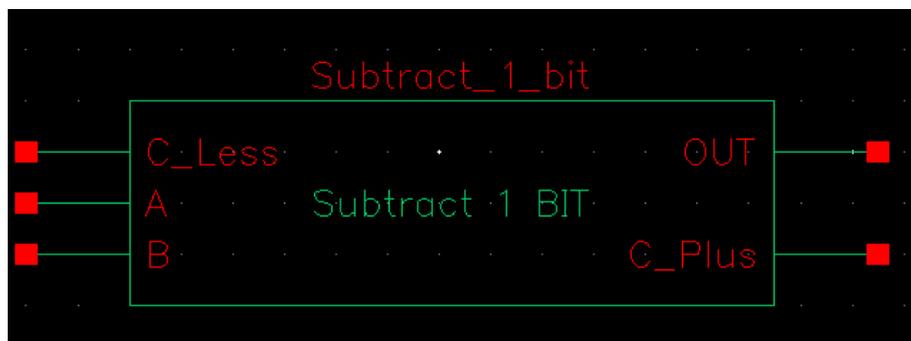


Figura 13 – Representação Subtrator 1 bit

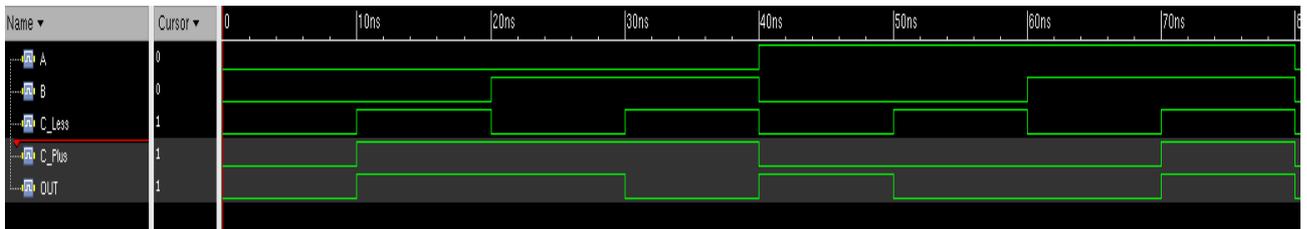


Gráfico 8 – Gráficos simulação Subtrator 1 bit sem atraso

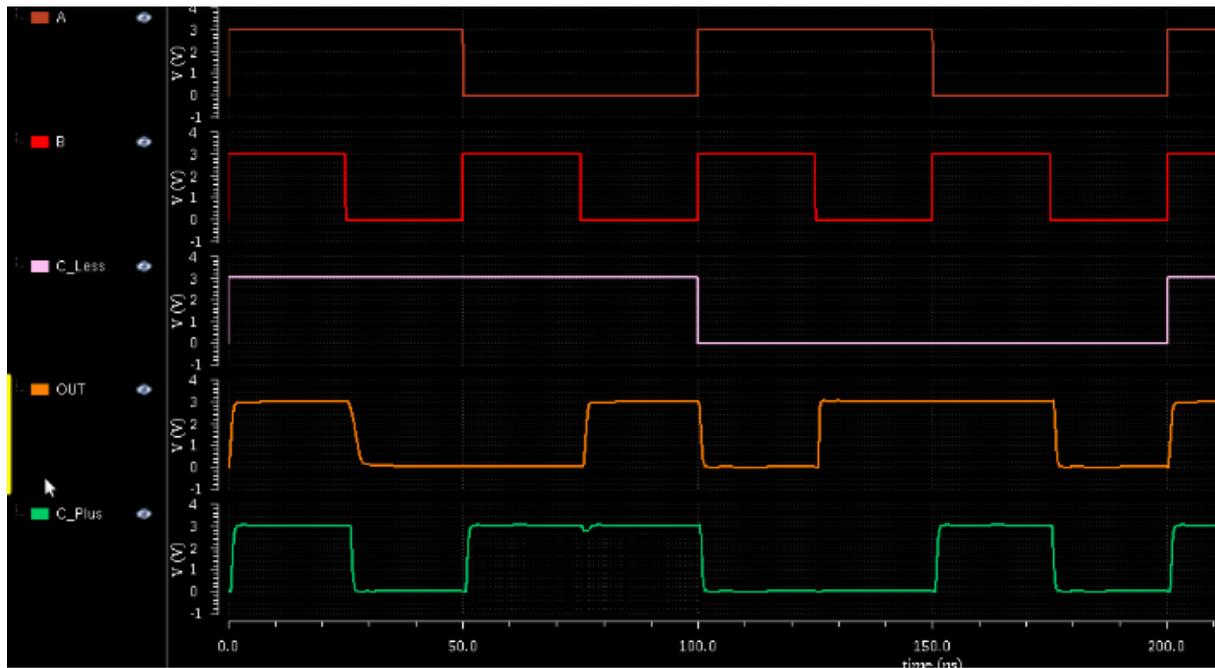


Gráfico 9 – Gráficos simulação Subtrator 1 bit com atraso

	Subtrator 1 bi	
	OUT	C_Plus
Tempo subida	1,0357n s	606,3p s
Tempo descida	763,8p s	530,8p s
Tempo propagação subida	783,2p s	783,9 s
Tempo propagação descida	1,003n s	705p s

Tabela 10 – Tempos porta NOT

Com a Tabela 1 e o Gráfico 9 podemos constatar o correto funcionamento do circuito subtrator.

### 2.2.6 Subtrator de 8 bits

Em seguida, com o subtrator de 1 bit funcionando corretamente, implementamos 8 deles em cascata com os carry, C\_less e C\_plus, ligados em serie e o primeiro carry C\_less ligado ao gnd.

A partir destes circuitos obtemos todas as simulações e gráficos.

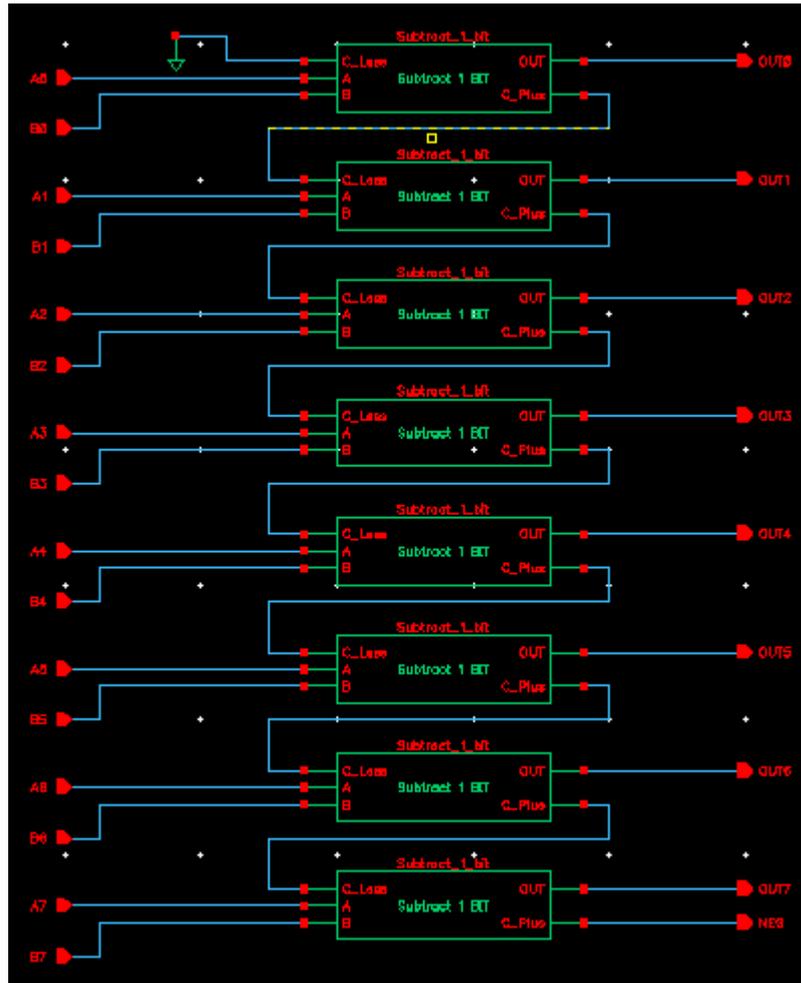


Figura 14 – Esquemático Subtrator 8 bit

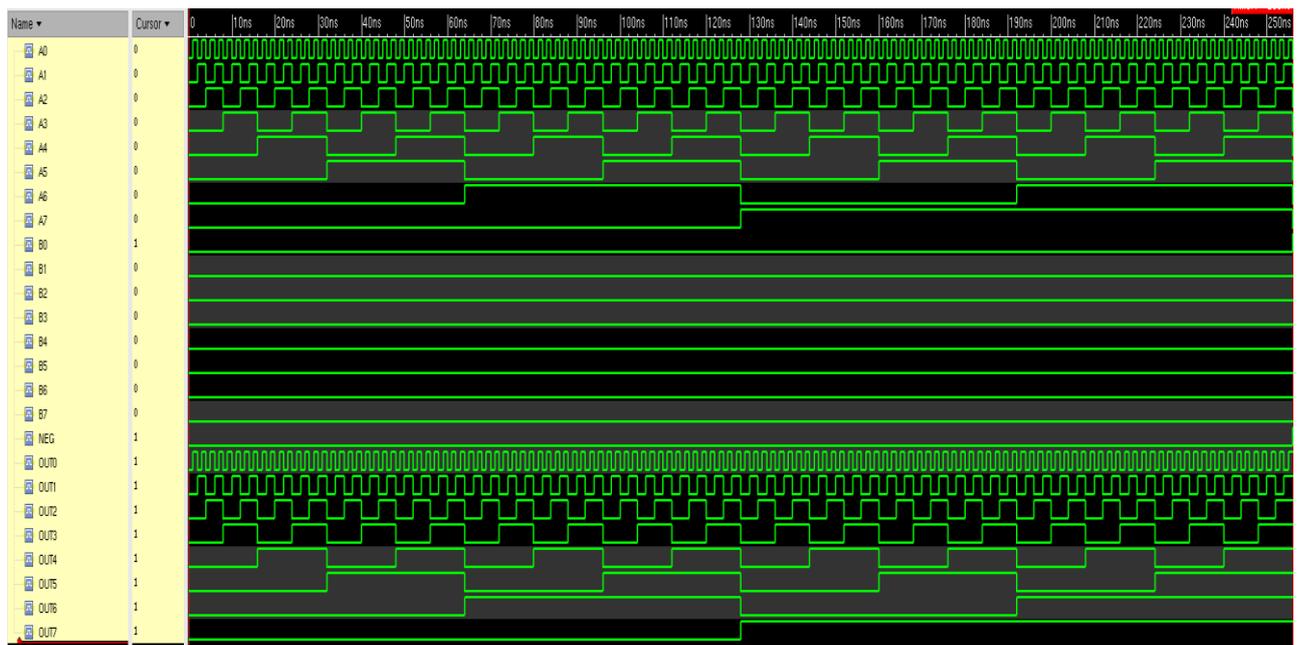


Gráfico 15 – Gráficos simulação Subtrator 8 bit sem atraso

Para simulação com atraso escolhemos o caso em que o atraso seria maior, onde temos deslocamento de carry para todos os subtratores. A seguir temos a representação deste exemplo e o tempos de propagação encontrados.

Primeiro Dado (A) = 00000000		00000000
Segundo Dado (B) = 00000001	-	00000001
Resultado (Out) = 11111111		11111111
Carry (NEG) = 1		

Para realizarmos a simulação utilizamos o circuito representado na Figura 15, utilizamos uma fonte com período de 100ns variando de 0 a 3V a entrada B0, com um capacitor de 50f F, com o circuito sendo alimentado por uma tensão de 3V. No gráfico 16 está representado as medidas das tensões das saídas, e no gráfico 17 está representando a tensão e a corrente da saída OUT0.

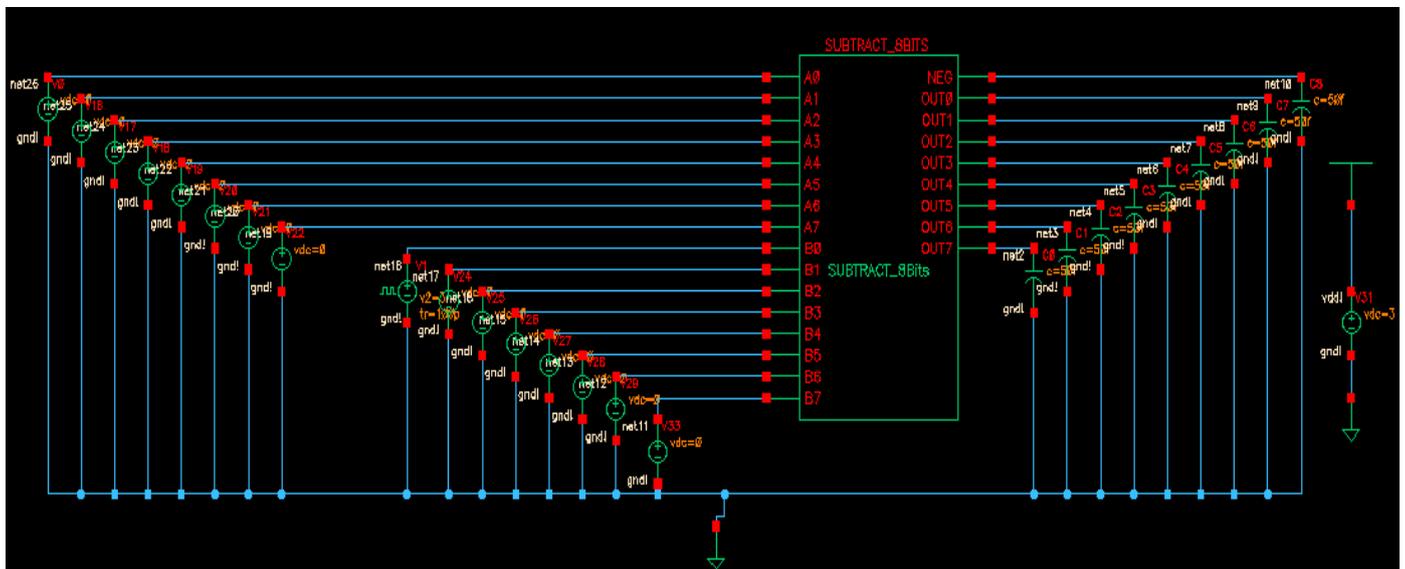


Figura 15 – Circuito utilizado para realizar a simulação do subtrator de 8 bits.

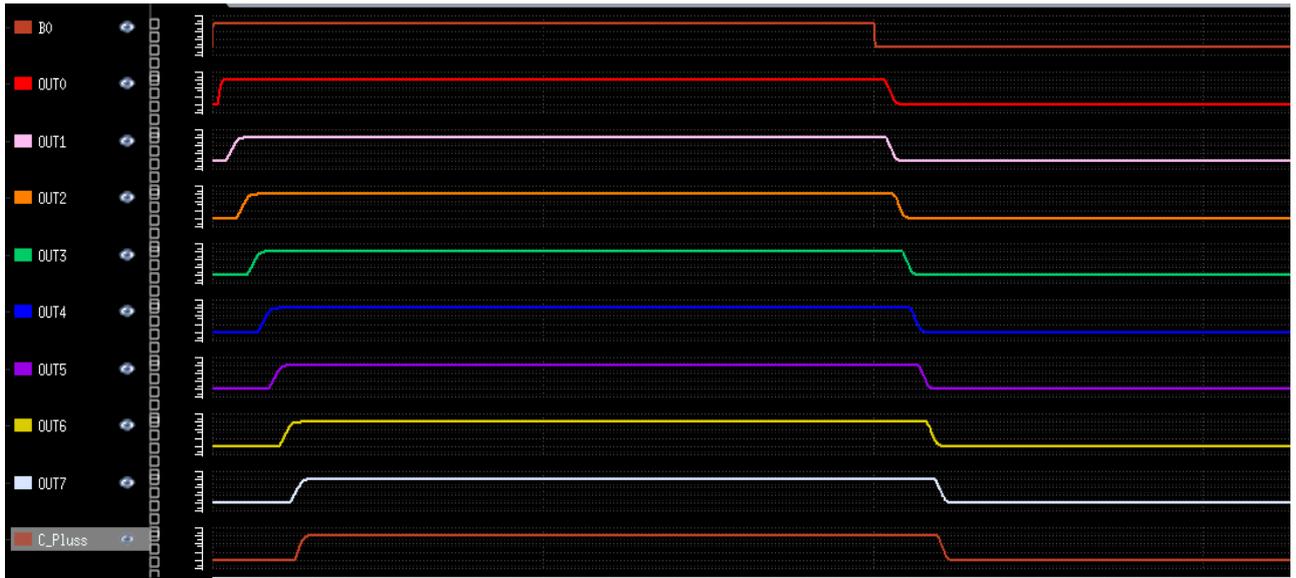


Gráfico 16 – Gráficos simulação Subtrator 8 bit com atraso

	Subtrator 8 bits	
	Out	NEG
Tempo propagação subida	6,48012n s	6,5615n s
Tempo propagação descida	5,02877n s	5,1570n s

Tabela 11 – Tempos porta NOT

Analisando esses tempos podemos determinar mínimo período de chaveamento para que não ocorra distorções nas saídas, esse tempo gira em torno de 11,7186n s, obtendo com isso uma frequência de aproximadamente 85,3 MHz. Ainda a partir desta simulação obtemos a potência dissipada pelo circuito.

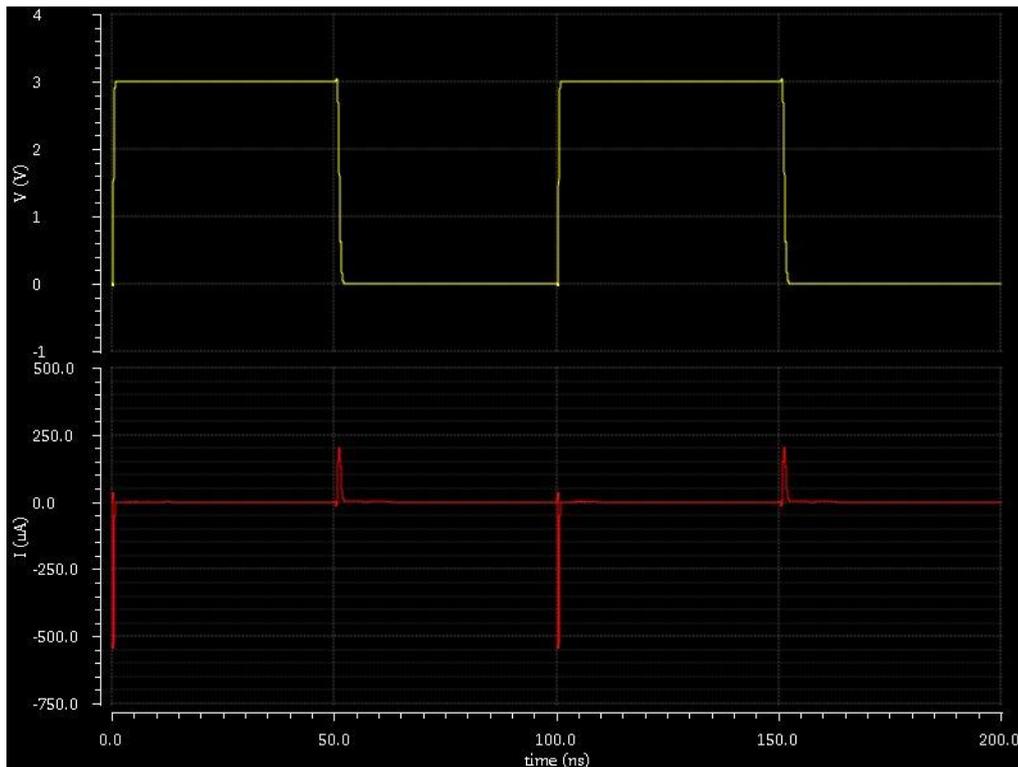


Gráfico 17 – Gráfico da tensão e da corrente da saída OUT0.

A partir do gráfico 17, calculamos a potência dissipada média da saída OUT0, utilizamos a equação 3 para calcularmos a potência média e resultou em 195,5 pW.

$$Pm = \frac{1}{T} * \int_0^T V * I dt$$

Equação 3 – Calculo da potência media dissipada.

Repetimos o mesmo procedimento para as demais saídas e obtemos uma potência total dissipada pelo circuito igual a 46,7 nW.

Para comprovarmos o correto funcionamento do circuito escolhemos dois exemplos para análise.

Primeiro Dado (A) = 10101000		10101000
Segundo Dado (B) = 10010110	-	10010110
Resultado (Out) = 00010010		00010010
Carry (NEG) = 0		

O NEG indica que o dado A é maior que o dado B obtendo o resultado positivo da subtração. O próximo exemplo utilizará o dado maior na entrada A e o dado menor na entrada B.

Primeiro Dado (A) = 10010110	
Segundo Dado (B) = 10101000	– 10010110
Resultado (Out) = 11101110	10101000
Carry (NEG) = 1	—————
	11101110

Nota-se que NEG estando em 1 o resultado será negativo, como uma possível futura implementação para se obter este número deverá ser implementado um circuito que realize o complemento do dado obtido e posteriormente somado 1 ao resultado, obtendo assim o valor correspondente.

### 3. Layout

Para finalizamos foram feitos os layout das portas lógicas de maneira a se obter o menor dimensionamento possível, em seguida agrupamos as portas lógicas de maneira a obtermos blocos de acordo com os esquemáticos apresentados anteriormente.

#### 3.1 Porta NOT

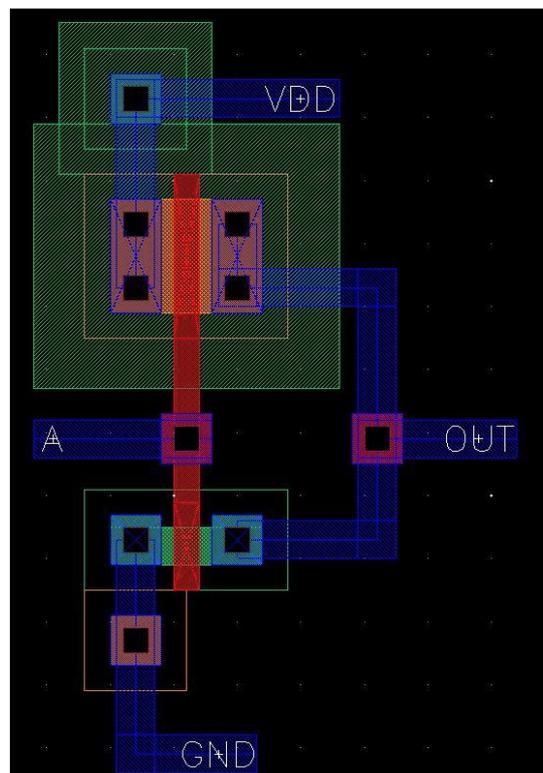


Figura 15 – Layout porta NOT

### 3.2 Porta OR

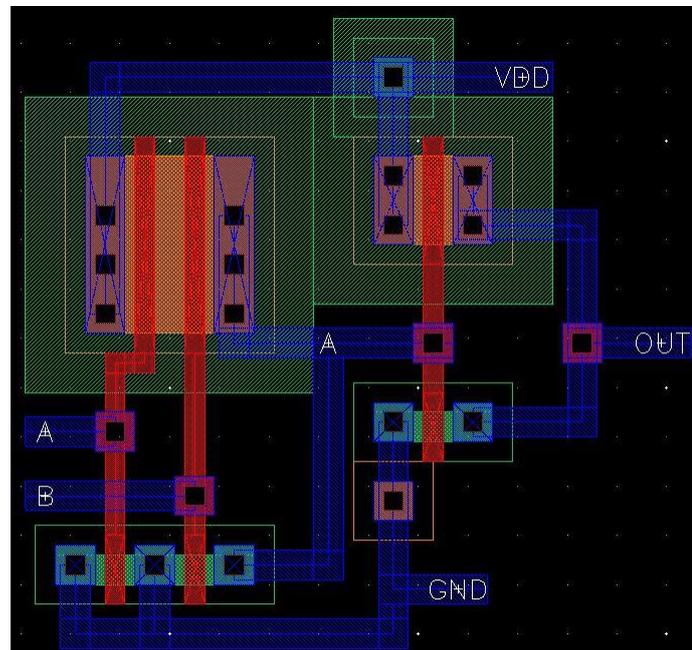


Figura 16 – Layout porta OR

### 3.3 Porta AND

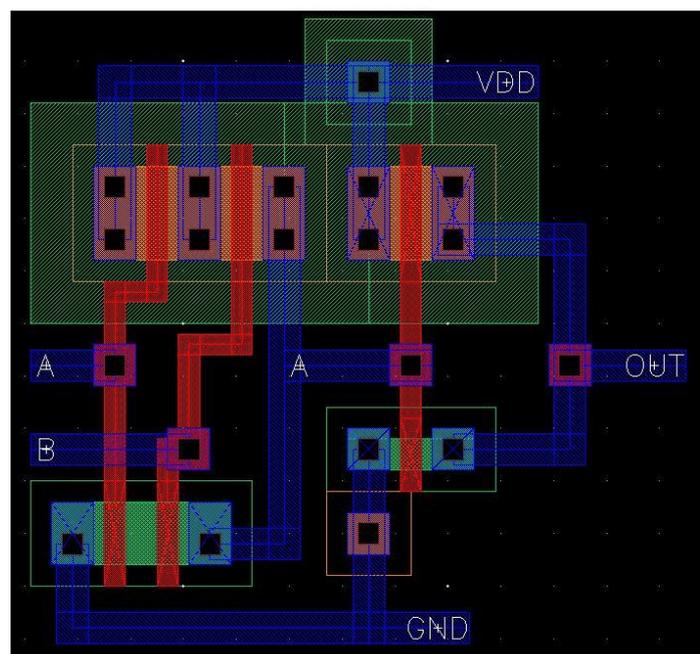


Figura 17 – Layout porta AND

### 3.4 Porta XOR

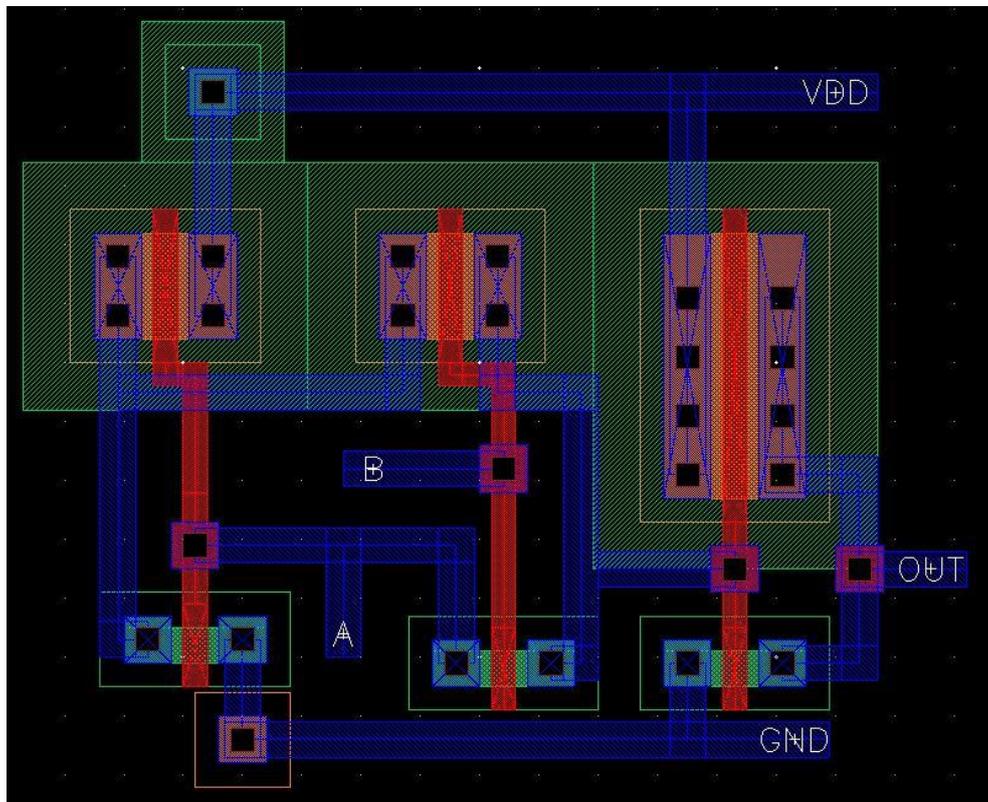


Figura 18 – Layout porta XOR

### 3.5 Subtrator de 1 bit

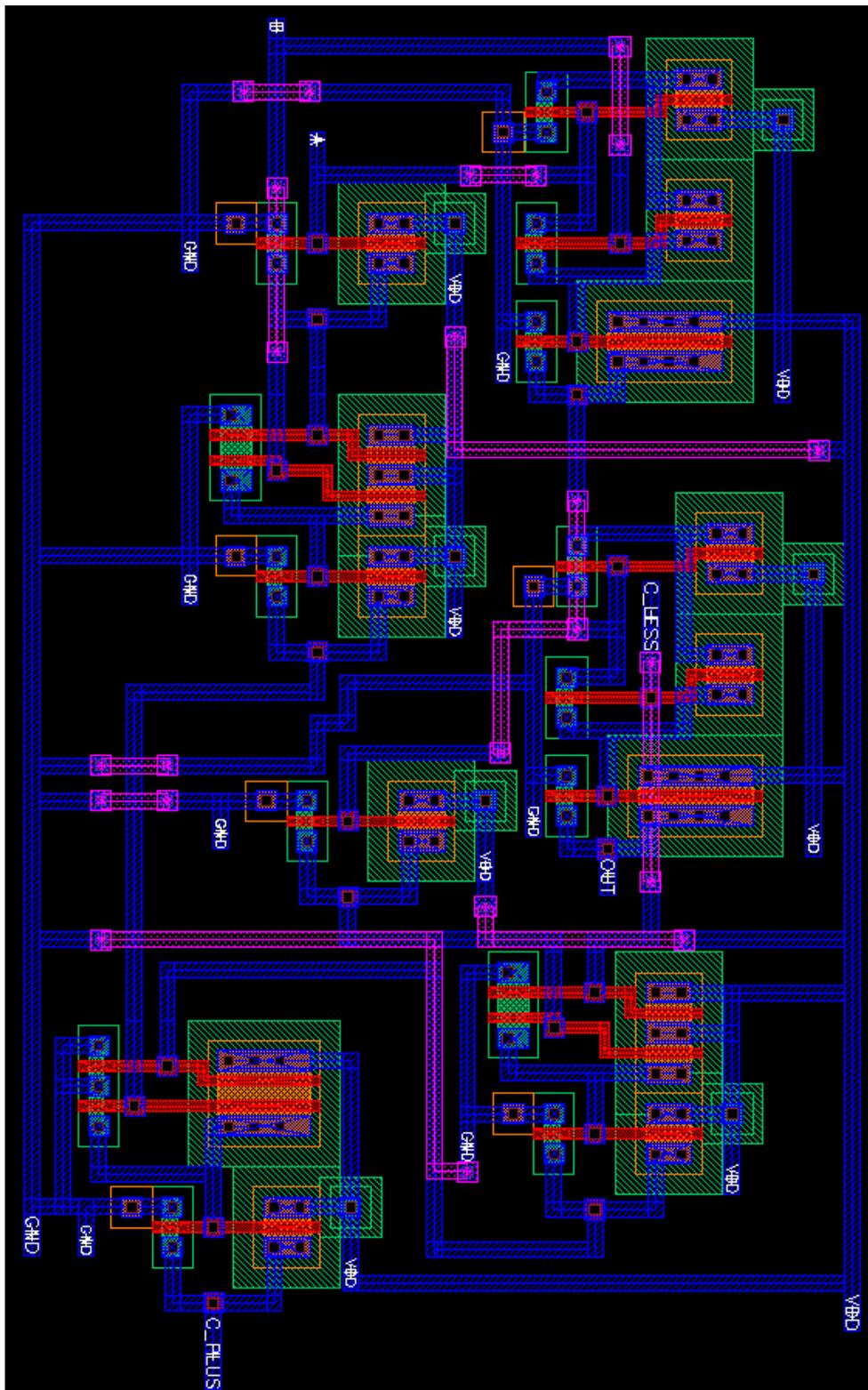


Figura 18 – Layout Subtrator de 1 bit

### 3.6 Subtrator de 8 bit

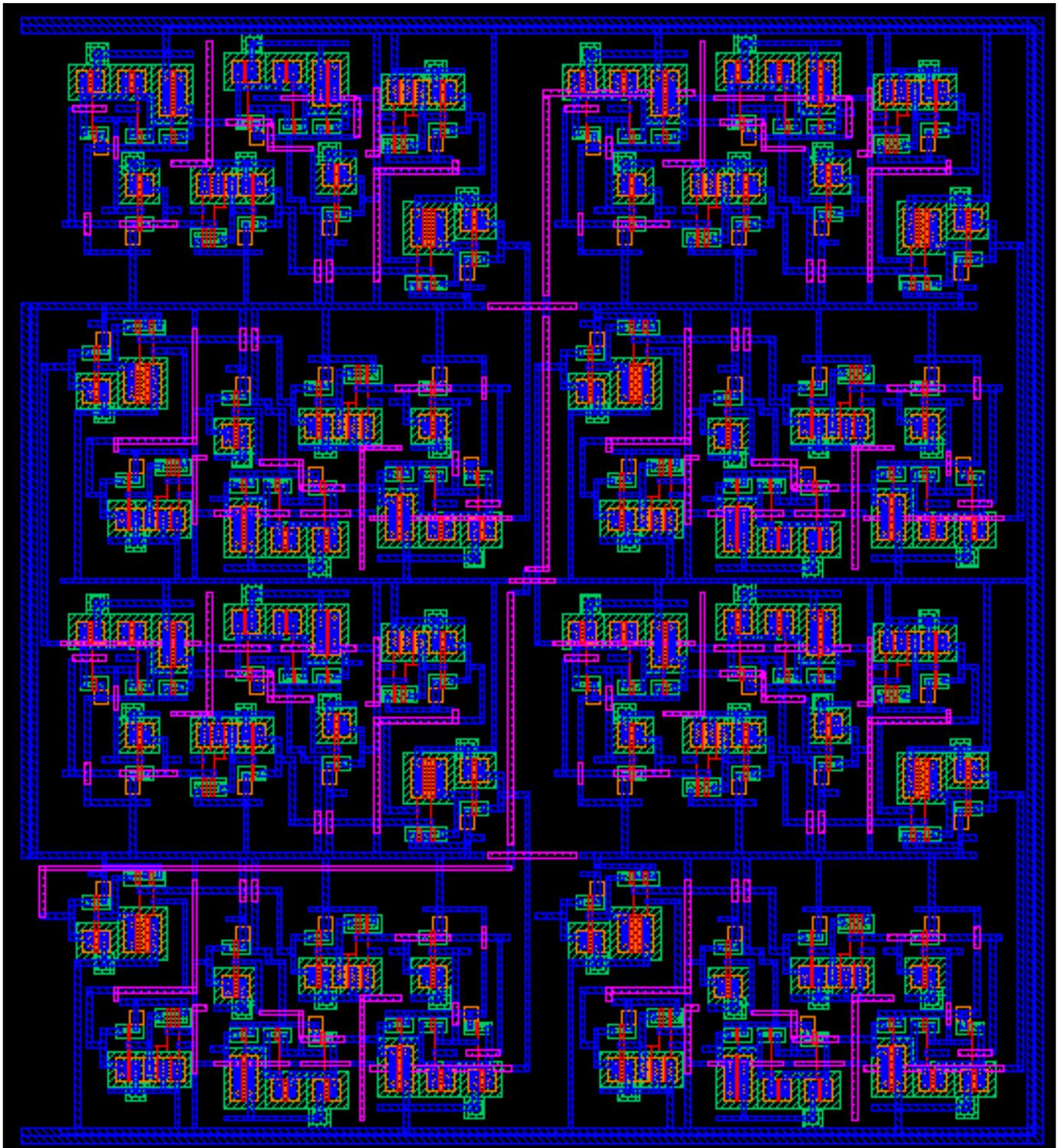


Figura 19 – Layout Subtrator de 8 bit área total(118.8x131.8nm) 15657.84 nm<sup>2</sup>

Para o subtrator de 8 bits foi replicado o bloco do subtrator de 1 bit 8 vezes, obtemos então um circuito integrado com um total de 272 transistores e uma área total de 15657.84 nm<sup>2</sup>.

#### 4. Conclusão

Com a excussão do projeto podemos solidificar a teoria vista em sala e adquirirmos novos conhecimentos. O projeto do subtrator é composto por 272 transistores e uma área mde 15657.84 nm<sup>2</sup>, dimensionados de forma a obter o melhor resultado possível, tempos de subida e descida o mais próximo da porta NOT.

Para seu correto funcionamento desfragmentamos o Subtrator de 8 bits em blocos de circuitos lógicos menores, primeiramente projetamos os tamanhos dos transistores para a otimização do circuito, em seguida foram feito os esquemáticos de cada porta juntamente com suas simulações comprovando seu funcionamento, após constatarmos o correto funcionamento dos blocos menores os agrupamos em um bloco maior, Subtrator de 1 bit .

Novamente realizamos as devidas simulações obtendo resultados satisfatórios e a parte de confecção do Subtrator replicando e interligando os bloco, formando o Subtrator de 8 bits, após o Subtrator de 8 bits estar montado fizemos o layout's de acordo com a norma MOSIS Scalable e os esquemáticos desenvolvidos sempre buscando a utilização da menor área possível.