

**PLANO DE ENSINO**  
**FICHA Nº 2 (variável) – 1º Semestre de 2018**

Disciplina: Eletrônica Digital I		Código: TE050
Natureza: (X) obrigatória ( ) optativa	Semestral (X) Anual ( ) Modular ( )	
Pré-requisito: Não tem	Co-requisito: Não tem	
Modalidade: (X) Presencial ( ) EaD ( ) 20% EaD		
<p>C.H. Semestral Total: 60 horas  C.H. Anual Total: -  C.H. Modular Total: -</p> <p>PD: 60 LB: 00 CP: 00 ES: 00 OR: 00  C.H. Semanal: 4 horas</p>		
<b>EMENTA (Unidades Didáticas)</b>		
Sistemas de Numeração; Álgebra Booleana, Portas Lógicas; Circuitos Lógicos Combinacionais; Circuitos de Memória; Flip-Flops; Circuitos Sequenciais; Aritmética Binária; Simulação Lógica.		
<b>PROGRAMA</b>		
<p><b>1. Sistemas de Numeração:</b>  Conceitos; Conversão de bases; Sistemas de numeração binário, hexadecimal e octal; Aritmética binária.</p> <p><b>2. Códigos Binários:</b>  Códigos numéricos; Códigos não numéricos</p> <p><b>3. Álgebra Lógica (Booleana):</b>  Operações básicas; Princípios e Teoremas; Portas Lógicas; Expressões Lógicas; Circuitos Lógicos; Estruturas de dois níveis de portas NAND/NOR.</p> <p><b>4. Funções Lógicas:</b>  Soma de Produtos; Produto de Somas; Análise e Síntese de Funções Lógicas; Mapa de Karnaugh; Método de Quine-McCluskey; Funções não especificadas completamente;</p> <p><b>5. Circuitos Combinacionais:</b>  Conceitos; Codificador; Decodificador; Comparador; Multiplexador; Demultiplexador; Somador; Subtrator.</p> <p><b>6. Circuitos de Memória:</b>  Latch SR; Latch Transparente (tipo D); Flip Flops SR, D, JK e T.</p> <p><b>7. Registradores:</b>  Registrador de Transferência; Registrador de Deslocamento; Contadores Assíncronos.</p> <p><b>8. Circuitos Sequenciais:</b>  Diagrama de Transição de Estados; Máquinas de Estado; Lógica de Entrada e Saída; Contadores Síncronos; Geradores e Detectores de Sequência de bits.</p>		
<b>OBJETIVO GERAL</b>		
Conhecer os conceitos e procedimentos necessários para o projeto de circuitos lógicos combinacionais e sequenciais.		
<b>OBJETIVO ESPECÍFICO</b>		
Ter condições de analisar circuitos lógicos combinacionais e sequenciais. Conhecer os procedimentos para a síntese e minimização de funções lógicas. Conhecer os procedimentos para o projeto de máquinas de estados e circuitos sequenciais.		
<b>PROCEDIMENTOS DIDÁTICOS</b>		
Aulas expositivas e resolução de exercícios em sala de aula. Serão utilizados quadro branco e projetor multimídia.		

continuação

## PLANO DE ENSINO

FICHA Nº 2 (variável)

### FORMAS DE AVALIAÇÃO

Serão realizadas três provas escritas (**P1, P2, P3**).

Conjunto de exercícios desenvolvidos pelo aluno em sala de aula (**Ex**).

Projeto Prático:

O Projeto Prático(**Proj**) é opcional, valendo 1,5 (um vírgula cinco) pontos, que serão acrescidos à **Média Parcial**.

**Cálculo da Média Parcial:**

$$\text{Média Parcial} = (P1 + P2 + P3 + Ex*0,6)/3,6$$

**Cálculo da Média Final:**

$$\text{Média Final} = \text{Média Parcial} + \text{Proj}$$

**Calendário de Provas para o 1º semestre de 2018:**

1ª Prova ( <b>P1</b> ):	28/Mar/2018	07:30 horas
2ª Prova ( <b>P2</b> ):	07/Mai/2017	07:30 horas
3ª Prova ( <b>P3</b> ):	13/Jun/2017	07:30 horas

Apresentação do Projeto Prático: dias 18 e 20/Jun/2018, das 07:30 às 09:30

Exame Final: 04/Jul/2018 07:30 horas

### BIBLIOGRAFIA BÁSICA

1. “Sistemas Digitais – Princípios e Aplicações”. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss. Editora LTC(2011).
2. “Eletrônica Digital Moderna e VHDL”. Volnei A. Pedroni. Editora Elsevier (2010).

### BIBLIOGRAFIA COMPLEMENTAR

1. “Circuitos Digitais e Microprocessadores”. Herbert Taub. Editora Mc Graw Hill.
2. “Digital Fundamentals”. Thomas L. Floyd. Editora Prentice Hall.
3. “Digital Logic and State Machine Design”. David J. Comer. Editora Oxford University Press.

**Professor da Disciplina: Ademar Luiz Pastro**

**Assinatura:** \_\_\_\_\_

**Chefe de Departamento: Edson José Pacheco**

**Assinatura:** \_\_\_\_\_

Legenda:

Conforme Resolução 15/10-CEPE: PD- Padrão LB – Laboratório CP – Campo ES – Estágio OR - Orientada