

MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DO PARANÁ

EDUARDO ESMANHOTTO
LUCAS ERNESTO LEMOS

**MODELAGEM DE UMA MALHA DE CAPTURA DE FASE DE BAIXA
TENSÃO**

CURITIBA

2018

EDUARDO ESMANHOTTO
LUCAS ERNESTO LEMOS

MODELAGEM DE UMA MALHA DE CAPTURA DE FASE DE BAIXA TENSÃO

Trabalho de conclusão de curso apresentado como requisito parcial para a obtenção do grau de engenheiro eletrícista, no programa de graduação em engenharia elétrica da Universidade Federal do Paraná.

Orientador: Prof. Dr. André Augusto Mariano

Co-Orientador: Prof. Dr. Bernardo Leite

CURITIBA

2018

TERMO DE APROVAÇÃO

EDUARDO ESMANHOTTO
LUCAS ERNESTO LEMOS

MODELAGEM DE UMA MALHA DE CAPTURA DE FASE DE BAIXA TENSÃO

Trabalho de conclusão de curso apresentado ao Curso de Graduação em Engenharia Elétrica da Universidade Federal do Paraná como requisito parcial à obtenção do título de Engenheiro Eletricista.

Prof. Ph.D. André Augusto Mariano
Departamento de Engenharia Elétrica, UFPR

Prof. Dr. Evelio Martín García Fernández
Departamento de Engenharia Elétrica, UFPR

Prof. Ph.D. Eduardo Gonçalves de Lima
Departamento de Engenharia Elétrica, UFPR

Curitiba, 26 de novembro de 2018

Dedicamos este trabalho ao grupo GICS - Group of Integrated Circuits and Systems.

AGRADECIMENTOS

Deixamos nossos agradecimentos a nossas famílias e amigos, que nos dão apoio nos momentos que precisamos. Agradecemos também à dedicação dos professores que nos permitem chegar mais longe.

RESUMO

As malhas de captura de fase (PLL) são fundamentais para comunicação de Rádio Frequência (RF) porque atuam, sobretudo, na síntese de sinais. A PLL tem também como função a sincronização de sinais e é composta por diferentes blocos. Um deles é o oscilador controlado por tensão (VCO), responsável pela geração de sinal da malha. Nos dias de hoje, o *time-to-market* é um parâmetro importante na concepção de circuitos integrados. Neste contexto, o design do sistema precisa ser levado em conta. Algumas soluções para este problema são a cossimulação (DEPREUW, 2006) ou a simulação interligada entre vários níveis do sistema (NICOLLE et al., 2007). Nesse trabalho, propomos o desenvolvimento de um ambiente de simulação comportamental de uma PLL utilizando o software MATLAB Simulink com o objetivo de que a solução proposta seja o ponto de partida para um design *top-down* de uma PLL adaptada para a internet das coisas.

Palavras Chave Rádio Frequência, PLL, Modelagem, MATLAB

ABSTRACT

Phase Locked Loops (PLL) are fundamental for Radio Frequency (RF) Systems thanks to their capacity of frequency synthesis. The PLL has also the function of signal synchronization and is a system made of different blocs. The Voltage-Controlled Oscillator (VCO) is the main functional block and is responsible for the signal generation on the loop. Nowadays, time-to-market is a crucial parameter for integrated circuits design. To overcome this very competitive scenario, system design must be taken into account. Some of the solutions for PLL behavioral system design includes cossimulation (DEPREUW, 2006) or the connected simulation between different levels of the system (NICOLLE et al., 2007). The present study aims the development of an simulation enviroment with the goal of creating a system solution suitable for top-down design methodology.

Key-words: Radio Frequency, PLL, Modelling, MATLAB

LISTA DE FIGURAS

2.1	Esquema de sistema de recepção e transmissão em RF. Fonte: (KROUPA, 2003).	13
2.2	Esquema clássico para malha de captura de fase. Bloco PD (<i>Phase Detector</i>) é o detector de fase; LPF (<i>Low Pass Filter</i>) o filtro passa-baixa; VCO (<i>Voltage-controlled Oscillator</i>) é o oscilador controlado por tensão; N é um inteiro. Fonte: (KROUPA, 2003).	14
2.3	Esquema do modelo dos blocos de uma PLL no domínio da frequência. Fonte: (KROUPA, 2003).	19
2.4	Esquema de um detector de fase digital típico com <i>Flip-Flops</i> do tipo D. Fonte: (CURTIN, 1999).	20
2.5	Formas de onda do detector de fase digital. Fonte: (CURTIN, 1999). . .	21
2.6	Formatos de onda do detector de fase digital. Os sinais têm a mesma frequência, mas fases diferentes. Fonte: (CURTIN, 1999).	21
2.7	Filtro RC de primeira ordem do tipo passa-baixas. Fonte: (LACAITA; SAMORI, 2007).	22
2.8	Resposta em frequência de um filtro RC passa-baixas. Fonte: os autores.	23
2.9	Principais tipos de osciladores controlados por tensão. a) Oscilador do tipo LC. b) Oscilador do tipo anel de inversores. Fonte: (VOICU, 2012).	23
2.10	Espectro do sinal de saída do VCO: à esquerda sem ruído de fase e, à direita, com a presença de ruído de fase. Fonte: (REN; EL-SANKARY; EL-MASRY, 2010).	24
2.11	Sinal de entrada no VCO. Fonte: os autores.	25
2.12	Sinal de referência presente na entrada da PLL. Fonte: os autores. . . .	26
2.13	Sinal de saída do VCO, defasado do sinal de entrada. Fonte: os autores.	26
2.14	Sinal de saída do VCO, seguindo múltiplos do sinal de entrada. Fonte: os autores.	27
2.15	Esquema lógico do circuito <i>prescaler</i> , responsável por dividir a frequência na realimentação do sistema PLL. Fonte: (KAMAL, 2000). . .	28
2.16	Perfil genérico do ruído em osciladores. Fonte: (EGAN, 2007a).	29
3.1	Descritivo em blocos da metodologia do projeto. O objetivo é chegar a um modelo comportamental de uma PLL. Fonte: os autores.	31
3.2	Participação deste trabalho no fluxo de concepção projeto de uma PLL. Fonte: os autores.	32
3.3	Exemplo do esquema de aplicação da cossimulação entre MATLAB Simulink e Cadence Virtuoso. Fonte: MathWorks.	33
4.1	Esquema de blocos de uma PLL genérica no domínio S. As entradas e saídas representam o comportamento da fase. Fonte: os autores. . . .	36
4.2	Esquema de blocos de uma PLL de segunda ordem. Assume-se que o filtro seja de primeira ordem. Fonte: os autores.	37
4.3	Visão geral sobre a interface construída em Matlab. Fonte: os autores.	39
4.4	Parâmetros de entrada da interface: região 1. Fonte: os autores.	40
4.5	Módulo da transformada de Fourier de 5 períodos um sinal senoidal (azul) e da mesma quantidade de períodos para um sinal com <i>jitter</i> . . .	41

4.6	Gráfico exemplo da resposta ao degrau: região 2. Fonte: os autores. . .	42
4.7	Representação da PLL no domínio da frequência	44
4.8	Resposta em frequência em malha fechada. Fonte: os autores	44
4.9	Diagrama de Bode contendo a magnitude e a fase da resposta em frequência do sistema em malha aberta (região 4). Fonte: os autores. .	45
4.10	Espectro de potência do ruído no sistema (região 5). Fonte: os autores.	47
4.11	Parâmetros de entrada da interface: região 6. Fonte: os autores.	48
4.12	Modelo temporal de uma PLL híbrida (analógica e digital) concebida no <i>software</i> MATLAB Simulink. Fonte: os autores.	49
4.13	Modelo comportamental do Detector de Fase Digital implementado. Fonte: os autores.	50
4.14	Modelo comportamental do Divisor de Frequências implementado. Fonte: os autores.	50
4.15	Modelo comportamental do VCO. Fonte: os autores.	51
4.16	Modelo comportamental do charge pump e loop filter.	52
5.1	Modelo simulink da PLL com a cossimulação utilizando dados vindos do Cadence Virtuoso.	55

LISTA DE SIGLAS

IoT	Internet das coisas
RF	Rádio Frequência
PLL	Malha de captura de fase
VCO	Oscilador controlado por tensão
FD	Divisor de frequências
PD	<i>Phase detector</i>
LPF	<i>Low pass filter</i>
PPM	Partes por milhão
OL	Oscilador local
LNA	Amplificador de baixo ruído
PA	Power Amplifier
RG	Gerador de Referência
RdF	Ruído de Fase
FdM	Figura de Mérito

SUMÁRIO

RESUMO	6
ABSTRACT	7
1 INTRODUÇÃO	9
1.1 Objetivos	10
1.1.1 Objetivo Geral	10
1.1.2 Objetivos Específicos	10
1.1.3 Padrões utilizados	10
1.2 Estrutura do Trabalho	11
2 FUNDAMENTAÇÃO TEÓRICA	12
2.1 Sistemas de comunicação sem fio	12
2.2 Malhas de captura de fase	13
2.2.1 Solução no domínio do tempo	16
2.2.2 Solução no domínio da frequência	17
2.2.3 Detector de Fase Digital	19
2.2.4 Filtro passa-baixas	21
2.2.5 Oscilador controlado por tensão	23
2.2.6 Divisor de frequência	27
2.2.6.1 Divisor de frequência Inteiro N	27
2.2.7 Ruído de Fase	29
3 METODOLOGIA	31
3.1 Metodologia <i>top-down</i>	32
3.2 Modelagem MATLAB	32
3.3 Comparação com o estado da arte	33
4 PROJETO	35
4.1 Modelagem da malha de captura de fase	35
4.2 Interface Matlab - PLL Tuner	38
4.2.1 Interface completa	38
4.2.2 Parâmetros de Entrada	39
4.2.3 Resposta ao Degrau	40
4.2.4 Resposta em frequência em malha fechada	43
4.2.5 Resposta em frequência em malha aberta	45
4.2.6 Ruído de fase	46
4.2.7 Parâmetros de saída	47
4.3 Modelo comportamental	48
4.3.1 Detector de Fase	49
4.3.2 Divisor de Frequências	50
4.3.3 Modelo do VCO	51
4.3.4 Modelo do <i>Loop Filter</i> e <i>Charge Pump</i>	51
5 CONCLUSÃO	54

5.1	Conclusão do trabalho desenvolvido	54
5.1.1	Trabalhos Futuros	55
	BIBLIOGRAFIA	60

CAPÍTULO 1

INTRODUÇÃO

Nos últimos anos, o número de objetos conectados explodiu, sobretudo graças ao surgimento da Internet das Coisas (do inglês, *Internet of Things*, IoT). O baixo custo de componentes como sensores e a diminuição de escala de tecnologias de microprocessadores em conjunto com o aumento da conectividade sem fio resultou em muitos objetos construídos de maneira "smart", tornando possível a conexão entre diferentes aparelhos. Produtos de sucesso precisam atingir requisitos competitivos que incluem conexão sem fio duradoura e confiável, alto poder de processamento e, especialmente, baixo consumo de potência, devido ao fato de que na maioria das vezes estes aparelhos são portáteis e, portanto, alimentados por baterias com dimensões reduzidas.

Neste contexto, um dos maiores desafios de projeto para objetos sem fio é a concepção de um *front end* analógico ou de radiofrequência (RF) que opere em potências baixas. Um bloco básico de um sistema de recepção é a malha de captura de fase (do inglês, *Phase Locked Loop*, PLL). Na PLL, o sinal de saída é comparado constantemente com o sinal de entrada e, caso a fase dos sinais seja a mesma, a PLL vai bloquear o sinal, atuando como uma espécie de controlador. Além disso, a PLL é capaz de sintetizar o sinal de saída em frequências múltiplas das frequências de entrada.

A PLL é um dos maiores consumidores de potência de sistemas de radiofrequência e é responsável por até 30% do consumo energético. Os principais consumidores de potência de uma PLL são o oscilador controlado por tensão (do inglês, *Voltage Controlled Oscillator*, VCO) e o divisor de frequências (do inglês, *Frequency Divider*, FD).

Pensando no ponto de partida para a concepção de uma PLL, este trabalho

propõe um modelo comportamental que permita servir como prova de conceito do funcionamento de um circuito PLL. Busca-se, com a implementação deste modelo, otimizar o fluxo de concepção do circuito PLL e reduzir o tempo de execução do projeto como um todo.

1.1 Objetivos

1.1.1 Objetivo Geral

Realizar uma prova de conceito a nível sistema e concepção de uma PLL para averiguar a capacidade de sua utilização em um receptor de rádiofrequência, embasado em blocos no estado da arte cascadeados. Desta maneira, o objetivo é alcançar um modelo comportamental que seja capaz de descrever completamente o comportamento do sistema da PLL, sendo útil como ponto de partida para trabalhos futuros de projeto e implementação do circuito.

1.1.2 Objetivos Específicos

- Verificação do Estado da Arte do trabalho proposto;
- Compreensão do modelo comportamental de uma PLL;
- Criação no *software* MATLAB Simulink dos diferentes blocos do sistema;
- Simular modelos criados no *software* MATLAB Simulink para averiguar o funcionamento do sistema como um todo;
- Verificar o funcionamento dos blocos separadamente do posto de vista temporal e no domínio da fase;
- Propor um ambiente de simulação que poderá verificar o funcionamento real do sistema que conte com a presença de ruídos e aspectos não ideais do circuito.

1.1.3 Padrões utilizados

- Norma ABNT;

- *Software Mathworks MATLAB e Simulink* (Para a geração dos gráficos e simulação);
- *Software Simulink* (Para a implementação do modelo comportamental);
- *Linguagem de programação MATLAB* (Para a implementação de rotinas e tratamento dos resultados).

1.2 Estrutura do Trabalho

O próximo capítulo deste trabalho (capítulo 2) é uma discussão teórica do funcionamento da PLL, além de reunir arquiteturas, dados e formas de ondas que nos ajudam a compreender cada bloco participante da malha. Depois, no capítulo 3, apresentamos como vamos alcançar nossos objetivos, através da explicação da metodologia de trabalho e ferramentas adotadas. O capítulo 4 reúne o trabalho desenvolvido e resultados. Por último, a conclusão do trabalho aparece no capítulo 5.

CAPÍTULO 2

FUNDAMENTAÇÃO TEÓRICA

2.1 Sistemas de comunicação sem fio

A tecnologia integrada em silício tornou possível atingir baixo custo de fabricação, o que levou ao surgimento de uma vasta gama de produtos e possibilidades de implementação de funções digitais junto com a manipulação de sinais de RF.

Apesar da variedade de aplicações, a estrutura básica de um transceptor de RF permanece a mesma. A figura 2.1 mostra, esquematicamente, um transceptor RF básico. Tanto na recepção quanto na transmissão, conversões em frequência são necessárias para mover o sinal da banda de RF para a banda base e vice-versa. No esquema, é possível constatar blocos de base: um filtro duplicador, um amplificador de baixo ruído (do inglês, *low noise amplifier*, LNA), um amplificador de potência (do inglês, *power amplifier*, PA) e filtros do tipo passa-banda. Para qualquer arquitetura adotada, a essência é a multiplicação desses sinais por sinais cosenoidais obtidos através do oscilador local (do inglês, *local oscillator*, LO).

Nesse esquema de recepção, o foco do trabalho se encontra no sintetizador de frequências. Para certas aplicações, é necessária a geração de frequências muito precisas, admitindo erros na faixa 0,1 ppm, como é o caso da norma GSM (LACAITA; SAMORI, 2007). Assim, não há osciladores suficientemente precisos com esta especificação. Para superar essa limitação, osciladores locais são utilizados em uma malha fechada para a síntese de frequências mais elevadas. A figura 2.2 mostra os blocos utilizados para este propósito. Em linhas gerais, esse sistema funciona da seguinte maneira: primeiro, o bloco PD (detector de fase, do inglês, *phase detector*) é responsável pela comparação de fase entre o sinal de referência e o sinal de saída atual. Em seguida, o sinal é filtrado pelo bloco LPF (filtro passa-baixas, do inglês, *low pass filter*), onde apenas as frequências baixas são conservadas. Isso é interessante

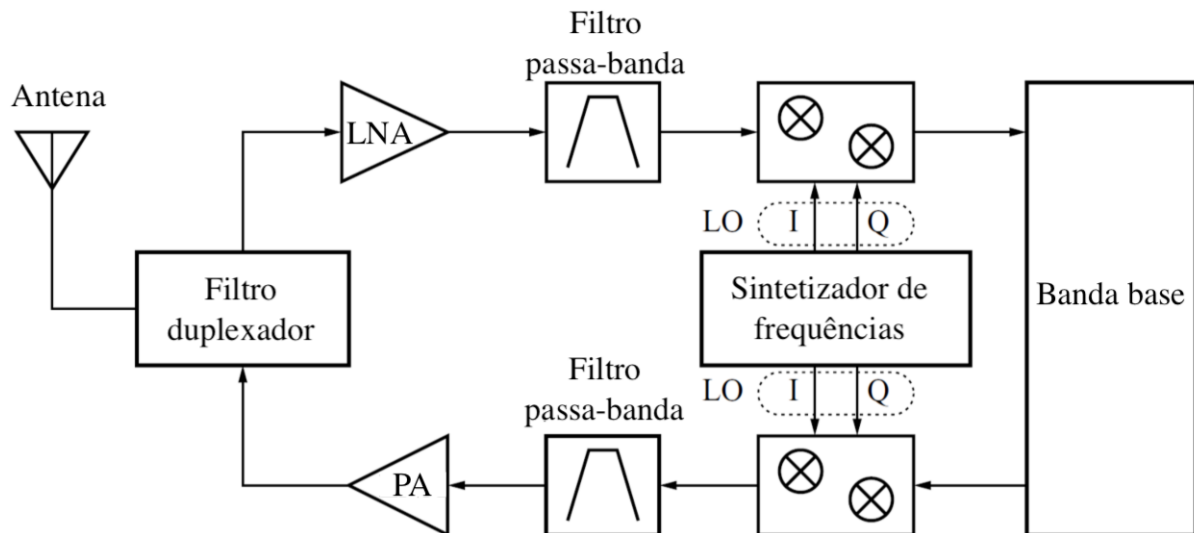


Figura 2.1: Esquema de sistema de recepção e transmissão em RF. Fonte: (KROUPA, 2003).

pois, dependendo da implementação do comparador de fase, tem-se tanto a diferença das fases, como a soma das fases como subproduto. Por último, o oscilador controlado por sinal de saída cuja frequência será proporcional a diferença de fase entre os sinais. Caso seja utilizado um bloco de divisor de frequência, o sinal de referência será comparado a N vezes o sinal atual da malha. Desta maneira, com um oscilador preciso em conjunto com um divisor de frequência, o processo de síntese de frequências pode ser realizado, de maneira tão precisa quanto a disponível como referência de sinal.

2.2 Malhas de captura de fase

O papel de uma PLL é manter a coerência entre a frequência do sinal de entrada (referência), f_i , e a frequência f_o de saída por meio de comparação de fase. A seguinte dedução teórica é inspirada em (KROUPA, 2003). Algumas observações foram retiradas também de (LACAITA; SAMORI, 2007) e (EGAN, 2007a).

Cada sistema de PLL contém quatro blocos básicos:

1. Detector de fase (PD)
2. Filtro passa-baixas (LPF)

3. Oscilador controlado por tensão (VCO)

4. Divisor de frequência

Na sequência, um visão geral sobre os sinais de cada um dos blocos será detalhada, bem como detalhes adicionais para cada bloco. A figura 2.2 mostra a malha fechada que compõe esse sistema, assim como as notações utilizadas para os sinais em diferentes etapas do processo.

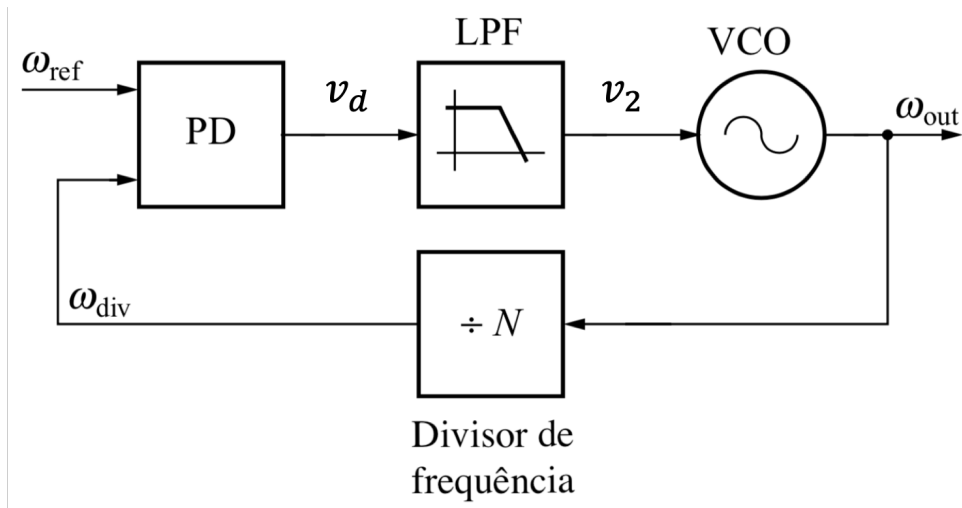


Figura 2.2: Esquema clássico para malha de captura de fase. Bloco PD (*Phase Detector*) é o detector de fase; LPF (*Low Pass Filter*) o filtro passa-baixa; VCO (*Voltage-controlled Oscillator*) é o oscilador controlado por tensão; N é um inteiro. Fonte: (KROUPA, 2003).

Podemos assumir que os sinais de entrada e saída são cossenoidais. A equação 2.1 descreve o sinal de entrada:

$$v_{ref}(t) = V_i \sin[\omega_{ref}t + \phi_{ref}(t)] \equiv V_{ref} \sin \Psi_{ref}(t). \quad (2.1)$$

E, na relação 2.2, temos a tensão de saída:

$$v_{out}(t) = V_{out} \sin[\omega_{out}t + \phi_{out}(t)] \equiv V_{out} \sin \Psi_{out}(t). \quad (2.2)$$

Nas equações 2.1 e 2.2, os termos $\phi_{ref}(t)$ e $\phi_{out}(t)$ variam lentamente (em comparação com o período do sinal). É preciso também provar que, para que a PLL funcione, os sinais de entrada e saída precisam estar em quadratura, isto é, defasados

de $\pi/2$. O detector de fase pode ser considerado um multiplicador simples de ganho K_m (cuja dimensão física é dada em $1/volts$). A relação 2.3 mostra que a saída do PD é a multiplicação do sinal de entrada com o sinal da saída do divisor de frequência, acrescido do ganho:

$$v_d(t) = K_m v_{ref}(t) v_{div}(t). \quad (2.3)$$

A equação 2.4 mostra o resultado da substituição, na equação 2.3, dos termos obtidos nas equações 2.1 e 2.2:

$$\begin{aligned} v_d(t) &= K_m V_{ref} V_{div} \sin \Psi_{ref}(t) \cos \Psi_{div}(t) \\ &= \frac{1}{2} K_m V_{ref} V_{div} \{ \sin[(\omega_{ref} - \omega_{div})t + \phi_{ref}(t) - \phi_{div}(t)] \\ &\quad + \sin[(\omega_{ref} + \omega_{div})t + \phi_{ref}(t) + \phi_{div}(t)] \}. \end{aligned} \quad (2.4)$$

Podemos assumir, em um caso simples, que o filtro passa-baixas é capaz de anular o termo de alta frequência (simbolizado, na relação 2.4 como $\omega_{ref} + \omega_{div}$), mas deixa o termo $\omega_{ref} - \omega_{div}$ passar sem mudanças. Desta maneira, a equação de entrada do estágio de VCO pode ser representada por 2.5:

$$\begin{aligned} v_2(t) &= K_d \sin[(\omega_{ref} - \omega_{div})t + \phi_{ref}(t) - \phi_{div}(t)] \\ &\equiv K_d \sin \Psi_e(t). \end{aligned} \quad (2.5)$$

A equação 2.5 introduziu o ganho do estágio do divisor de frequência $K_d = K_m V_i V_o$ cuja dimensão é $[V/rad]$. Nota-se que a diferença de fase entre os sinais de entrada e saída é dada pela equação 2.6:

$$\Psi_e(t) = \Psi_{ref}(t) - \Psi_{div}(t). \quad (2.6)$$

O que vai fazer com que a frequência natural do VCO (ω_c) mude (equação

2.7):

$$\frac{d\Psi_o(t)}{dt} = \omega_c + K_o v_2(t). \quad (2.7)$$

Na equação 2.7, K_o é o ganho do oscilador cuja dimensão é dada em [2π Hz/V]. Integrando 2.7, obtemos a diferença de fase (relação 2.8):

$$\Psi_e(t) = \Psi_i(t) - \omega_c t - \int K_o v_2(t) dt. \quad (2.8)$$

Que ainda pode ser decomposta como na equação 2.9:

$$\Psi_e(t) = \Psi_i(t) - \omega_c t - \int K_o K_d \sin \Psi_e(t) dt. \quad (2.9)$$

Derivando 2.9, obtemos 2.10:

$$\frac{d\Psi_e(t)}{dt} = \Delta\omega - K \sin \Psi_e(t). \quad (2.10)$$

Na equação 2.10, $\Delta\omega = \omega_{ref} - \omega_{div}$ e $K_d K_o = K$. K é o ganho da PLL e conserva as mesmas dimensões físicas do ganho K_o descrito anteriormente. A conclusão apresentada a seguir (2.11) mostra que a captura de fase é descrita como uma equação não linear. A solução para a estabilidade de fase (ou seja, $\omega_{ref} = \omega_{div}$), segundo (KROUPA, 2003), depende da relação $\Delta\omega/K$ e deve ser aperiódica. A solução deve obedecer à relação 2.11. Nas próximas seções, as soluções no tempo e na frequência serão apresentadas com o objetivo final de modelar o sistema da PLL bloco a bloco.

$$|\omega_{ref} - \omega_c| > |\omega_{ref} - \omega_{div}|. \quad (2.11)$$

2.2.1 Solução no domínio do tempo

Para chegar na solução temporal, é preciso introduzir algumas simplificações. Consideramos a seguinte aproximação da equação 2.12. Essa aproximação é

razoável, pois facilita o entendimento do problema, bem como sua solução. Vale lembrar que para pequenos erros de fase ($\Psi_e(t)$), a PLL encontra-se na gama de captura e toda essa análise se mantém válida.

$$\sin\Psi_e(t) \approx \Psi_e(t). \quad (2.12)$$

Ao introduzir a aproximação 2.12, a equação 2.10 se torna a equação 2.13:

$$\frac{d\Psi_e(t)}{dt} = \Delta\omega - K\Psi_e(t). \quad (2.13)$$

Cuja solução é 2.14:

$$\Psi_e(t) = e^{-Kt} \left(\Psi_{e0} - \frac{\Delta\omega}{K} \right) + \frac{\Delta\omega}{K}. \quad (2.14)$$

O termo Ψ_{e0} é a constante de integração. Em regime permanente, a solução da equação 2.14 é bastante simples graças à presença do sinal negativo que multiplica o tempo na exponencial. É o que aparece na relação 2.15:

$$\Psi_e(\infty) = \frac{\Delta\omega}{K}. \quad (2.15)$$

2.2.2 Solução no domínio da frequência

Assumindo que a diferença de fase $\Psi_e(t)$, em malha fechada, é sempre inferior a $\pi/2$, aproximação já feita anteriormente, garantimos a igualdade de fase entre a entrada e a saída, o que mostra a equação 2.16:

$$\omega_{ref} = \omega_{div}. \quad (2.16)$$

O sistema da PLL é capaz de assegurar que os sinais de entrada e saída tenham a mesma fase. Com isto, a equação 2.7 pode ser reescrita como na relação 2.17:

$$\omega_{div} + \frac{d\phi_{div}(t)}{dt} = \omega_c + K_o v_{2o} + K_d K_o \sin[\phi_{ref}(t) - \phi_{div}(t)]. \quad (2.17)$$

Na equação descrita em (2.17), o termo $K_o v_{2o}$ é a tensão que faz com que a frequência ω_{div} do VCO seja igual à frequência de entrada ω_{ref} . Em regime permanente, a frequência de oscilação do VCO (ω_{div}) é influenciada pela frequência natural de oscilação do VCO (ω_c), o que é descrito na equação 2.18:

$$\omega_{div} = \omega_c + K_o v_{2o}. \quad (2.18)$$

Escrevendo a equação 2.18 em 2.17, temos 2.19:

$$\frac{d\phi_{div}(t)}{dt} = K \sin[\phi_{ref}(t) - \phi_{div}(t)]. \quad (2.19)$$

com $K = K_d K_o$. Além desta pequena simplificação, o argumento do termo senoidal pode ser também reescrito, como mostra a equação 2.20:

$$\phi_e(t) = \phi_{ref}(t) - \phi_{div}(t). \quad (2.20)$$

Para continuar o raciocínio, é preciso introduzir outra simplificação: se considerarmos que a diferença de fase apresentada na equação 2.20 se mantém sempre pequena, a equação 2.19 se torna (equação 2.21):

$$\frac{d\phi_{div}(t)}{dt} = K[\phi_{ref}(t) - \phi_{div}(t)]. \quad (2.21)$$

Neste passo, é introduzida a Transformação de Laplace (assumindo condições iniciais nulas) para que o equacionamento possa ser tratado no domínio da frequência complexa s . A equação 2.22 é a transformada de Laplace da equação 2.21:

$$s\phi_0(s) = K[\phi_i(s) - \phi_o(s)]. \quad (2.22)$$

Organizando a relação 2.21, chega-se na função de transferência básica de

uma PLL (equação 2.23):

$$\frac{\phi_o(s)}{\phi_i(s)} = \frac{K}{s + K}. \quad (2.23)$$

A figura 2.3 mostra o equacionamento de cada bloco básico da PLL no domínio da frequência complexa. Este modelo é o objetivo desta revisão teórica.

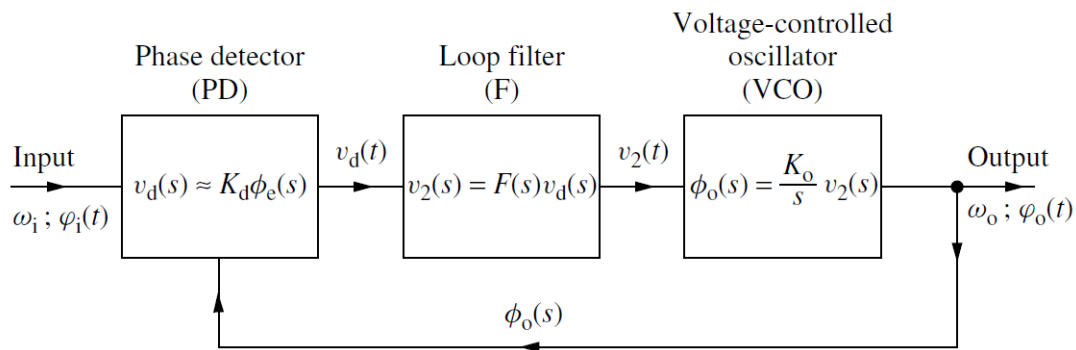


Figura 2.3: Esquema do modelo dos blocos de uma PLL no domínio da frequência. Fonte: (KROUPA, 2003).

2.2.3 Detector de Fase Digital

A detecção de fase pode ser vista como uma simples comparação ou subtração de frequência seguida por uma etapa de integração para efetuar a transformação de frequência em fase, como é definido por (EGAN, 2007a). O detector de fase pode ser analógico (multiplexador) ou digital (que inclui um sistema de amostragem). O efeito da amostragem deve ser considerado na modelagem do sistema, sobretudo quando a detecção de fase inclui uma etapa de *Charge Pump* pois são nestes sistemas que o efeito de componentes de alta frequência podem ter maior efeito.

O detector de fase digital é mais comum e pode aparecer tipicamente como uma configuração usando dois *Flip-Flops* D, como mostra a figura 2.4.

As duas saídas Q dos *Flip-Flops* estão ligadas a dois transistores que, para este embasamento teórico, podem ser aproximados a duas fontes de correntes: uma positiva e outra negativa. Os diferentes estados assumidos pelos *Flip-Flops* (ativados

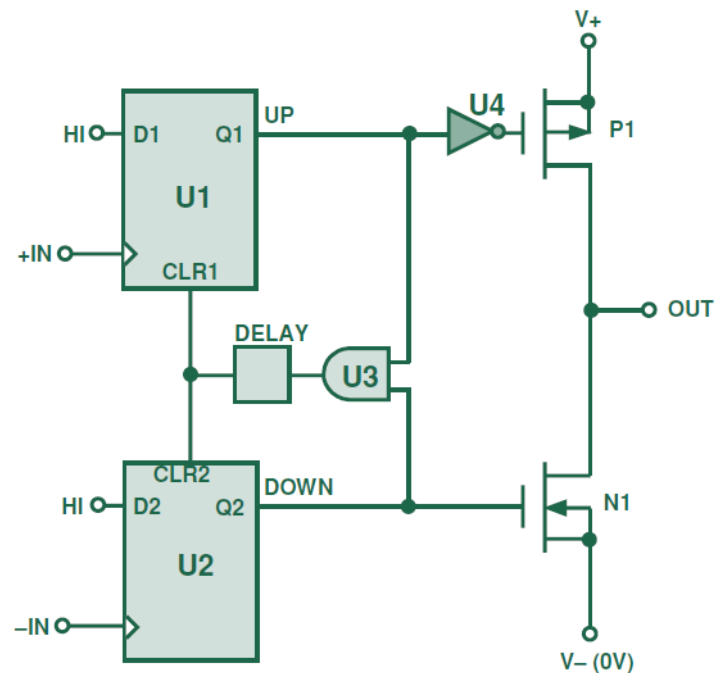


Figura 2.4: Esquema de um detector de fase digital típico com *Flip-Flops* do tipo D. Fonte: (CURTIN, 1999).

pela borda positiva) estão descritos na tabela 2.1.

Q1	Q2	Estado de detecção
1	1	As duas saídas estão altas e os <i>Flip-Flops</i> são desativados pela porta AND (U3).
0	0	P1 e N1 são desligados e a saída OUT é em um estado de alta impedância.
1	0	P1 está ativado, N1 é desligado e a saída está em V+.
0	1	P1 está desativado, N1 é ligado e a saída está em V-.

Tabela 2.1: Estados assumidos pelos *Flip-Flops* em um detector de fase digital. Fonte: (CURTIN, 1999).

Para exemplificar o funcionamento, assume-se que o sinal ligado à $IN+$ opera em uma frequência muito maior que aquele em $IN-$, o que mostra a figura 2.5.

Nessa situação, o sinal de saída OUT é praticamente conduzido pelo sinal de alta frequência ($IN+$) e a saída do detector de fase permanece em nível lógico alto por muito tempo, o que fará com que o VCO (ligado à saída do PD) tenha um sinal em nível lógico alto, tendendo a aumentar a frequência do sinal ligado à $IN-$. Isso vai diminuir o erro em frequência. É o efeito desejado.

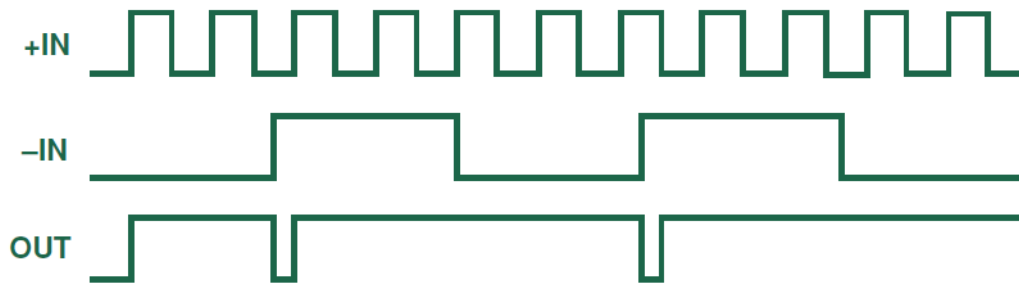


Figura 2.5: Formas de onda do detector de fase digital. Fonte: (CURTIN, 1999).

Agora, em um segundo caso cujas formas de onda estão ilustradas na 2.6, os sinais ligados à $IN+$ e $IN-$ estão na mesma frequência, mas em diferença de fase. A saída do detector de fase $OUT+$ é uma série de pulsos positivos que tendem a conduzir o VCO para o alinhamento de fase.

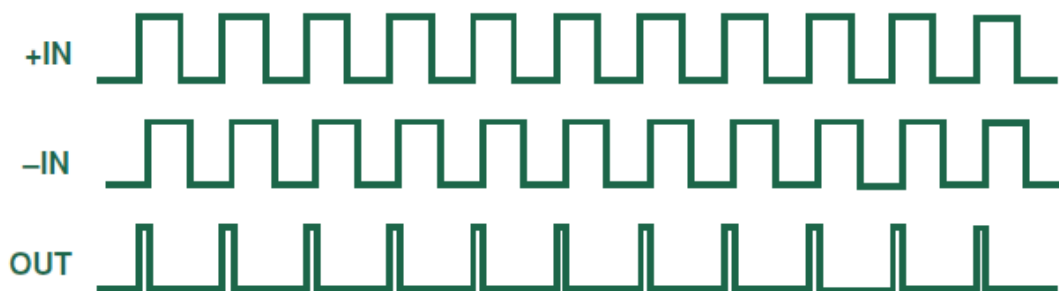


Figura 2.6: Formatos de onda do detector de fase digital. Os sinais têm a mesma frequência, mas fases diferentes. Fonte: (CURTIN, 1999).

2.2.4 Filtro passa-baixas

Junto com o ganho do *loop*, a banda passante da malha é um dos parâmetros chave para o desempenho da PLL. O filtro da malha (também chamado de *loop filter*) é responsável por ajustar a largura de banda da PLL, que tem influência direta no ruído de fase do VCO. Este filtro é utilizado para eliminar sinais espúrios do sistema, mas também para estabilizar a malha. As PLLs são comumente classificadas por ordem: por exemplo, uma PLL sem filtro é dita de primeira ordem. E uma PLL cujo filtro é de primeira ordem, é dita de segunda ordem (KROUPA, 2003). Um filtro de primeira ordem pode ser implementado como um circuito passivo RC do tipo passa-baixas

(figura 2.7), no qual a tensão de saída V_{tune} é a tensão de entrada do VCO.

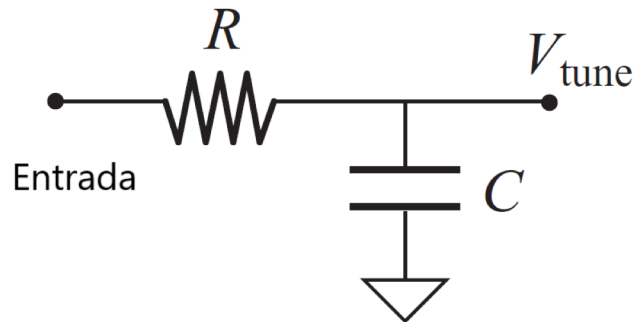


Figura 2.7: Filtro RC de primeira ordem do tipo passa-baixas. Fonte: (LACAITA; SAMORI, 2007).

A equação 2.24 é a função de transferência de um filtro passa-baixas de primeira ordem:

$$F(s) = K_f \cdot \frac{1}{1 + s \cdot RC} = K_f \cdot \frac{1}{1 + s \cdot \tau}. \quad (2.24)$$

Reescrevendo a equação 2.24, é possível extrair mais facilmente a posição do pólo do filtro. É o que mostra a relação 2.25:

$$F(s) = K_f \cdot \frac{1/\tau}{1/\tau + s}. \quad (2.25)$$

Portanto, um filtro de primeira ordem possui dois parâmetros: um pólo localizado em $-1/\tau$ e um ganho K_f .

A figura 2.8 mostra a resposta em frequência (amplitude e fase) de um filtro RC de primeira ordem com um pólo na frequência de 1 MHz. A partir desta frequência, a amplitude do sinal é atenuada de 20 dB por década.

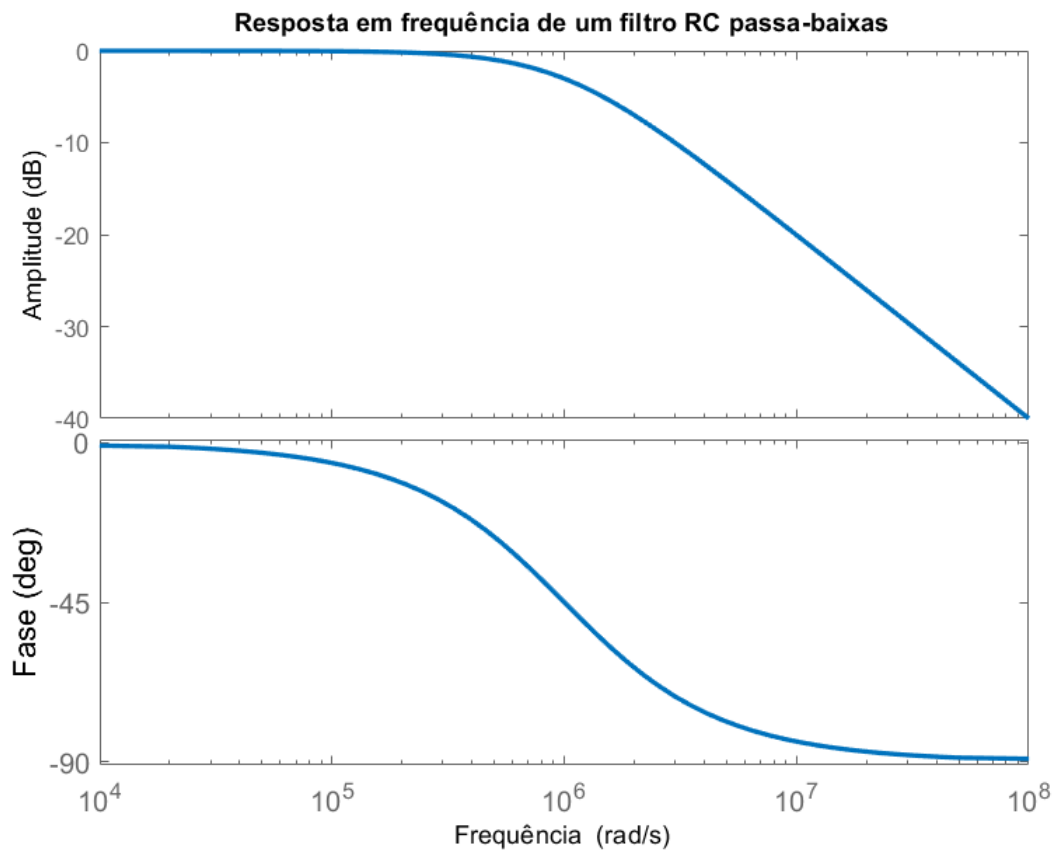


Figura 2.8: Resposta em frequência de um filtro RC passa-baixas. Fonte: os autores.

2.2.5 Oscilador controlado por tensão

O oscilador controlado por tensão é o coração de uma PLL. A função do oscilador é fornecer um sinal de saída cuja frequência é proporcional à entrada, como foi discutido na seção 2.2. As principais arquiteturas de VCO são mostradas na figura 2.9.

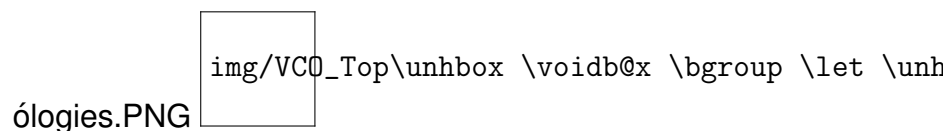


Figura 2.9: Principais tipos de osciladores controlados por tensão. a) Oscilador do tipo LC. b) Oscilador do tipo anel de inversores. Fonte: (VOICU, 2012).

Idealmente, toda potência da entrada do VCO é transferida para a saída, o que resultaria em um fator de qualidade Q infinito. Porém, não é o que acontece na prática.

O sinal de saída é acompanhado de sinais espúrios conhecidos por ruído de fase. O ruído de fase é a característica mais importante de um oscilador para aplicações em RF. Na figura 2.10, temos a ilustração da saída ideal do VCO e da saída com ruído de fase.

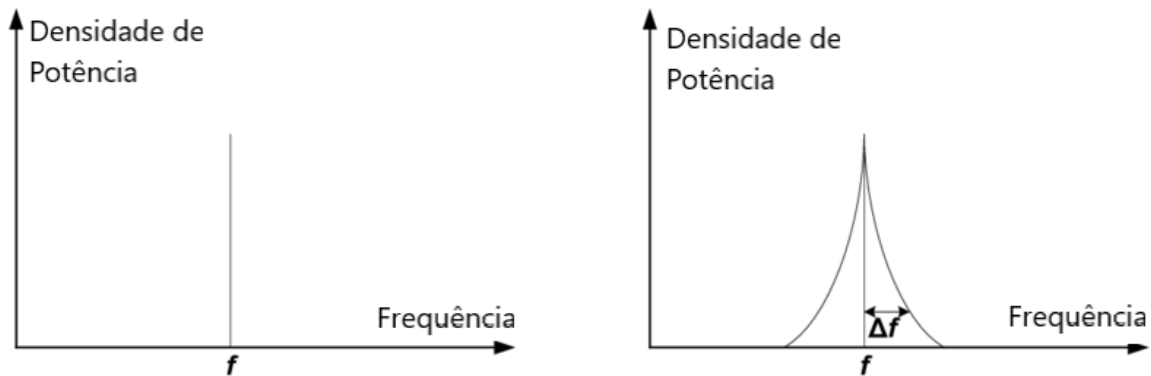


Figura 2.10: Espectro do sinal de saída do VCO: à esquerda sem ruído de fase e, à direita, com a presença de ruído de fase. Fonte: (REN; EL-SANKARY; EL-MASRY, 2010).

O ruído de fase em osciladores é tema da seção 2.2.7.

A figura 2.11 representa o sinal de entrada do VCO. Pode-se observar que há uma variação no sinal durante o período inicial e, após certa quantidade de tempo, o sinal de entrada do VCO se estabiliza. Este tempo é o tempo de assentamento, que representa o tempo necessário para que o sinal de saída esteja de acordo com o sinal de referência, ou múltiplo do sinal de referência, no caso de uma PLL do tipo Inteiro N (seção 4.2.3).

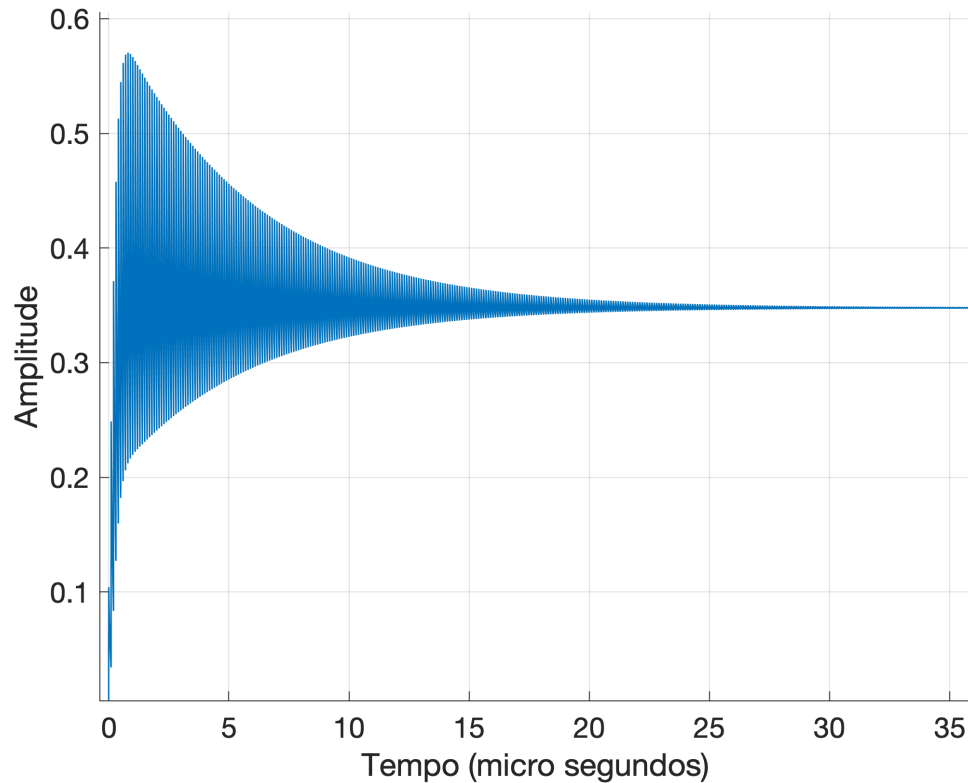


Figura 2.11: Sinal de entrada no VCO. Fonte: os autores.

Enquanto o sinal de entrada do VCO é variável, é possível constatar um erro de fase (e por consequência, um erro de frequência) entre o sinal de referência (figura 2.12) e o sinal de saída figura (2.13). É importante ressaltar que, nas figuras desta seção, o sistema de PLL utilizado é do tipo inteiro N, com multiplicidade de 248. A divisão de frequências é explicada na seção 2.2.6.

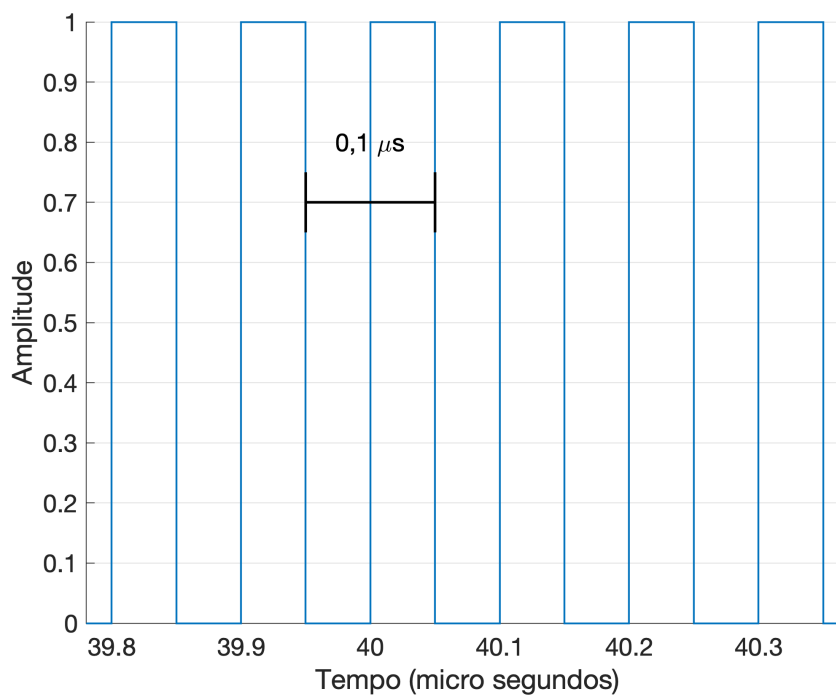


Figura 2.12: Sinal de referência presente na entrada da PLL. Fonte: os autores.

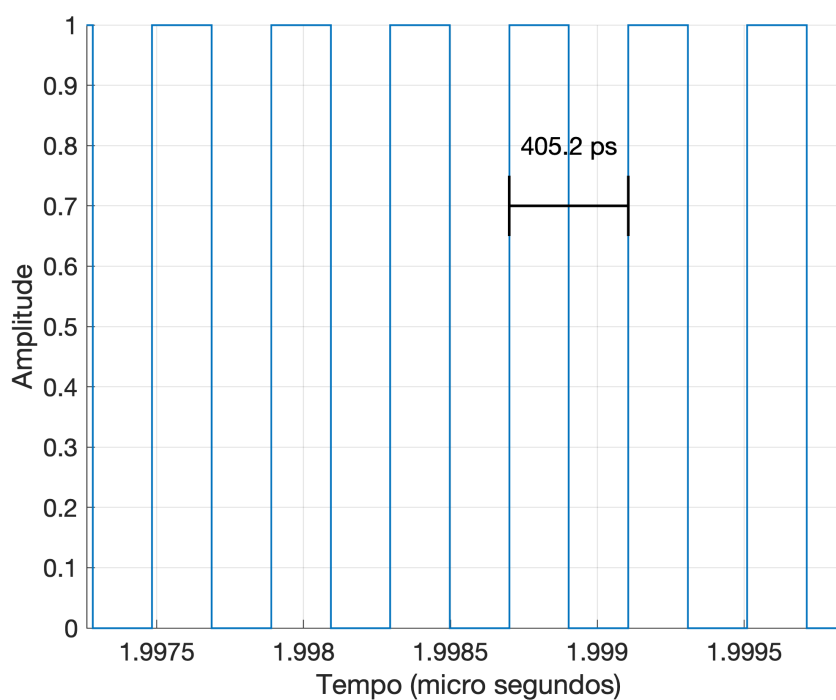


Figura 2.13: Sinal de saída do VCO, defasado do sinal de entrada. Fonte: os autores.

Quando o sinal da entrada se estabiliza, o sinal de saída da PLL fica coerente com o sinal de referência, é o que mostra a figura 2.14.

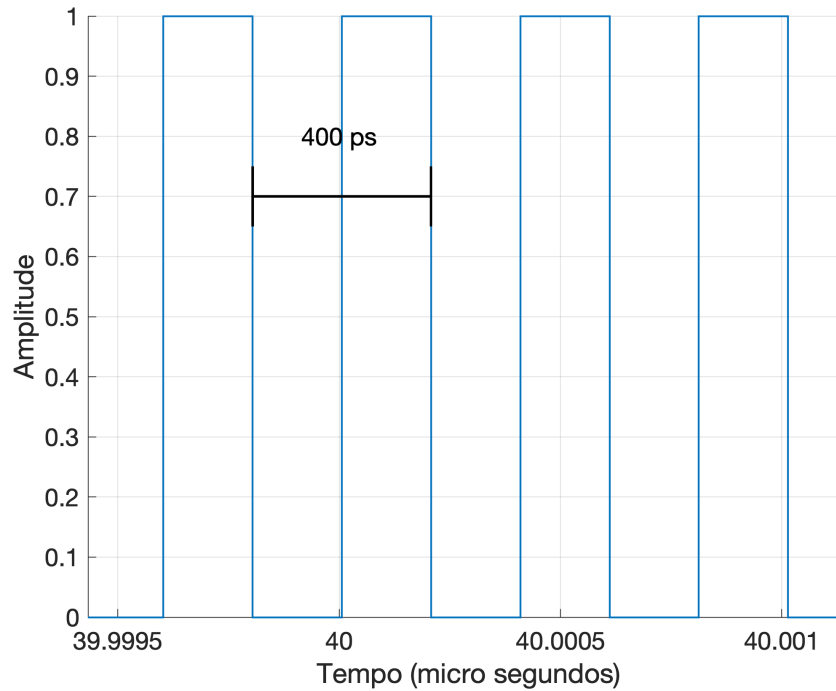


Figura 2.14: Sinal de saída do VCO, seguindo múltiplos do sinal de entrada. Fonte: os autores.

2.2.6 Divisor de frequência

Na malha da PLL, o divisor de frequência é um bloco que aparece no caminho de realimentação. O objetivo do divisor de frequência é fazer com que a PLL faça síntese em frequência. As PLLs que funcionam com ondas milimétricas são, quase que sem exceção, equipadas com o divisor de frequência (KROUPA, 2003).

2.2.6.1 Divisor de frequência Inteiro N

Como dito acima, o objetivo do divisor de frequência é fazer com que a PLL faça com que o sinal de saída possa ter sua frequência alterada. Com o divisor de frequência por inteiros, o sinal da saída aparece com uma frequência que é o produto da frequência de referência e um número inteiro, o que mostra a equação 2.26. A vantagem de utilizar este tipo de divisor de frequência é a simplicidade. As topologias de divisores de frequência envolvem, na maioria das vezes, portas lógicas e *Flip-Flops* (EGAN,

2007a) e, portanto, a implementação desse circuito é convencionalmente digital.

$$\omega_{out} = N \cdot \omega_{ref} \quad (2.26)$$

A arquitetura do divisor de frequência é construída com um circuito *prescaler* antes do detector de fase. Os circuitos *prescaler* são construídos a partir de contadores e, esquematicamente, funcionam como mostra a figura 2.15, na qual M simboliza a taxa de divisão do *prescaler*, N é a taxa de divisão, P é o contador de *program* e S o contador de *swallow*.

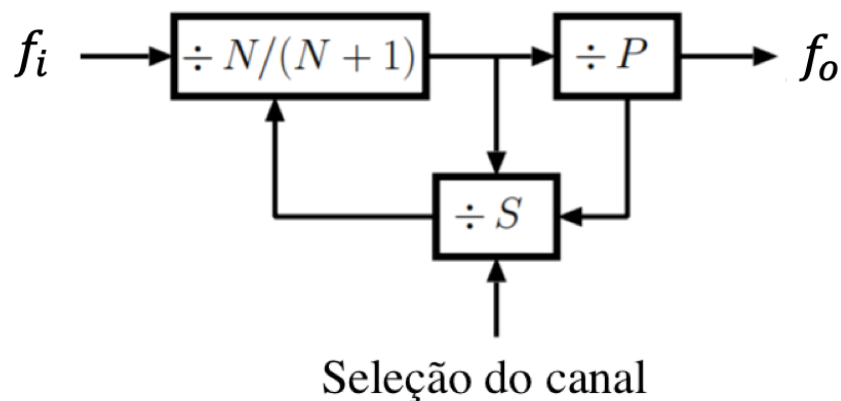


Figura 2.15: Esquema lógico do circuito *prescaler*, responsável por dividir a frequência na realimentação do sistema PLL. Fonte: (KAMAL, 2000).

No final, o divisor de frequências inteiro-N com divisão por dois módulos obedece à equação 2.27:

$$M = N \cdot P + S \quad (2.27)$$

Para mais informações sobre a arquitetura dos circuitos *prescalers*, sugere-se a leitura de GUSTI (2007), que propõe uma comparação de diferentes *prescalers* visando o consumo de potência de cada arquitetura.

Para ilustrar o funcionamento do divisor de frequências, tomamos como exemplo a PLL que sintetiza, na saída, um sinal com uma frequência múltipla de 248 da frequência de entrada. O sinal de saída do VCO deve ter um período 248 vezes

mais curto que o sinal de referência para que a malha se estabilize. É o que mostram as figuras 2.12 e 2.14.

2.2.7 Ruído de Fase

A PLL é um tipo de oscilador e, como em todo oscilador, a estabilidade da frequência é de importância crítica. Devido ao número exponencial de componentes de comunicação sem fio fabricados nos últimos anos, a demanda por mais canais de comunicação cresceu, o que impõe, para os osciladores locais, uma restrição severa para o ruído de fase. Mesmo nos sinais digitais, como é o caso do *clock*, o ruído de fase vem disfarçado de *jitter* é de suma importância para a desempenho do sistema (HAJIMIRI; LEE, 1998).

O perfil do ruído de osciladores é tradicionalmente traçado como na figura 2.16.

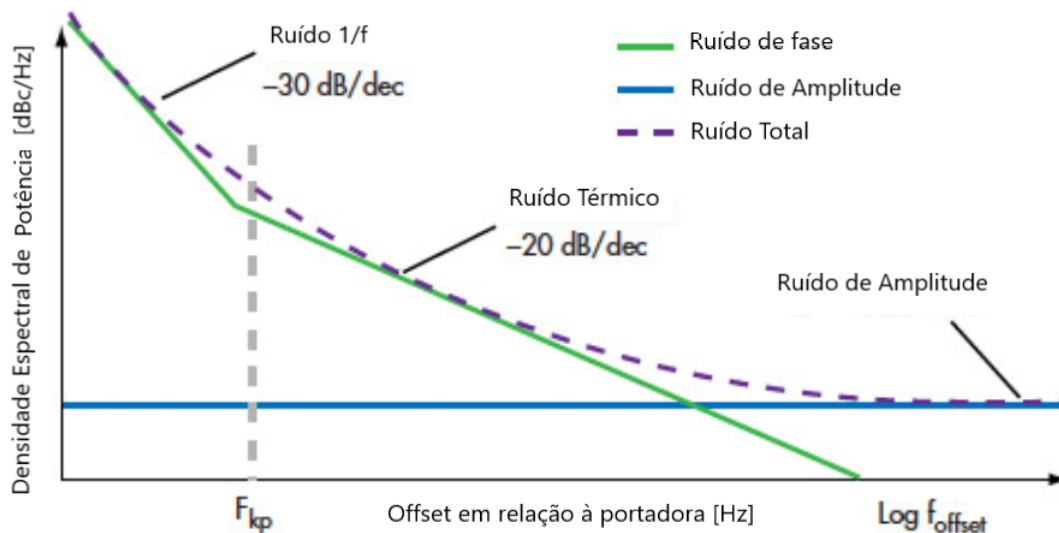


Figura 2.16: Perfil genérico do ruído em osciladores. Fonte: (EGAN, 2007a).

Esta abordagem foi primeiramente descrita por (LEESON, 1966) e a equação (2.28) descreve este comportamento.

$$L f_m = 10 \cdot \log \left(\frac{2FkT}{P_{sig}} \left[1 + \left(\frac{f_{osc}}{2Qf_m} \right)^2 \right] \left(1 + \frac{f_{1/f}}{f_m} \right) \right) \quad (2.28)$$

A relação 2.28 é conhecida como uma maneira de caracterizar o ruído de um VCO. Da equação, o termo P_{sig} é a potência da portadora, F é um fator empírico para o ajuste da curva de ruído, k é a constante de Boltzmann, T a temperatura absoluta, f_{osc} é a frequência de oscilação, f_m a frequência de *offset* em relação à frequência de oscilação, $f_{1/f}$ é a frequência do ruído de *flicker* e Q é o fator de qualidade. Mesmo que esta relação descreva o ruído de fase de forma relativamente precisa, a relação oferece pouco para a questão do *design* porque depende de parâmetros empíricos. Porém, é importante perceber a tendência de que o ruído diminui quadraticamente de acordo com o fator de qualidade do oscilador (VOICU, 2012).

A tabela 2.2.7 reúne figuras de mérito de diferentes VCO do tipo LC e anel de inversores feitos sobre tecnologia CMOS. A tabela serve como parâmetro para a extração de métricas importantes do VCO. Sobretudo o ruído de fase. Estes dados são valiosos para a implementação do modelo.

VCO	Tec. [nm]	f_0 [GHz]	V_{DD} [V]	P_{DC} [mW]	RdF [dBc/Hz]
(WANG, 2001)	130	30,3	0,6	7,8	-114 @1MHz
(HUANG et al., 2005)	90	57,6	0,6	7,2	-102 @1MHz
(HUANG et al., 2007)	90	139,8	1,2	9,6	-75@1MHz
(CHEN et al., 2008)	130	50,3	0,8	35	-104 @1MHz
(CHEN et al., 2008)	130	58,5	0,8	34	-95 @1MHz
(HUANG et al., 2006)	130	104	1,5	28	-93,3 @1MHz
(HUANG et al., 2006)	130	121	1,3	21	-88 @1MHz

Tabela 2.2: Comparação do ruído de fase de diferentes VCOs do tipo LC e anel de inversores. Disponível em (VOICU, 2012).

CAPÍTULO 3

METODOLOGIA

O projeto visa a implementação de um modelo comportamental que possa ser o ponto de partida para o *design* de um circuito PLL. Desta maneira, é preciso ter compreensão das diferentes arquiteturas de PLL disponíveis, além de adequar a arquitetura com a proposta de um circuito para a internet das coisas. Assim, só é possível extrair o escopo do projeto após um trabalho de revisão da literatura cuidadoso. Foi levado em conta a relevância das fontes citadas (número de citações e a profundidade do trabalho proposto no fluxo de concepção de circuito integrados) ao mesmo tempo que apenas bases de dados de credibilidade foram acessadas (como, por exemplo, as bases de dados do IEEE - Instituto de Engenheiros Eletricistas e Eletrônicos). A figura 3.1 descreve as etapas nas quais o projeto se apoia.

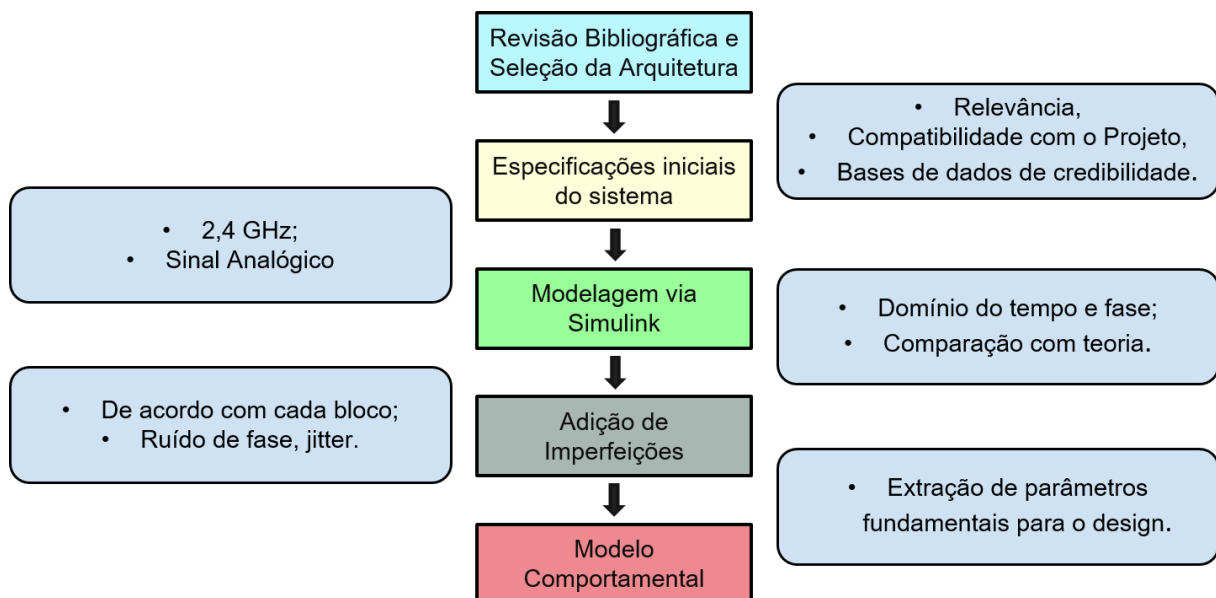


Figura 3.1: Descritivo em blocos da metodologia do projeto. O objetivo é chegar a um modelo comportamental de uma PLL. Fonte: os autores.

3.1 Metodologia *top-down*

A metodologia *top-down* (do inglês de cima para baixo) é uma estratégia de concepção de circuitos eletrônicos (também estendida para outras áreas) que tem como princípio a visualização do sistema como um todo para que, posteriormente, se executem os passos de decomposição dos diferentes atores do sistema em questão. Este projeto se encaixa nessa filosofia pois propõe a visão sistêmica de uma PLL para que, em trabalhos futuros, possa se construir o circuito com base nos parâmetros e exigências fornecidos pelo modelo. A figura 3.2 serve para ilustrar que este trabalho é feito no nível de abstração sistêmico e que apenas trabalhos futuros serão encarregados de propor o nível circuito.

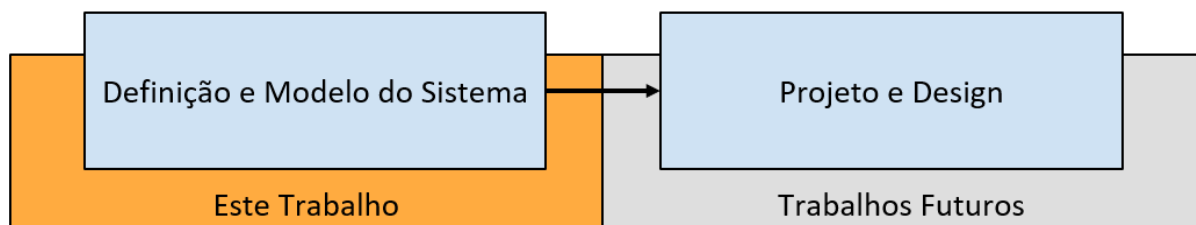


Figura 3.2: Participação deste trabalho no fluxo de concepção projeto de uma PLL. Fonte: os autores.

3.2 Modelagem MATLAB

A escolha do *software* MATLAB como ferramenta de simulação se justifica para o projeto pois permite simular um sistema complexo com uma rapidez não alcançada por métodos tradicionais de baixo nível, como a linguagem SPICE, por exemplo. Algumas empresas, como a Epoch Semiconductors, utilizam o MATLAB Simulink para fazer o *design* completo da PLL (MATHWORKS, 2011). Isto porque o MATLAB se apresenta como uma ótima solução para a aplicação da metodologia *top-down*, descrita em 3.1. A ideia central do trabalho é utilizar o MATLAB para averiguar o funcionamento sistêmico da PLL, simulando cada bloco e o sistema todo através da ferramenta Simulink.

Ainda é importante citar que o MATLAB é uma ferramenta que possibilita a cossimulação. A cossimulação consiste em uma simulação que usa dois motores de simulação distintos, como ilustrado na imagem 3.3. No caso do MATLAB, é possível fazer a simulação do sistema implementando topologias construídas no *software* de desenvolvimento de circuitos Cadence Virtuoso. Desta maneira, o projetista do circuito pode averiguar o funcionamento do seu bloco no sistema inteiro, trazendo agilidade ao processo de desenvolvimento. A cossimulação também é útil para a verificação de erros tanto no sistema, quanto no circuito. Este é um aspecto que esperamos que seja explorado por trabalhos futuros.

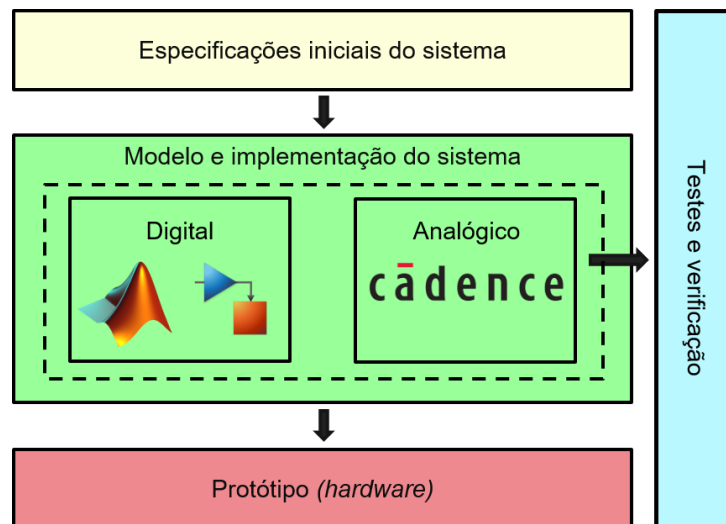


Figura 3.3: Exemplo do esquema de aplicação da cossimulação entre MATLAB Simulink e Cadence Virtuoso. Fonte: MathWorks.

3.3 Comparação com o estado da arte

Visando a qualidade do modelo, as métricas extraídas pelo trabalho proposto foram comparadas cuidadosamente com métricas extraídas do estado da arte. A tabela 3.1, extraída de (MANTHENA, 2011), nos permite visualizar um exemplo de tabela que reúne figuras de mérito de diferentes trabalhos propostos para circuitos de PLL operando na frequência de 2,4 GHz, ou seja, compatível com o escopo do projeto.

Tabela 3.1: Compilado de figuras de mérito extraídas do estado da arte. Fonte: (MANTHENA, 2011).

Referência	1	2	3	4	5	7
Tecnologia	0,18 μm	0,2 μm	0,25 μm	0,18 μm	90 nm	0,18 μm
Canal	5 MHz	1 MHz	1 MHz	5 MHz	5 MHz	3 MHz
Frequência [GHz]	2,44	2,4	2,47	2,44	2,46	2,45
Ruído de Fase [dBc/Hz] (offset 1 Mhz)	-108,55	-104	-112	-116,5	-106	-112
Tempo de Assentamento	25 μs	600 μs	60 μs	120 μs	49 μs	500 μs
Consumo de Potência	7,95 mW (1,8 V)	17 mW (1 V)	20 mW (2,5 V)	4,2 mW (1,2 V)	5,1 mW (1,2 V)	8,2 mW (1,8 V)

CAPÍTULO 4

PROJETO

O projeto é composto de modelos de PLL feitos no Simulink e também de uma interface Matlab, chamada PLL Tuner, desenvolvida pelos autores deste trabalho. A ideia principal que permeou o processo de decisão de realizar o projeto desta maneira foi a inspiração baseada em gestão de projetos: foi criado um produto que possivelmente será utilizado por um grupo de pesquisa como uma ferramenta facilitadora para validações iniciais. Assim, uma das maneiras de desenvolver um produto de qualidade é focar nas necessidades do seu cliente. Seguindo essa premissa, a interface Matlab foi concebida para ser o primeiro contato do projetista de uma PLL com nosso produto, podendo alterar diversos parâmetros de alto nível (ganhos do detector de fase, do *loop filter*) e verificar as consequências da alteração destes em diversas métricas. Na sequência, o projetista é encaminhado para o modelo Simulink, no qual os blocos são implementados no nível circuito e podem ser parametrizados de modo a obter o mesmo funcionamento mostrado na interface.

Na sequência, será dada uma introdução sobre alguns dos parâmetros inseridos na interface, como são calculados e como a PLL foi modelada. Depois disso, a interface em si é apresentada de maneira global e cada sub-região é detalhada. Por fim, o modelo comportamental do Simulink é apresentado com ênfase em cada um dos blocos.

4.1 Modelagem da malha de captura de fase

Primeiramente, considera-se um sistema de PLL de segunda ordem, ou seja, cujo filtro é de primeira ordem. Toda a modelagem a seguir é relacionada ao sinal de fase da PLL e, portanto, faz parte de um modelo comportamental da fase do sistema. A função de transferência que representa o sistema da PLL será chamado de $H(s)$, enquanto a

entrada e a saída são, respectivamente, $X(s)$ e $Y(s)$. O esquema está representado na figura 4.1.

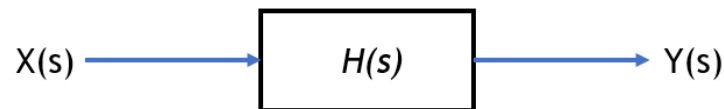


Figura 4.1: Esquema de blocos de uma PLL genérica no domínio S. As entradas e saídas representam o comportamento da fase. Fonte: os autores.

O sistema de segunda ordem clássico proposto pode ser descrito a partir da equação 4.1:

$$H(s) = \frac{Y(s)}{X(s)} = K \cdot \left(\frac{\omega_0^2}{s^2 + 2\alpha s + \omega_0^2} \right). \quad (4.1)$$

Em que K representa o ganho (adimensional), ω_0 é a frequência natural de oscilação [rad/s] e α o coeficiente de atenuação [rad/s].

Da equação 4.1, pode-se obter o coeficiente de amortecimento do sistema, representado na equação 4.2 por ζ :

$$\zeta = \frac{\alpha}{\omega_0}. \quad (4.2)$$

Para o coeficiente de amortecimento, tem-se a seguinte relação, descrita na tabela 4.1:

Valor de ζ	Consequência no sistema
>0	Garantia de estabilidade da PLL
<1	Garante rápido regime permanente

Tabela 4.1: Consequência dos valores do coeficiente de amortecimento na resposta do sistema. Fonte: os autores.

O fator de amortecimento é diretamente ligado ao *overshoot*, cuja porcentagem pode ser calculada a partir da equação 4.3:

$$overshoot = \exp\left(\frac{-\pi\zeta}{\sqrt{1-\zeta^2}}\right). \quad (4.3)$$

Ainda, o fator de amortecimento pode ser escrito em relação ao overshoot (equação 4.4):

$$\zeta = \sqrt{\frac{\ln(overshoot)^2}{\pi^2 + \ln(overshoot)^2}}. \quad (4.4)$$

É proposto, como projeto, um ambiente de análise de desempenho que possibilite a visualização do impacto das diferentes relações apresentadas nesta seção de maneira instantânea e automatizada. Busca-se, com isso, facilitar a compreensão da relevância de propriedades do sistema.

A figura 4.2 ilustra a PLL de segunda ordem no domínio S.

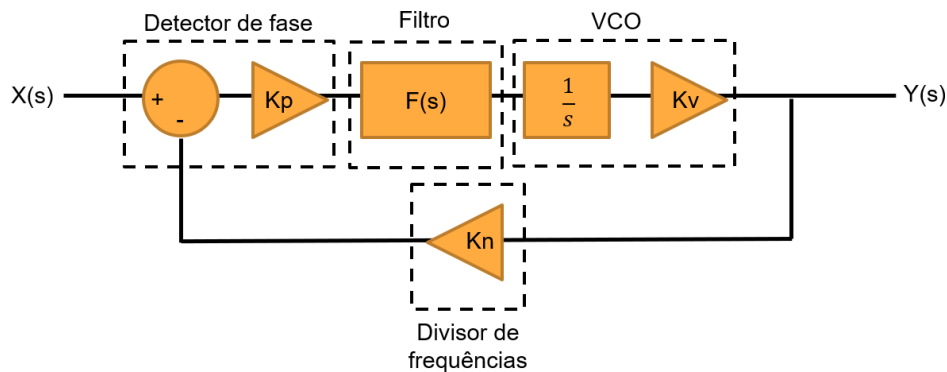


Figura 4.2: Esquema de blocos de uma PLL de segunda ordem. Assume-se que o filtro seja de primeira ordem. Fonte: os autores.

Da figura, temos que a equação da malha (equação 4.5):

$$H(s) = \frac{Y(s)}{X(s)} = \frac{K_p F(s) K_v}{s + K_n K_p F(s) K_v} \quad (4.5)$$

Como mencionado, admite-se $F(s)$ como sendo um filtro de primeira ordem cuja equação (2.25) está descrita em 2.25. O que nos leva à uma equação de segunda ordem (equação 4.6) que descreve a PLL proposta:

$$H(s) = \frac{K_p K_v K_f z}{s^2 + z \cdot s + K_n K_p K_v K_f \cdot z} \quad (4.6)$$

A partir da modelagem sugerida na equação 4.6, propõe-se o desenvolvimento de uma rotina MATLAB capaz de simular os desempenhos envolvidos como tempo de resposta, tempo de assentamento, margens de estabilidade e ganhos. Estes são os primeiros passos da compreensão do sistema. Nas próximas seções é discutido o modelo comportamental proposto. O código responsável pela rotina encontra-se no capítulo de apêndices deste trabalho.

4.2 Interface Matlab - PLL Tuner

Foi desenvolvida uma interface customizada em MATLAB para que seja a porta de entrada de um projetista de uma PLL. O objetivo por trás da concepção dessa ferramenta é se colocar na posição de quem seria o cliente do nosso produto, ou seja, projetistas de circuitos que implementarão os diferentes blocos de uma PLL. Nesse sentido, foi criado um ambiente para facilitar a validação de especificações iniciais quanto ao *design* de uma malha de captura de fase.

Para desenvolver esta ferramenta, priorizou-se fatores como: facilidade de uso, rápida visualização de parâmetros que de fato são relevantes para a concepção de uma PLL e, seguindo tendências do desenvolvimento de *software* atuais, responsividade e interatividade de acordo com a alteração dos parâmetros de entrada. Na sequência, será apresentada a interface como um todo, seguida de explicações mais detalhadas sobre algumas sub-regiões.

4.2.1 Interface completa

A figura 4.3 mostra a interface como um todo. Nela, tem-se uma ideia geral sobre os aspectos que ela cobre, bem como as funcionalidades que ela oferece. Ao abrir pela primeira vez, o usuário precisa clicar no botão *Update* para que os gráficos sejam inicializados. Após esta fase, a cada alteração em algum parâmetro de entrada, os gráficos serão atualizados automaticamente, bem como os parâmetros de saída

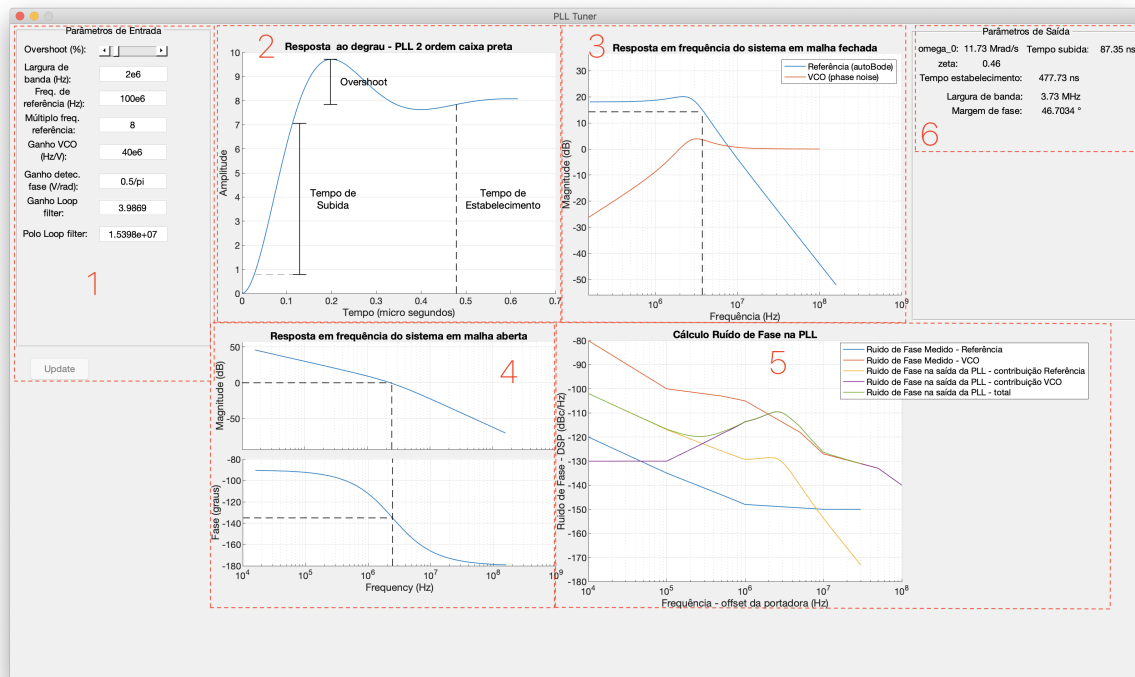


Figura 4.3: Visão geral sobre a interface construída em Matlab. Fonte: os autores.

4.2.2 Parâmetros de Entrada

Primeiramente, é necessário preencher os parâmetros de entrada do sistema (região 1 da figura 4.3). Os principais termos que influenciam o desempenho da PLL estão representados na figura 4.4 e são autoexplicativos, baseados em conceitos já apresentados na fundamentação teórica. Cada uma das outras sub-regiões serão apresentadas baseadas nos valores mostrados na figura 4.4.

Parâmetros de Entrada	
Overshoot (%):	<input type="text" value=""/>
Largura de banda (Hz):	<input type="text" value="2e6"/>
Freq. de referência (Hz):	<input type="text" value="100e6"/>
Múltiplo freq. referência:	<input type="text" value="8"/>
Ganho VCO (Hz/V):	<input type="text" value="40e6"/>
Ganho detec. fase (V/rad):	<input type="text" value="0.5/pi"/>
Ganho Loop filter:	<input type="text" value="3.9869"/>
Polo Loop filter:	<input type="text" value="1.5398e+07"/>

Figura 4.4: Parâmetros de entrada da interface: região 1. Fonte: os autores.

4.2.3 Resposta ao Degrau

Primeiro gráfico que a interface apresenta, a resposta ao degrau é uma métrica que evidencia parâmetros temporais relevantes: tempo de subida, *overshoot* e o tempo de estabelecimento. A configuração dos parâmetros de entrada gera a resposta ao degrau da figura 4.6.

Começando pelo tempo de subida, este fator dá uma ideia do tempo necessário para que o sistema comece a responder a um estímulo em sua entrada, daí vem sua importância. Ele é calculado como sendo o tempo que o sinal leva para passar de 10% a 90% do valor final. Como mostrado na figura 4.4, o divisor de frequência foi configurado para divisão por 8, o valor final nesse caso de um degrau unitário é 8. Assim, o tempo de subida será contado a partir do momento que o sinal de entrada chegar em 0,8 (10 % de 8) até atingir 7,2 (90 % de 8).

O próximo parâmetro é o *overshoot* ou sobressinal. O cálculo se dá pela porcentagem do sinal que excede o valor final. Em muitas aplicações isso é bastante crítico, pois, no caso da comunicação GSM, por exemplo, tem-se uma norma regulamentando a ocupação espectral de cada canal e, lembrando que a malha de captura de fase tem por objetivo igualar a frequência (ou fase) do sinal de entrada ao

sinal de saída, o efeito prático do *overshoot* é fazer com que ela extrapole o valor desejado e, se essa extrapolação for muito elevada, pode ocorrer sobreposição com o sinal dos canais adjacentes. A figura 4.5 mostra esse fenômeno. A curva azul representa módulo da transformada de Fourier para 5 períodos de um sinal senoidal. Esse sinal, quanto mais o número de períodos tende a infinito, mais ele se aproxima de um dirac, nesse caso, em 100 Hz. Em laranja, entre cada um dos 5 períodos, é adicionado pequenas flutuações, de maneira que o sinal não é mais perfeitamente periódico. A curva laranja representa o impacto desta imperfeição no espectro do ponto de vista da frequência, desviando o pico da curva ligeiramente dos 100 Hz.

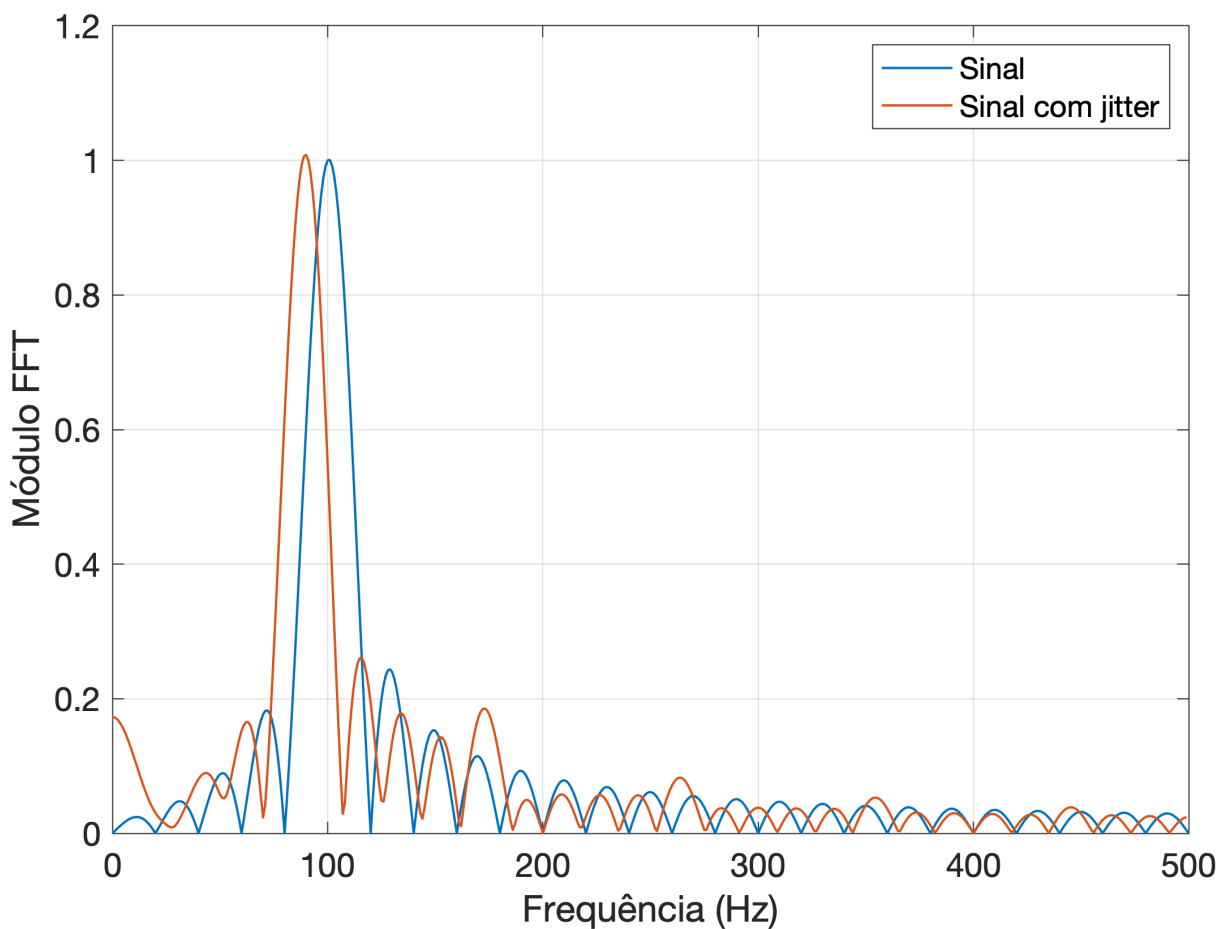


Figura 4.5: Módulo da transformada de Fourier de 5 períodos um sinal senoidal (azul) e da mesma quantidade de períodos para um sinal com *jitter*.

Por fim, um último parâmetro relevante é o tempo de estabelecimento (do inglês, *settling time*). Ele reflete o tempo necessário para chegar em 95 % do valor

final. Assim, esses três fatores devem ser considerados em conjunto para o desempenho do sistema, já que quanto mais rápido o tempo de subida, maior será o *overshoot* e também maior o tempo de estabelecimento. Portanto, eles devem ser otimizados de acordo com as especificações do *design* em questão.

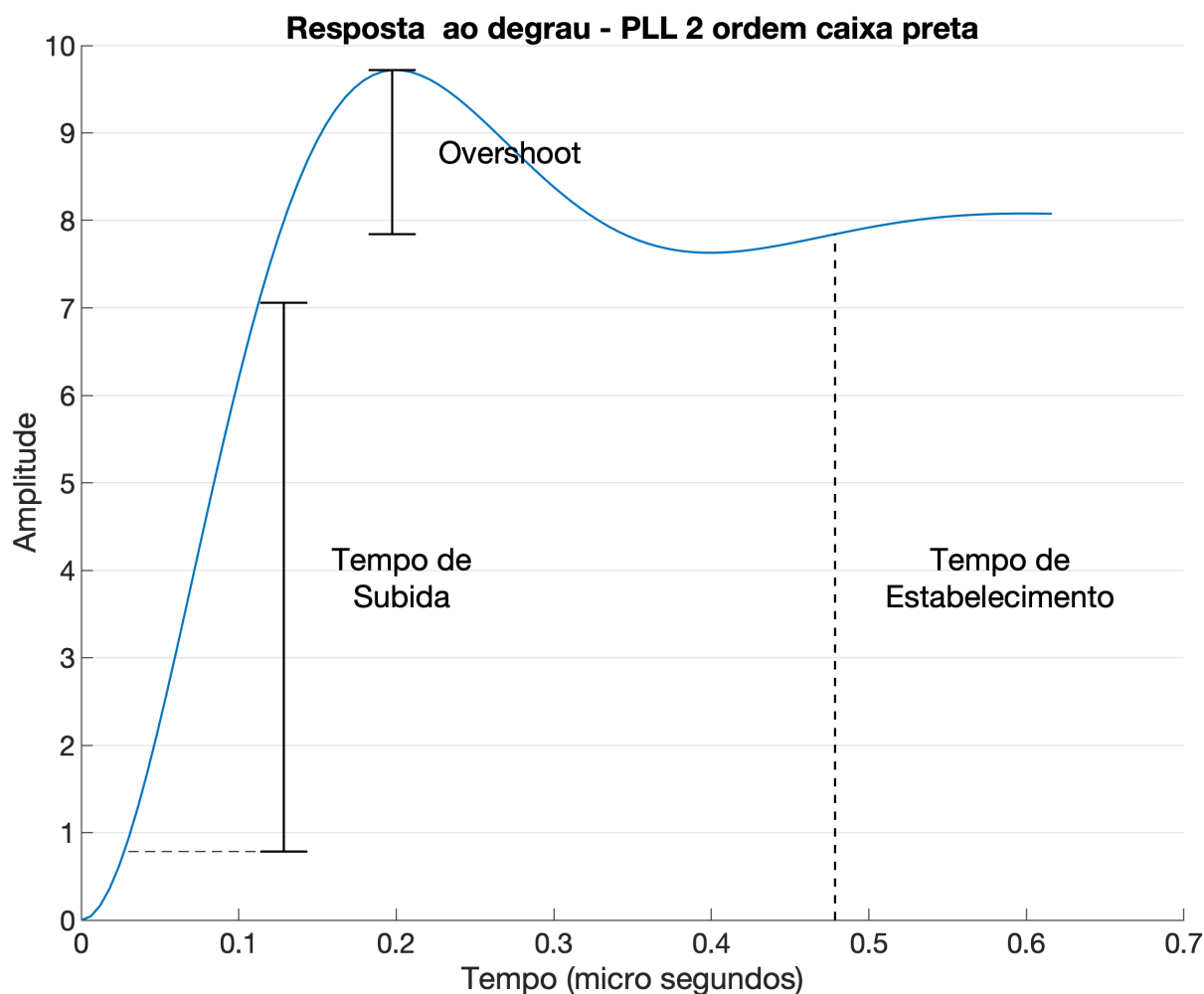


Figura 4.6: Gráfico exemplo da resposta ao degrau: região 2. Fonte: os autores.

O tempo de estabelecimento e o tempo de subida estão diretamente relacionados com o *jitter*. Este é um compromisso de desempenho importante, mas ignorado frequentemente pelas figuras de mérito convencionais (PALIWAL; SATTINENI; GUPTA, 2012). Quanto menor o tempo de estabelecimento, mais rapidamente a PLL se estabiliza, porém, para alcançar um tempo de estabelecimento baixo, é preciso aumentar o ganho do sistema, o que intensifica o *jitter*. O *jitter* é indesejado e representa uma variação estatística de atraso de sinal ao percorrer

diferentes componentes do sistema, resumidamente, é a incapacidade do sistema de gerar sinais com o mesmo período. A tabela 4.2.3 sintetiza valores de jitter e tempo de estabelecimento (TdE), ilustrando a situação de *tradeoff* entre as duas métricas.

PLL	Tec. [nm]	Freq. [GHz]	Jitter [ps]	Pot. [mW]	TdE [us]
(AL, 2010)	130	1,56	0,38	2,8	300
(KIM et al., 2010)	130	1,35	3,7	16,5	3,84
(VIDOJKOVIC et al., 2012)	90	1,73	4,15	1,13	40
(LEE; TSAI; LIU, 2012)	90	0,64	4,9	3,8	4,67
(KAMATH, 2010)	90	0,48	5,8	3	2
(SEO; LEE; SIM, 2011)	180	1,2	3,5	18	5
(KAO; LIU, 2011)	180	1,56	9,7	16,2	26

Tabela 4.2: Tempo de Estabelecimento (TdE) e valores de Jitter para diferentes PLLs. Fonte: (PALIWAL; SATTINENI; GUPTA, 2012).

4.2.4 Resposta em frequência em malha fechada

A próxima informação fornecida pela interface (região 3) é a resposta do sistema em malha fechada. Para tal representação, é representada a magnitude da função de transferência tanto com relação à referência, quanto com relação ao VCO. A intenção de representar também com relação ao VCO é devido ao fato de que na seção 4.2.6 será detalhado o ruído de fase do ponto de vista do VCO e do ponto de vista da referência. Nesse sentido, faz-se interessante visualizar também esta métrica. A figura 4.7 esclarece as duas curvas que serão apresentadas: na azul, é traçada a função de transferência $Y(S)/X4(S)$ e, em laranja, $Y(S)/H(S)$

A linha pontilhada destaca a largura de banda do sistema, cujo valor exato é mostrado nos parâmetros de saída, detalhados na seção 4.2.7. A figura 4.8 mostra a resposta em frequência para os parâmetros de entrada apresentados.

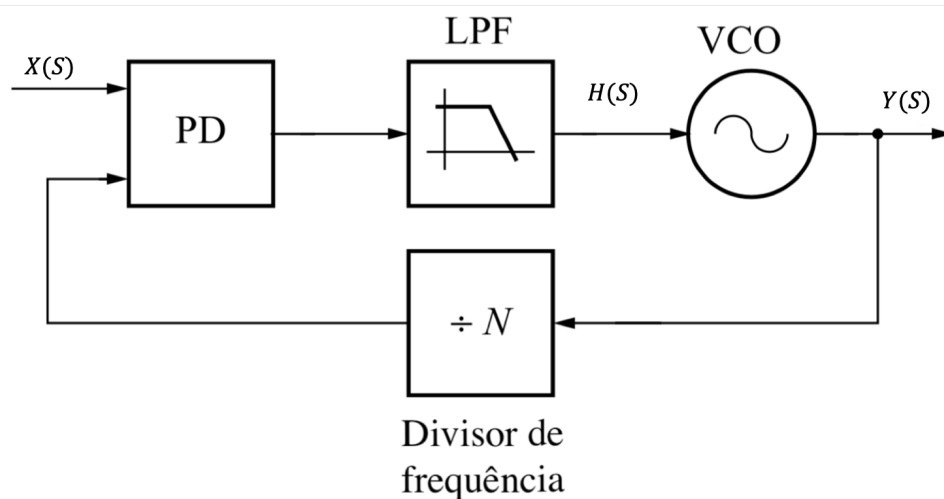


Figura 4.7: Representação da PLL no domínio da frequência

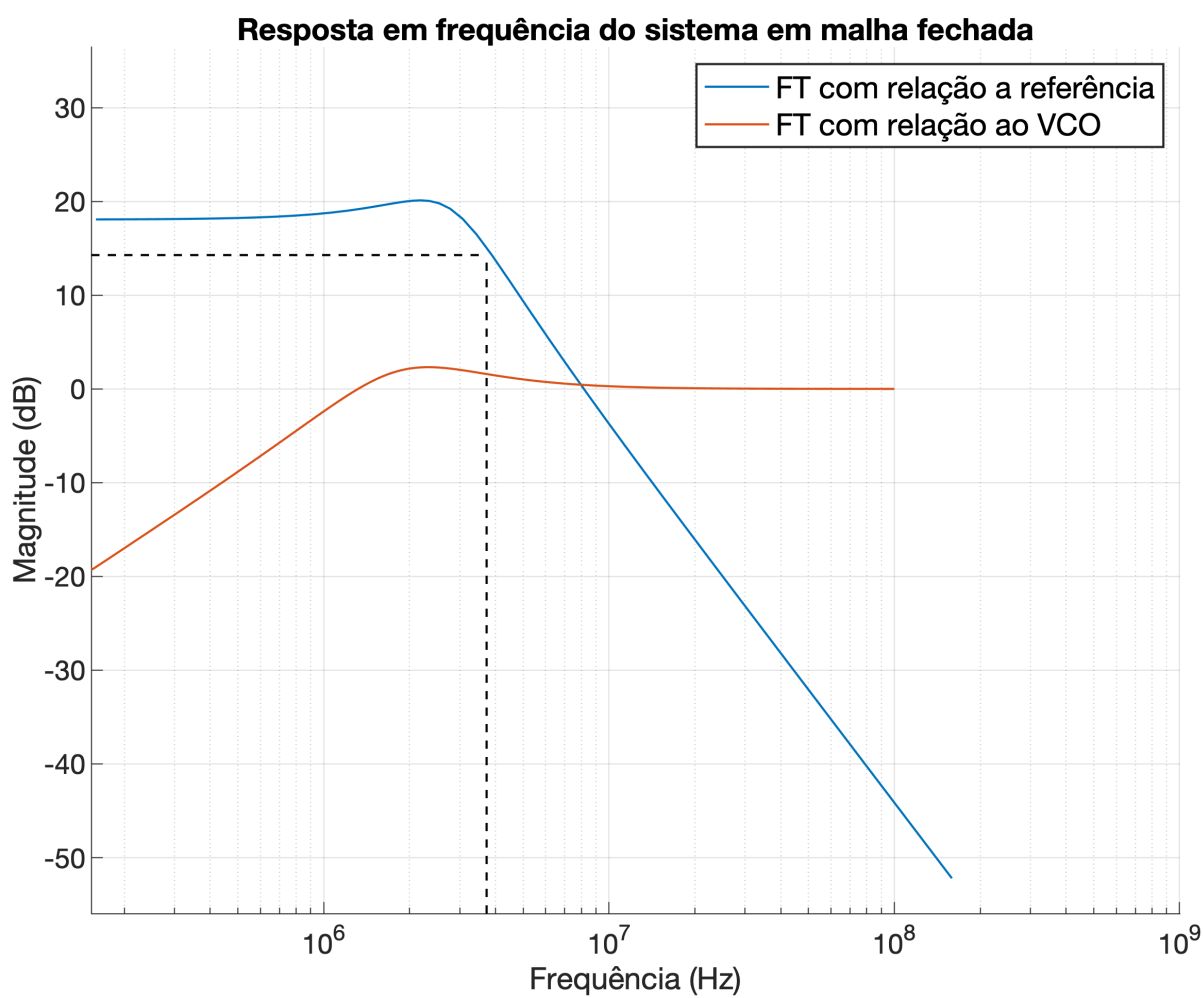


Figura 4.8: Resposta em frequência em malha fechada. Fonte: os autores

4.2.5 Resposta em frequência em malha aberta

Na sequência, tem-se a região 4 que representa tanto a magnitude quanto a fase da função de transferência do sistema em malha aberta. Com isso, é possível avaliar um parâmetro crucial para o projeto de uma PLL: a margem de fase. Este valor pode ser encontrado quando o ganho em malha aberta é de 0 dB. Neste ponto, para o mesmo valor em frequência, se olharmos para a fase, a diferença desta para o -180° representa a margem de fase. Na prática, isso representa a margem que o sistema possui para a instabilidade total no qual a saída seria instável.

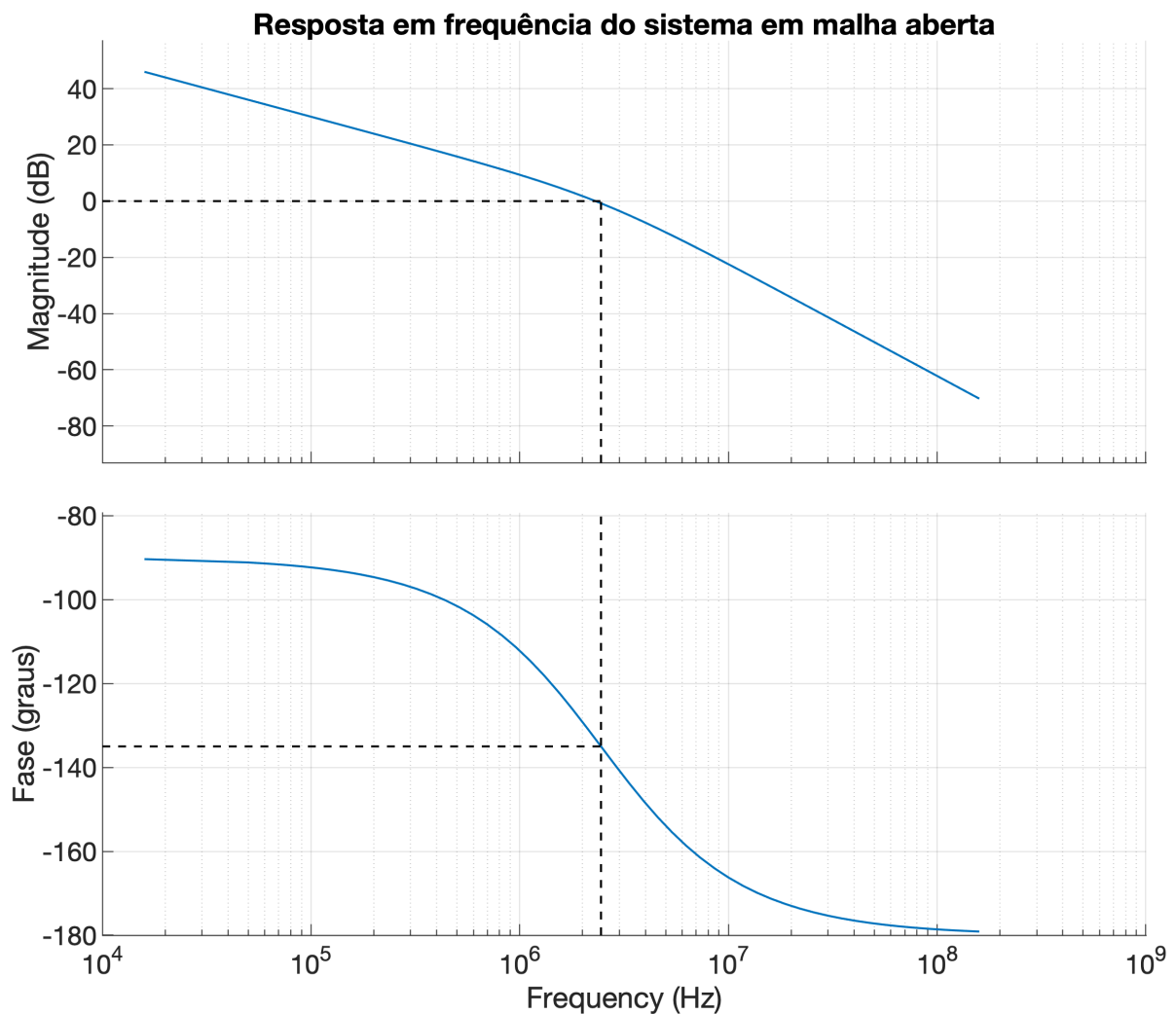


Figura 4.9: Diagrama de Bode contendo a magnitude e a fase da resposta em frequência do sistema em malha aberta (região 4). Fonte: os autores.

4.2.6 Ruído de fase

A região 5 da interface coloca em evidência o ruído de fase, uma métrica bastante relevante para uma PLL, conforme explicado em 2.2.7. Para avaliação do impacto deste fenômeno, utilizou-se de valores empíricos, medidos em dBc/Hz para determinadas frequências, tanto para o VCO, quanto para a referência. No estado da arte, as figuras de mérito, em sua maioria, não descrevem um perfil de ruído de fase para diferentes frequências, apenas para um valor de *offset* da portadora, como, por exemplo, na tabela 2.2.7 apresentada anteriormente. Nesse sentido, buscou-se informações em diferentes portais para valores de um perfil de ruído de fase medido tanto no VCO, quanto na referência. Sabe-se que, para que a PLL funcione corretamente, é necessário que o sinal de referência utilizado seja uma frequência pura, ou seja, extremamente preciso e constante. Em contrapartida, o oscilador utilizado pelo VCO não necessita de tamanha precisão, já que a realimentação da malha fará com que essa oscilação siga a entrada. Assim, utilizou-se um perfil com ruído de fase menor para a referência em comparação ao VCO, o que é de fato realista. Para uma utilização ainda mais precisa do modelo, é recomendado buscar tais curvas para que o impacto medido seja bem próximo do real. A figura 4.10 apresenta esses dois perfis (curvas laranja e azul).

Além disso, buscou-se representar, também, a influência que esses perfis de ruído possuem sobre o sistema. Para isso, o ruído do VCO foi adicionado ao sistema em malha fechada cuja entrada e saída estão no bloco VCO (curva roxa) e o ruído da referência adicionado ao sistema em malha fechada com a referência como entrada e a saída do VCO como saída (curva amarela). Por último, as duas influências foram adicionadas para analisar a contribuição total, tanto do ruído trazido do VCO, quanto do ruído trazido pela referência.

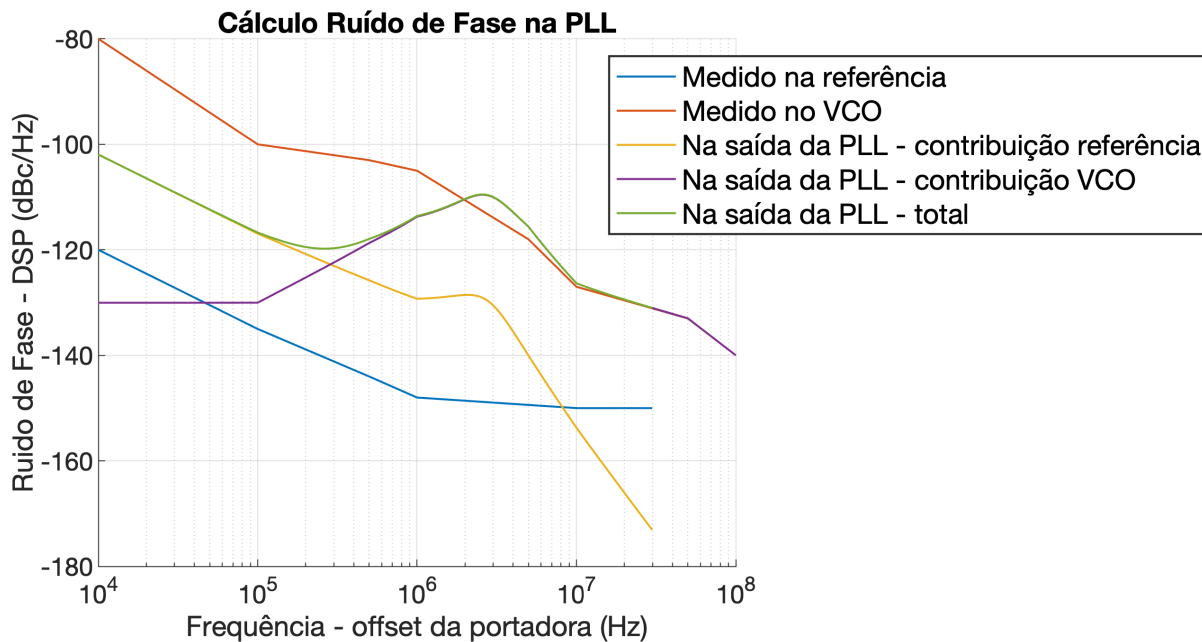


Figura 4.10: Espectro de potência do ruído no sistema (região 5). Fonte: os autores.

4.2.7 Parâmetros de saída

Por fim, a região 6 mostra os parâmetros de saída que são atualizados constantemente de acordo com a alteração da entrada. Esses parâmetros são colocados dessa maneira para que os valores exatos possam ser visualizados com mais clareza, já que a margem de fase e largura de banda, por exemplo, não são de fácil visualização na interface. Assim, pretende-se complementar o aspecto visual que as outras regiões oferecem.

Parâmetros de Saída			
omega_0:	11.73 Mrad/s	Tempo subida:	87.35 ns
zeta:	0.46		
Tempo estabelecimento:		477.73 ns	
Largura de banda:	3.73 MHz		
Margem de fase:	46.7034 °		

Figura 4.11: Parâmetros de entrada da interface: região 6. Fonte: os autores.

4.3 Modelo comportamental

O seguinte modelo, representado na figura 4.12, é o ponto de partida do projeto, pois serve para testar o funcionamento da PLL, servindo como prova de conceito do modelo de cada bloco.

O modelo proposto é de uma PLL cujo detector de frequência e divisor de frequência são digitais. Porém, como o VCO é um oscilador convencional, a PLL é adaptada para sinais digitais e analógicos. Esta arquitetura foi escolhida tendo em vista a facilidade da implementação. Ainda, neste modelo inicial, o VCO e o Filtro são ideais, não tendo descrição de blocos mais aprofundada. Portanto, apenas o detector de fase e o divisor de frequências terão o modelo comportamental estudado nesta seção.

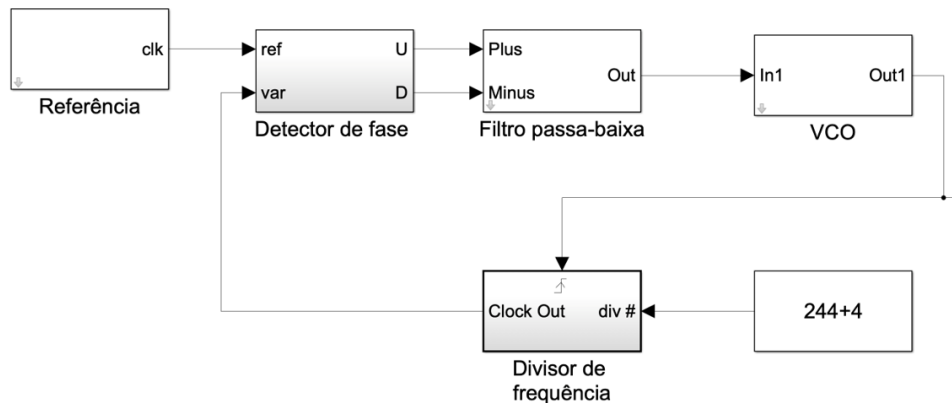


Figura 4.12: Modelo temporal de uma PLL híbrida (analógica e digital) concebida no *software* MATLAB Simulink. Fonte: os autores.

Neste modelo, colocamos a disposição do usuário um arquivo de configuração, semelhante aos parâmetros de entrada disponíveis na interface. Para acessar esse arquivo, deve-se seguir o passo a passo abaixo:

1. Abrir modelo simulink da PLL 2.4 GHz.
2. Clicar com o botão direito em uma região na qual nenhum componente esteja selecionado.
3. Ir em “Model Properties”, selecionar a aba “Callbacks” seguido do callback “InitFcn”.

A função “InitFcn” contém um *script* que será executado assim que a simulação rodar. Dessa forma, se desejar alterar algum dos parâmetros, este é o local onde a alteração deve ser realizada.

4.3.1 Detector de Fase

A figura 4.14 mostra esquematicamente o modelo implementado do detector de fase. Como foi discutido anteriormente, o detector de fase digital é composto por elementos de memória (*flip-flops*) e uma porta NAND. Analisando as referências deste trabalho, é possível concluir que se trata da arquitetura de detecção de fase mais robusta. Este modelo é encontrado parcialmente em bibliotecas fornecidas pelo próprio MATLAB. O bloco *convert* serve para fazer a conversão de tipo de sinais, já que o sinal dos

flip-flops é um sinal lógico.

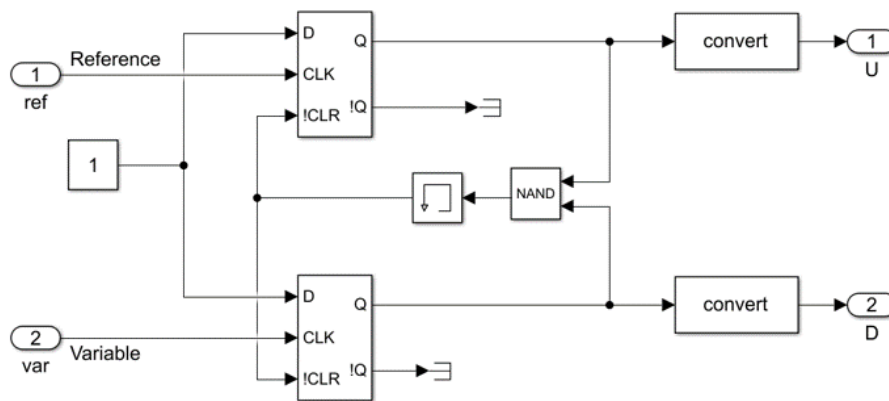


Figura 4.13: Modelo comportamental do Detector de Fase Digital implementado. Fonte: os autores.

4.3.2 Divisor de Frequências

O projeto visa a implementação de uma PLL para síntese em frequências que, para tanto, deve contar com o bloco divisor de frequências na realimentação. O funcionamento deste bloco da PLL foi discutido brevemente em seção anteriores. Este esquema também é conhecido como *prescaler* e tem como base o uso de contadores.

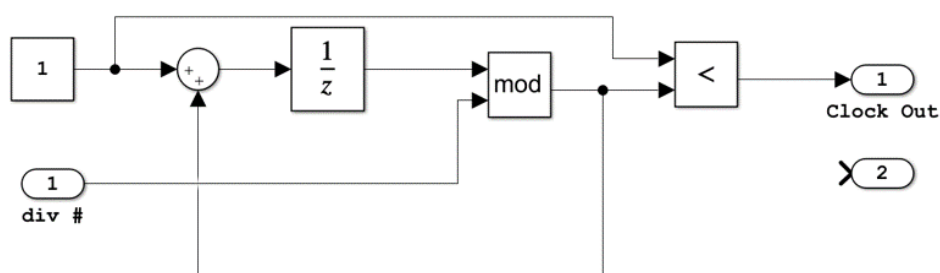


Figura 4.14: Modelo comportamental do Divisor de Frequências implementado. Fonte: os autores.

As formas de onda do divisor de frequências implementado no simulink são mostradas na seção 2.2.6, nas figuras 2.12 e 2.14.

4.3.3 Modelo do VCO

O modelo comportamental do VCO conta com um ganho K_C e uma frequência de oscilação central f_c . Para a implementação do modelo, parte-se de uma função do MATLAB que comporta-se como um oscilador (função *reciprocal*), fazendo com o que sistema fique forçadamente instável. Ainda, há um bloco que adiciona atraso ao sistema. A figura 4.15 mostra o modelo comportamental.

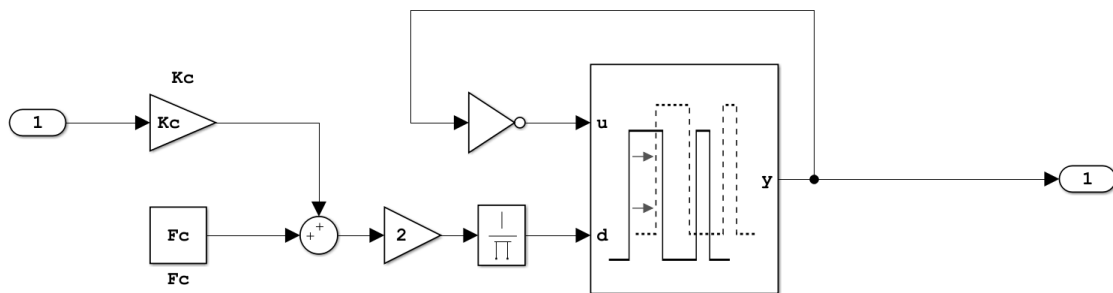


Figura 4.15: Modelo comportamental do VCO. Fonte: os autores.

O comportamento do VCO é descrito na seção 2.2.5. As curvas das figuras 2.13 e 2.14 foram extraídas do modelo acima.

4.3.4 Modelo do *Loop Filter* e *Charge Pump*

Diferente da simulação teórica descrita na seção 4.1, para que a malha da PLL funcione adequadamente, é preciso intensificar o sinal da saída do detector de fase. Isto é feito através do *Charge Pump* que transforma o sinal discreto do erro de fase em um sinal contínuo e adequado para o VCO. Assim, neste modelo, o *loop filter* é apresentado em conjunto ao circuito do *charge pump*.

A figura 4.16 mostra a implementação do modelo que conta com a parte comportamental do *charge pump* e do *loop filter*. Ainda, o loop filter é composto da resistência R_2 e da capacitância C_3 .

O bloco do *solver* precisa estar presente no modelo, pois o simulink exige a presença deste bloco em todo modelo físico para que os parâmetros de simulação

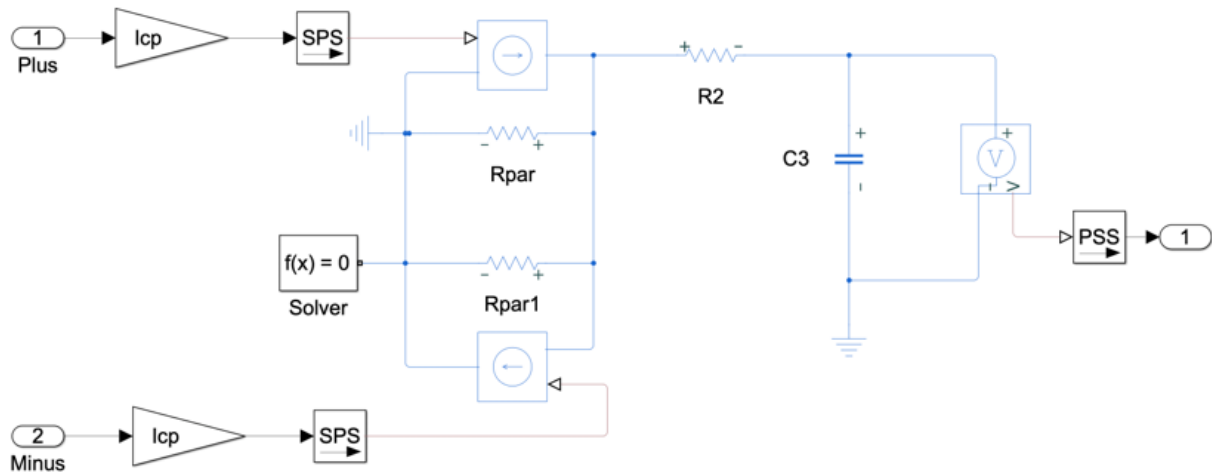


Figura 4.16: Modelo comportamental do charge pump e loop filter.

sejam aplicados. No caso discutido, o modelo físico é o circuito do *charge pump* e *loop filter*.

Os blocos SPS e PSS são blocos responsáveis pela transformação de sinais simulink em sinais físicos e vice-versa. No caso da implementação mostrada na figura 4.16, precisa-se destes blocos pois a arquitetura proposta tanto para o *charge pump* quanto para o *loop filter* é uma arquitetura física e não uma arquitetura de blocos simulink. Normalmente são atribuídas grandezas físicas para a conversão destes sinais, porém, na arquitetura proposta, não é necessário nenhuma mudança de grandeza física, apenas uma constante que controle as fontes de corrente e leia o valor da amplitude de tensão da saída do filtro. Assim, os blocos SPS e PSS têm valor de conversão unitário (1).

O valor de R_2 deriva de parâmetros escolhidos pelo usuário através da interface, descrita na seção 4.2. A capacitância C_3 foi fixada em 1 nF. A partir do polo fornecido na interface, localizado em $\frac{-1}{\tau}$, o valor de R_2 é calculado através da equação 4.7:

$$R_2 = \frac{\tau}{C_3}. \quad (4.7)$$

Ainda, o valor da corrente do *charge pump*, I_{CP} , é obtido através da equação 4.8:

$$I_{CP} = \left(\frac{1}{R_2} \right) \cdot \frac{K_c}{K_p \cdot K_v \cdot K_n}. \quad (4.8)$$

CAPÍTULO 5

CONCLUSÃO

5.1 Conclusão do trabalho desenvolvido

O trabalho proposto tem natureza investigativa e é o ponto de partida para o *design* de um circuito PLL para a internet das coisas. O primeiro desafio foi a definição do sistema, o que é primordial em uma metodologia *top-down*, pois evita erros de projetos em etapas futuras.

A meta de todo o desenvolvimento é deixar uma contribuição científica de qualidade e fornecer, sobretudo ao grupo GICS (*Group Of Integrated Circuits and Systems*), um ambiente de prova de conceito do modelo comportamental de uma PLL.

Durante o desenvolvimento do trabalho, colocamo-nos na posição do projetista de circuitos e, com isso, propomos uma interface que fornece o máximo de informações com o menor esforço possível.

Além disso, um grande trabalho de coletas de dados foi feito, o que pode ser observado no desenvolvimento deste próprio documento.

O modelo proposto atende aos objetivos do trabalho, pois permite, a partir da interface, a análise dos seguintes itens, de maneira instantânea e interativa:

1. Largura de banda do sistema;
2. Adotar diferentes frequências de referência;
3. Parâmetro N do divisor de frequência;
4. Ganho do VCO;
5. Ganho do detector de fase;
6. Ganho do *loop filter*;
7. Local do pólo do *loop filter*;
8. Tempo de assentamento;

9. *Overshoot* do sinal de frequência;
10. Margens de estabilidade;
11. Perfil de ruído de fase do sistema;

Além disso, o modelo proposto é compatível com cossimulação, como sugere a figura 5.1. A cossimulação permite adicionar ao modelo comportamental blocos concebidos a nível circuito por outros *softwares*, como por exemplo, o Cadence Virtuoso. Assim, o projetista poderia, por exemplo, implementar o *loop filter* em circuito e importar os resultados e analisar o impacto que o sistema terá.

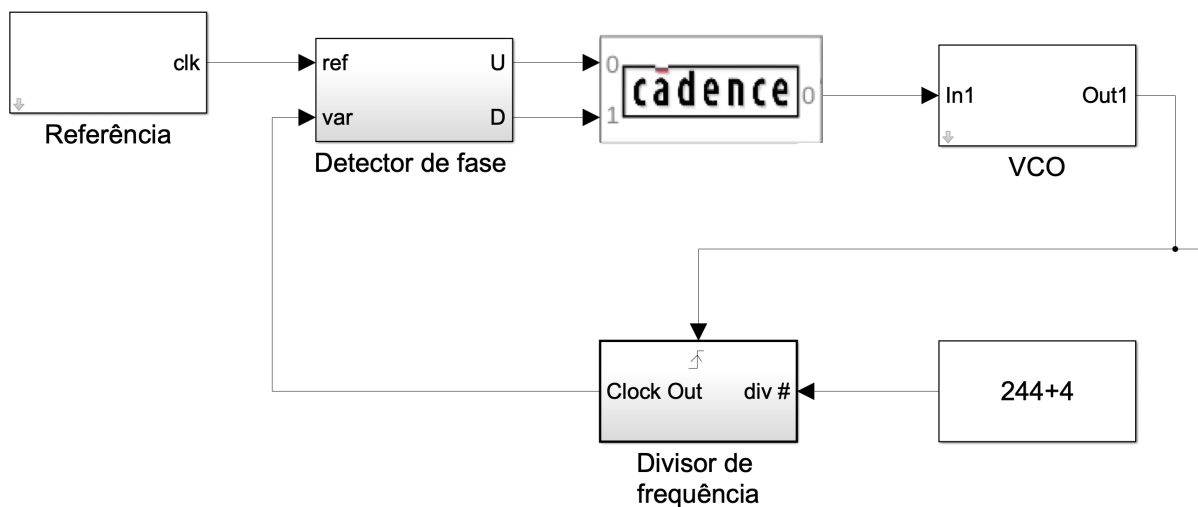


Figura 5.1: Modelo simulink da PLL com a cossimulação utilizando dados vindos do Cadence Virtuoso.

Esperamos que, com esse discurso disponível, os futuros projetistas possam estabelecer um ambiente de simulação com o modelo, para verificação do funcionamento do sistema. Isto resulta em um ganho em qualidade e tempo para o projeto, pois promove um sistema de simulação de síntese de frequência convencional pode ser muito complexo.

5.1.1 Trabalhos Futuros

Para trabalhos futuros, sugerimos que haja um estudo mais aprofundado da cossimulação com modelos feitos no *Cadence Virtuoso*. Isto vai permitir ir mais longe nas discussões do comportamento do modelo. Além disso, a interface pode ser

aprimorada para que conte com detalhes, como: gama de captura (faixa para qual há captura), jitter (apesar da relação direta com o ruído de fase e o tempo de assentamento, como já discutido), e etc. Algumas destas informações estão disponíveis em camadas mais baixas do modelo, porém, trazer para a interface seria um caminho.

BIBLIOGRAFIA

ABNT (Ed.). *NBR 6023 Informação e documentação - Referências*. [S.l.]: Associação Brasileira de Normas Técnicas, 2002.

AL, J. R. H. et. A 1.56ghz wide-tuning all digital fbar-based pll in 0.13m cmos. In: *IEEE Custom Integrated Circuits Conference 2010*. [S.l.: s.n.], 2010. p. 1–4.

CHEN, H. et al. A 0.6 v, 4.32 mw, 68 ghz low phase-noise vco with intrinsic-tuned technique in 0.13 μ m cmos. *IEEE Microwave and Wireless Components Letters*, v. 18, n. 7, p. 467–469, July 2008. ISSN 1531-1309.

CURTIN, P. O. M. Phase locked loop for high-frequency receivers and transmitters - part 3. v. 3, p. 7–33, 01 1999.

DEPREEUW, D. Co-simulation virtuoso ams simulators and simulink on real designs". In: . [S.l.: s.n.], 2006.

EGAN, W. F. *Frequency Synthesis by Phase Lock*. [S.l.]: John Wiley Sons Inc, 2007.

EGAN, W. F. *Frequency Synthesis by Phase Lock*. [S.l.]: John Wiley Sons Inc, 2007.

GUPTA, S. C. Phase-locked loops. *Proceedings of the IEEE*, v. 63, n. 2, p. 291–306, Feb 1975. ISSN 0018-9219.

GUSTI, G. B. Projeto de um circuito divisor de frequência de ultra-baixo consumo de potência. v. 1, 2007. Universidade Federal de Santa Catarina. Dissertação de Mestrado.

HAJIMIRI, A.; LEE, T. H. A general theory of phase noise in electrical oscillators. *IEEE Journal of Solid-State Circuits*, v. 33, n. 2, p. 179–194, Feb 1998.

HUANG, D. et al. A 60ghz cmos vco using on-chip resonator with embedded artificial

dielectric for size, loss and noise reduction. In: *2006 IEEE International Solid State Circuits Conference - Digest of Technical Papers*. [S.l.: s.n.], 2006. p. 1218–1227. ISSN 0193-6530.

HUANG, P. et al. A low-power 114-ghz push amp;ndash;push cmos vco using lt;emphasis emphasistype="italic"gt;lc lt;/emphasis gt; source degeneration. *IEEE Journal of Solid-State Circuits*, v. 42, n. 6, p. 1230–1239, June 2007. ISSN 0018-9200.

HUANG, P.-C. et al. A 131 ghz push-push vco in 90-nm cmos technology. In: *2005 IEEE Radio Frequency integrated Circuits (RFIC) Symposium - Digest of Papers*. [S.l.: s.n.], 2005. p. 613–616. ISSN 1529-2517.

KAMAL, N. Reference spurs in an integer-n phase locked loops: Analysis, modelling and design. v. 1, 2000. Universiti Teknologi Malaysia.

KAMATH, A. S. A 13mhz input, 480mhz output fractional phase lock loop with 1mhz bandwidth. In: *Proceedings of 2010 IEEE International Symposium on Circuits and Systems*. [S.l.: s.n.], 2010. p. 501–504.

KAO, S.; LIU, S. A digitally-calibrated phase-locked loop with supply sensitivity suppression. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 19, n. 4, p. 592–602, April 2011.

KIM, D. et al. A 0.3–1.4 ghz all-digital fractional-n pll with adaptive loop gain controller. *IEEE Journal of Solid-State Circuits*, v. 45, n. 11, p. 2300–2311, Nov 2010.

KROUPA, V. F. *Phase Lock Loops and Frequency Synthesis*. [S.l.]: John Wiley Sons, Ltd, 2003.

LACAITA, S. L. A.; SAMORI, C. *Integrated Frequency Synthesizers for Wireless Systems*. [S.l.]: Cambridge University Press, 2007.

LEE, I.-T.; TSAI, Y.-T.; LIU, S. A fast-locking phase-locked loop using cp control and gated vco. In: *Proceedings of Technical Program of 2012 VLSI Design, Automation*

and Test. [S.l.: s.n.], 2012. p. 1–4.

LEESON, D. B. A simple model of feedback oscillator noise spectrum. *Proceedings of the IEEE*, v. 54, n. 2, p. 329–330, Feb 1966. ISSN 0018-9219.

MAJI, S.; MANDAL, S.; SAW, S. Phase locked loop – a review. v. 4, p. 23–26, 01 2016.

MANTHENA, V. K. Ultra low power cmos phase-locked loop frequency synthesizers. v. 1, p. 62–63, 01 2011.

MATHWORKS. *Simulink® Getting Started Guide*. [S.l.]: MathWorks, 1995 – 2017.

MATHWORKS. *Modeling and Simulating an All-Digital Phase Locked Loop*. 2011.

<https://www.mathworks.com/company/newsletters/>

[articles/modeling-and-simulating-an-all-digital-phase-locked-loop.html](https://www.mathworks.com/company/newsletters/articles/modeling-and-simulating-an-all-digital-phase-locked-loop.html). Accesso em: 30/08/2018.

NICOLLE, B. et al. Top-down pll design methodology combining block diagram, behavioral, and transistor-level simulators. In: *2007 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*. [S.l.: s.n.], 2007. p. 475–478. ISSN 1529-2517.

PALIWAL, P.; SATTINENI, M.; GUPTA, S. Tradeoffs between settling time and jitter in phase locked loops. v. 1, 10 2012. Department of Electrical Engineering, IIT Bombay, Mumbai 400076, India.

RACHEDINE, M. et al. Performance review of integrated cmos vco circuits for wireless communications. In: *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2003*. [S.l.: s.n.], 2003. p. 77–80. ISSN 1529-2517.

REN, J.; EL-SANKARY, K.; EL-MASRY, E. *Design of low-voltage wide tuning range CMOS multipass voltage-controlled ring oscillator*. 09 2010. 109 - 112 p.

SEO, Y.; LEE, S.; SIM, J. A 1-ghz digital pll with a 3-ps resolution floating-point-number tdc in a 0.18- μ m cmos. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 58, n. 2, p. 70–74, Feb 2011.

UFPR (Ed.). *Normas para apresentação de documentos científicos, 2 - Teses, dissertações, monografias e outros trabalhos acadêmicos*. [S.l.]: Universidade Federal do Paraná, 2007.

VIDOJKOVIC, M. et al. A fully integrated 1.7–2.5ghz 1mw fractional-n pll for wban and wsn applications. In: *2012 IEEE Radio Frequency Integrated Circuits Symposium*. [S.l.: s.n.], 2012. p. 185–188.

VOICU, e. a. M. Performances and trends in millimeter-wave cmos voltage controlled oscillators. In: *2012 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2012)*. [S.l.: s.n.], 2012. p. 625–628.

WANG, H. A 50 ghz vco in 0.25 /spl mu/m cmos. In: *2001 IEEE International Solid-State Circuits Conference. Digest of Technical Papers. ISSCC (Cat. No.01CH37177)*. [S.l.: s.n.], 2001. p. 372–373. ISSN 0193-6530.