

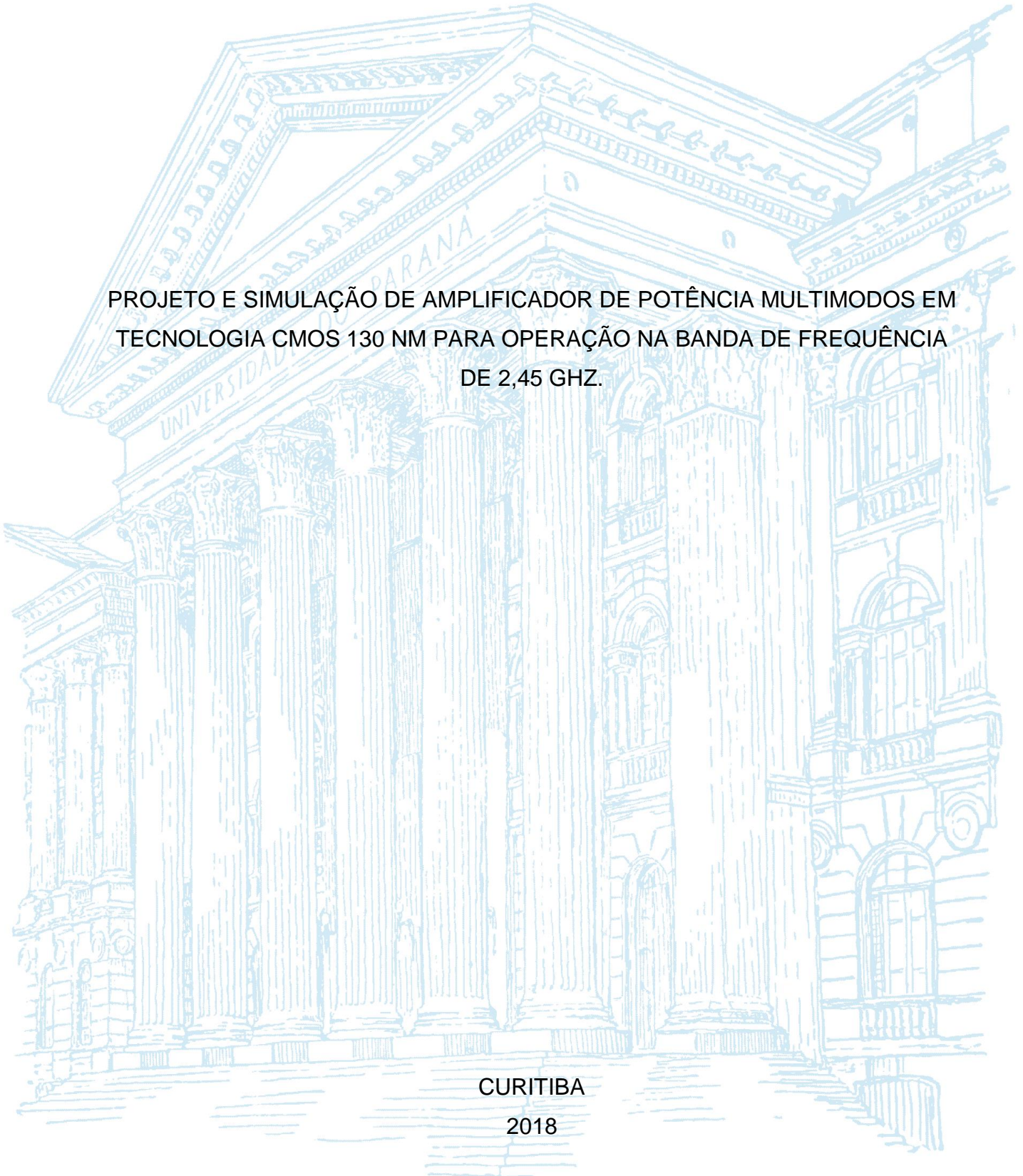
UNIVERSIDADE FEDERAL DO PARANÁ

BRUNO YUJI TARUI

PROJETO E SIMULAÇÃO DE AMPLIFICADOR DE POTÊNCIA MULTIMODOS EM
TECNOLOGIA CMOS 130 NM PARA OPERAÇÃO NA BANDA DE FREQUÊNCIA
DE 2,45 GHZ.

CURITIBA

2018



BRUNO YUJI TARUI

PROJETO E SIMULAÇÃO DE AMPLIFICADOR DE POTÊNCIA MULTIMODOS EM
TECNOLOGIA CMOS 130 NM PARA OPERAÇÃO NA BANDA DE FREQUÊNCIA
DE 2,45 GHZ.

TCC apresentada ao curso de Engenharia Elétrica,
Setor de Tecnologia, Universidade Federal do
Paraná, como requisito parcial à obtenção do título
de Bacharel em Engenharia Elétrica.

Orientador:
Prof. Bernardo Rego Barros de Almeida Leite.

CURITIBA

2018

AGRADECIMENTOS

Primeiramente, agradeço à minha família por todo esforço, apoio e confiança depositada em mim e em meus estudos.

Agradeço também todas as professoras e professores que me ajudaram nessa jornada me transmitindo conhecimento de grande valor para minha vida acadêmica e pessoal.

Por fim, mas não menos importante, agradeço a todos os meus colegas de curso, muitos dos quais se tornaram amigos para toda a vida, pelo companheirismo de todas as horas.

RESUMO

Nesse trabalho é apresentado o projeto e simulação de um amplificador de potência diferencial multimodos. O trabalho iniciou-se com um estudo bibliográfico do tema afim de se encontrar a melhor arquitetura para ser implementada visando atingir os nossos objetivos, os quais incluíam um PA diferencial multimodos, que atingisse níveis de potência mais altos que 20 dBm e um ganho constante. A partir da arquitetura escolhida o esquemático do circuito foi projetado utilizando-se técnicas da literatura de projeto de PAs. Como circuito resultante, obteve-se um PA diferencial com 4 modos distintos de operação, os quais tem como característica um ganho aproximadamente igual e diferentes pontos de compressão de 1 dB referidos à saída e potência consumidas. Os valores de OCP_{1dB} variam de 18 dBm à aproximadamente 25 dBm, enquanto o consumo varia de 2 W à 3 W e o ganho tem valor de aproximadamente 24 dB.

Palavras-chave: Amplificador de potência, 2,45 GHz, controle de potência

LISTA DE FIGURAS

FIGURA 1 - SÍMBOLO E REPRESENTAÇÃO FÍSICA DE UM TRANSISTOR NMOS	19
FIGURA 2 - TRANSMISSOR DE RADIOFREQUÊNCIA.....	20
FIGURA 3 - CONSUMO DE POTÊNCIA EM UM MÓDULO DE RADIOFREQUÊNCIA	20
FIGURA 4 - RUPTURA DO ÓXIDO DE UM TRANSISTOR MOSFET	21
FIGURA 5 - EXEMPLO DE CIRCUITO INCONDICIONALMENTE ESTÁVEL	24
FIGURA 6 - EXEMPLO DE COMPRESSÃO DA POTÊNCIA DE SAÍDA DE UM PA25	
FIGURA 7 - AMPLIFICADOR DA TOPOLOGIA FONTE COMUM.....	26
FIGURA 8 - AMPLIFICADOR DA TOPOLOGIA CASCODE	27
FIGURA 9 - EXEMPLOS DE PAS MULTIMODOS DA LITERATURA	28
FIGURA 10 - ARQUITETURA DO PA PROPOSTO.....	30
FIGURA 11 - DIAGRAMA DE BLOCOS DO PA PROPOSTO	31
FIGURA 12 - ESQUEMÁTICO DO ESTÁGIO DE POTÊNCIA DO CIRCUITO PROPOSTO.....	33
FIGURA 13 - CARTA DE SMITH COM RESULTADO DA SIMULAÇÃO LOADPULL	36
FIGURA 14 - CÁLCULO DA REDE DE CASAMENTO DE SAÍDA.....	37
FIGURA 15 - REDE DE CASAMENTO DE IMPEDÂNCIAS DE SAÍDA	39
FIGURA 16 - EQUIVALÊNCIA ENTRE AS REDES DE CASAMENTO LC E O TRANSFORMADOR COM CONTATO CENTRAL.....	40
FIGURA 17 - ESQUEMÁTICO DO ESTÁGIO DE GANHO DO CIRCUITO PROPOSTO.....	42
FIGURA 18 - IMPEDÂNCIA DE ENTRADA EM FUNÇÃO DA FREQUÊNCIA.....	45
FIGURA 19 - CÁLCULO DE REDE DE CASAMENTO DE ENTRADA	45
FIGURA 20 - REDE DE CASAMENTO DE ENTRADA	46
FIGURA 21 - CÉLULA DE POTÊNCIA PARA TESTE DE TENSÕES LIMITE.....	48
FIGURA 22 - RESULTADOS DAS DIFERENÇAS DE POTENCIAIS ENTRE OS TERMINAIS DA CÉLULA DE POTÊNCIA	48
FIGURA 23 - CIRCUITOS DE POLARIZAÇÃO.....	49
FIGURA 24 - ESQUEMÁTICO DE TESTE DO CIRCUITO PROPOSTO.....	50
FIGURA 25 - PARÂMETRO DE ESTABILIDADE μ	51

FIGURA 26 - PARÂMETRO DE ESPALHAMENTO S_{11}	52
FIGURA 27 - PARÂMETRO DE ESPALHAMENTO S_{21}	52
FIGURA 28 - GANHO DIRETO EM FUNÇÃO DA POTÊNCIA DE SAÍDA.....	53
FIGURA 29 - CONSUMO DE POTÊNCIA DC EM FUNÇÃO DA POTÊNCIA DE SAÍDA	54
FIGURA 30 - EXEMPLO DE ECONOMIA DE CONSUMO DE POTÊNCIA DC	55
FIGURA 31 - PAE EM FUNÇÃO DA POTÊNCIA DE SAÍDA	55
FIGURA 32 - EXEMPLO DE AUMENTO DE PAE EM OPERAÇÕES EM POTÊNCIA DE RECUO	56

LISTA DE TABELAS

TABELA 1 - COMPARAÇÃO ENTRE TRANSISTORES ÓXIDO FINO E GROSSO.	32
TABELA 2 - LARGURA EFETIVA DO ESTÁGIO DE POTÊNCIA.....	35
TABELA 3 - VALIDAÇÃO E OTIMIZAÇÃO DO CASAMENTO DE SAÍDA.....	38
TABELA 4 - MODOS DE OPERAÇÃO DO ESTÁGIO DE POTÊNCIA	40
TABELA 5 - MODOS DE OPERAÇÃO APÓS DIMENSIONAMENTO DAS CÉLULAS AUXILIARES	43
TABELA 6 - VALORES DE S_{11} E GANHO DIRETO APÓS IMPLIMENTAÇÃO DO CASAMENTO DE ENTRADA	47
TABELA 7 - MODOS DE OPERAÇÃO DO CIRCUITO PROPOSTO	49
TABELA 8 - COMPARAÇÃO COM ESTADO DA ARTE	57

LISTA DE ABREVIATURAS OU SIGLAS

PA	- Amplificador de potência
OCP _{1dB}	- Ponto de compressão de 1 dB referenciado à saída
dB	- Decibel
dBm	- Decibel miliwatt
W	- Watts

SUMÁRIO

1 INTRODUÇÃO	16
1.1 OBJETIVOS	16
1.1.1 Objetivo geral	16
1.1.2 Objetivos específicos.....	16
1.2 REQUISITOS DO PROJETO.....	17
2 REVISÃO DE LITERATURA	18
2.1 TECNOLOGIA CMOS	18
2.2 AMPLIFICADORES DE POTÊNCIA DE RADIOFREQUÊNCIA.....	19
2.2.1 Vantagens e desvantagens de PAs em tecnologia CMOS.....	20
2.2.1.1 Baixa tensão de ruptura do óxido	21
2.2.1.2 Perdas por transformação de impedâncias	22
2.2.1.3 Perdas nos transistores	22
2.2.2 Métricas para caracterização de PAs	23
2.2.2.1 Parâmetros de espalhamento.....	23
2.2.2.2 Parâmetro de estabilidade μ	24
2.2.2.3 Linearidade.....	25
2.2.3 Principais topologias de PAs.....	26
2.2.3.1 Configuração fonte comum.....	26
2.2.3.2 Configuração cascode	27
2.2.4 PAs multimodos	28
3 PROJETO DO AMPLIFICADOR DE POTÊNCIA	30
3.1 ETAPAS DO PROJETO DO PA.....	30
3.2 ESCOLHA DO TRANSISTOR.....	31
3.3 PROJETO DO ESTÁGIO DE POTÊNCIA	32
3.3.1 Definição da largura dos transistores	34
3.3.2 Rede de casamento de saída.....	36
3.3.3 Modos de operação do estágio de potência.....	40
3.4 PROJETO DO ESTÁGIO DE GANHO	41
3.4.1 Rede de casamento de entrada	43
3.5 AJUSTE FINO DE POLARIZAÇÃO E ALIMENTAÇÃO.....	47
4 RESULTADOS DE SIMULAÇÃO	50
4.1 CONFIGURAÇÃO DAS SIMULAÇÕES	50

4.2 RESULTADOS DAS SIMULAÇÕES	51
4.3 COMPARAÇÃO COM ESTADO DA ARTE	56
5 CONCLUSÃO	59
5.1 TRABALHOS FUTUROS	59
REFERÊNCIAS.....	60
ANEXO 1 – ESQUEMÁTICO COMPLETO DO CIRCUITO	61

1 INTRODUÇÃO

Uma das características mais comuns entre os dispositivos que utilizam comunicação sem fio é a alimentação por baterias. Logo, o consumo de potência é um tópico de grande relevância para esses dispositivos pois está diretamente relacionada ao tempo de uso antes que seja necessária uma recarga da bateria. Outra característica comum entre os dispositivos que dispõem de comunicação sem fio é a mobilidade. Dessa forma, eles podem se encontrar em diferentes localidades de forma a necessitar enviar diferentes quantidades de potência para fazer com que seu sinal atinja o receptor dependendo da distância que esse se encontra do dispositivo. O dispositivo responsável por amplificar o sinal enviado a níveis suficientes de potência para que possa ser recebido na cadeia de comunicação é o amplificador de potência, que tem como característica o alto consumo e baixa eficiência, principalmente para situações de operação diferentes da pior situação possível.

Com o objetivo de se melhorar a eficiência nesse módulo, pode-se empregar o uso de amplificadores de potência multimodos, os quais se comportam como diferentes amplificadores utilizando-se do mesmo circuito. Esse é o tema de estudo abordado nesse trabalho.

1.1 OBJETIVOS

1.1.1 Objetivo geral

O objetivo geral desse trabalho de conclusão de curso é o projeto de um amplificador de potência multimodos utilizando-se a tecnologia de 130 nm para a operação de na faixa de 2,45 GHz.

1.1.2 Objetivos específicos

Como objetivos específicos desse trabalho tem-se:

- a) Caracterização dos diferentes modos de operação através de simulações de pequenos e grandes sinais.
- b) Estudo das características da tecnologia de 130 nm BiCMOS8HP da Global Foundries.

1.2 REQUISITOS DO PROJETO

Para que os objetivos desse trabalho pudessem ser concluídos, foram selecionados alguns requisitos de projeto listados a seguir:

- a) Projeto de um amplificador de potência diferencial.
- b) Ao menos três modos de operação selecionáveis de operação distintos.
- c) Modos de operação com diferentes valores de potência consumida e potência de saída.
- d) Modos de operação com aproximadamente mesmo valor de ganho direto (diferença máxima de 1 dB).

2 REVISÃO DE LITERATURA

Nesta seção serão abordadas características da tecnologia CMOS, que foi a escolhida para o desenvolvimento desse projeto. Além disso, também serão discutidas as principais topologias de amplificadores de potência, métricas que as caracterizam e também trabalhos de amplificadores de potência multimodos presentes na literatura.

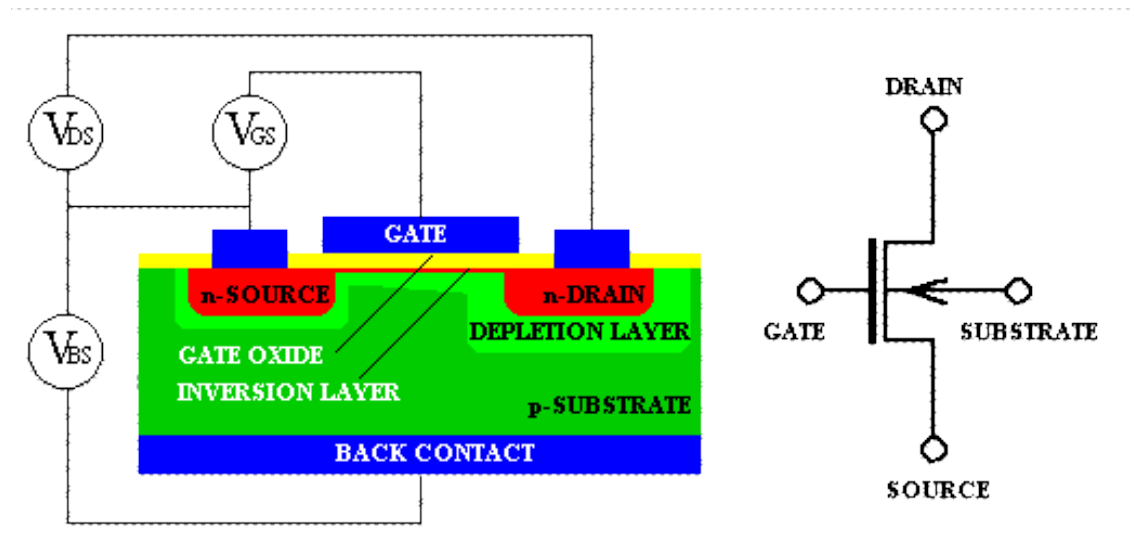
2.1 TECNOLOGIA CMOS

Os transistores do tipo MOSFET, ou transistores de efeito de campo metal-óxido-semicondutor, tem sua primeira patente registrada em 1962 por Hofstein e Heiman. No ano seguinte foi inventado o primeiro circuito CMOS por Wanlass na Fairchild Semiconductors. Desde então essa tecnologia veio revolucionando a indústria eletrônica, tendo sido a principal escolha para o desenvolvimento de circuitos digitais. Com uma grande quantidade de investimento nessa tecnologia, atualmente essa é a tecnologia mais barata para a concepção de circuitos integrados, podendo-se integrar bilhões de transistores em um único chip, como apresentado por REYNAERT (2006).

Fisicamente, os transistores MOSFET do tipo NMOS são constituídos por duas regiões altamente dopadas do tipo n, o dreno e a fonte, os quais os principais terminais do dispositivo. O terminal de porta é constituído por uma conexão de poli silício altamente dopada. O quarto terminal desse dispositivo é o terminal de corpo, constituído por uma região levemente dopada do tipo p, também chamado de substrato. Usualmente, é considerado que o terminal de corpo tendo o mesmo potencial do terminal de fonte, porém esses terminais podem ser polarizados de forma diferente, como apresentado por LEE (2004). A FIGURA 1 apresenta o símbolo de esquemático de um transistor MOSFET do tipo NMOS, bem como sua representação física.

Considerando-se o dispositivo na FIGURA 1, ao aumentar a tensão V_{GS} as lacunas presentes no substrato são repelidas até que para um certo valor de V_{GS} , chamado de tensão de limiar, a superfície fica completamente sem cargas. Aumentando ainda mais a tensão V_{GS} , surge um caminho para a corrente fluir entre os terminais de dreno e fonte. Essa é a chamada região de inversão. Se o valor de

FIGURA 1 - SÍMBOLO E REPRESENTAÇÃO FÍSICA DE UM TRANSISTOR NMOS



FONTE: EECE - Colorado University

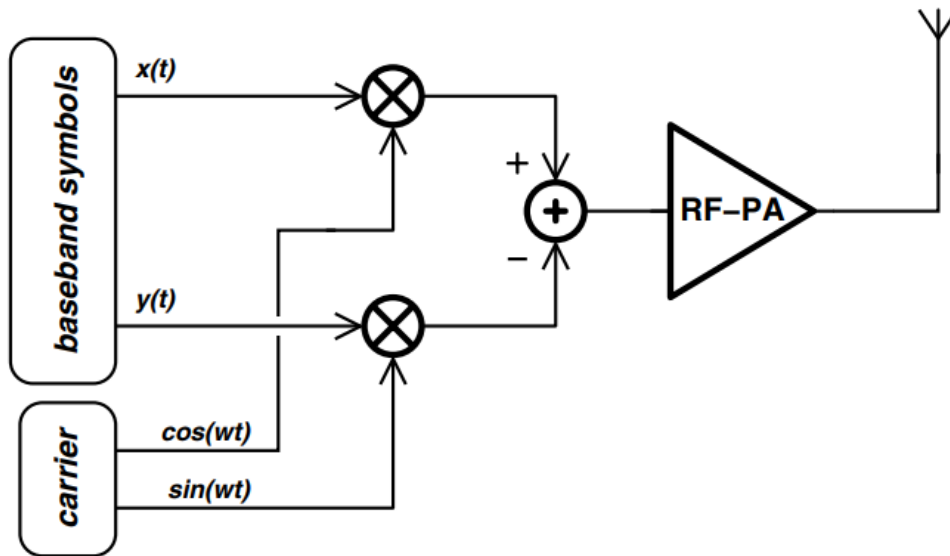
LEGENDA: Representação de um transistor MOSFET do tipo NMOS, tanto seu símbolo com seus quatro terminais quanto sua representação física.

V_{GS} for bem maior que o valor da tensão de limiar, o transistor se encontra na região chamada de região forte de inversão, LEE (2004). Dessa forma, se dá a ativação de um transistor do tipo MOSFET, através da diferencial de potencial entre os terminais de porta e fonte, controlando-se a passagem de corrente entre os terminais de dreno e fonte. Essa é uma análise simplificada do funcionamento desse dispositivo, sem levar em conta efeitos mais complexos que regem também seu funcionamento.

2.2 AMPLIFICADORES DE POTÊNCIA DE RADIOFREQUÊNCIA

Os amplificadores de potência são parte importante dos transmissores de radiofrequência, localizados logo antes da antena, como mostra a FIGURA 2. Os PAs têm como principal função amplificar o sinal que será transmitido, a níveis suficientes de potência, para que possa atingir seu destino. Uma das principais características dos PAs são seu alto consumo de potência comparado aos outros elementos da cadeia de transmissão, como mostra a FIGURA 3, sendo responsável por aproximadamente dois terços de todo o consumo no módulo de radiofrequência. Sendo assim, a eficiência de um transmissor de rádio frequência está diretamente atrelado à eficiência do PA.

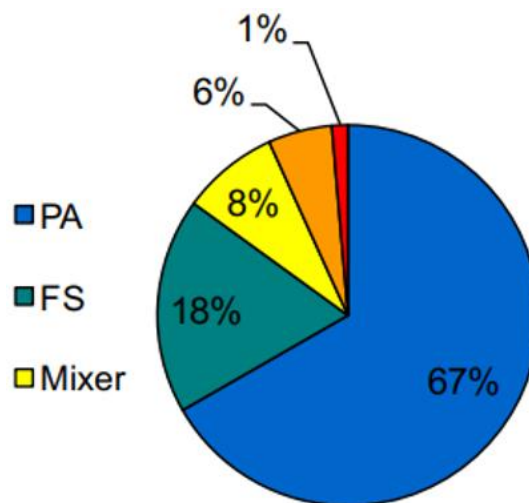
FIGURA 2 - TRANSMISSOR DE RADIOFREQUÊNCIA



FONTE: REYNAERT (2006)

LEGENDA: Arquitetura de um transmissor RF de um sinal modulado.

FIGURA 3 - CONSUMO DE POTÊNCIA EM UM MÓDULO DE RADIOFREQUÊNCIA



FONTE: LI (2005)

LEGENDA: Consumo de potência em porcentagem dos principais dispositivos de um módulo de radiofrequência.

2.2.1 Vantagens e desvantagens de PAs em tecnologia CMOS

Uma das vantagens dos PAs desenvolvidos em tecnologia CMOS são sua alta integração. Como os circuitos digitais, os quais também desempenham importantes funções na cadeia de transmissão de um dispositivo, usualmente são

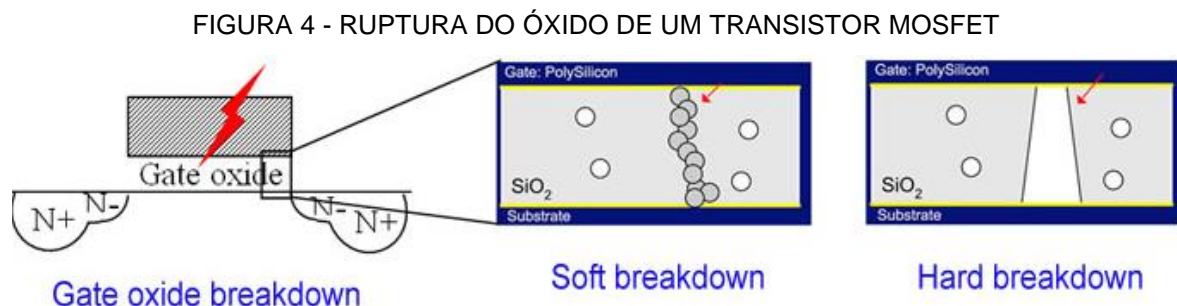
projetados utilizando tecnologia CMOS, o projeto de PAs nessa tecnologia permite sua integralização com circuitos digitais, ou seja, podem ser construídos no mesmo *waffer*. Isso pode diminuir tanto a complexidade quanto o custo do projeto de um transmissor RF como um todo.

Além disso, a utilização da tecnologia CMOS baseada em silício tem a vantagem de ser uma tecnologia altamente difundida na atualidade. Assim sendo, o custo produção de circuitos utilizando essa tecnologia acaba sendo reduzido se comparado a outras tecnologias com disponibilidade menor.

Entretanto, o projeto de circuitos utilizando tecnologia CMOS também apresentam desvantagens, principalmente para circuitos de mais alta potência, como os PAs. Dentre essas desvantagens tem-se a baixa tensão de ruptura do óxido, perdas por transformação de impedâncias e perdas nos transistores.

2.2.1.1 Baixa tensão de ruptura do óxido

A ruptura do óxido ocorre quando há a aplicação de uma alta diferença de potencial entre a porta e o substrato do transistor e acaba-se formando um caminho para a corrente entre esses terminais. A FIGURA 4 representa o evento de ruptura do óxido, o qual pode ser dividido em dois eventos: a ruptura suave (*soft breakdown*), a qual pode ser revertida, e a ruptura dura (*hard breakdown*), a qual não pode ser revertida e inutiliza o transistor.



FONTE: ATTOPSEMMI Technology (2012)

LEGENDA: Representação da ruptura suave e ruptura dura do óxido do transistor MOSFET.

A baixa tensão de ruptura de óxido está relacionada com as dimensões cada vez menores dos transistores, o que também acaba diminuindo a espessura do óxido de isolamento entre a porta e o substrato do transistor como apresentado por

RUIZ (2014). Essa característica pode dificultar o projeto de amplificadores de potência pois, para entregar altas potências na saída, são necessárias também altas tensões.

2.2.1.2 Perdas por transformação de impedâncias

Usualmente, as impedâncias de saída inerentes dos PAs são baixas o que dificulta o casamento de impedância, requerendo uma alta razão de transformação como apresentado por HELLA (2002). Por essa alta razão de transformação de impedância, os componentes passivos utilizados no casamento também tendem a terem grandes dimensões. Como os componentes passivos apresentam componentes parasitas e a saída do PA apresenta altas correntes, isso pode resultar em perdas significativas no casamento de impedâncias. Se a antena do módulo transmissor não tiver sua antena integrada ao circuito, pode se realizar o casamento de impedâncias fora do chip, utilizando componentes passivos que apresentem menos perdas, como apresentado por HELLA (2002).

2.2.1.3 Perdas nos transistores

Para entregar uma alta potência de saída, normalmente os transistores CMOS devem apresentar grandes dimensões da largura, na ordem de milímetros. Essa grande largura dos transistores resulta em alta resistência de porta o que não é interessante pois resulta em perdas significativas. Uma das maneiras de se diminuir essa resistência da porta para transistores com grandes larguras, é a divisão desses grandes transistores em múltiplos transistores menores conectados em paralelo. Utilizando-se dessa multiplicidade de transistores, aumenta-se a quantidade de conexões com a porta o que resulta em uma menor resistência, como proposto por NIKNEJAD (2012).

Deve-se também levar em consideração a complexidade adicionada ao circuito por essa maior quantidade de componentes e conexões, essas as quais também podem gerar perdas por componentes parasitas.

2.2.2 Métricas para caracterização de PAs

Para a caracterização de amplificadores de potência, tem-se diferentes métricas que podem ser observadas. Nesse trabalho foram utilizadas principalmente as métricas dadas pela análise dos parâmetros de espalhamento e do equilíbrio harmônico do circuito.

2.2.2.1 Parâmetros de espalhamento

No caso desse trabalho, foram utilizados os resultados dados pela análise de parâmetros de espalhamento para duas portas. Os valores desses parâmetros variam com a frequência e apresentam resultados interessantes para um PA como o seu ganho direto e informações sobre os casamentos de impedância. A equação 1 apresenta a matriz de espalhamento e seus elementos.

$$S = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \quad (1)$$

Cada um dos elementos da matriz representa uma métrica do circuito de duas portas, nesse caso um PA.

S_{11} : Representa a qualidade do casamento de entrada do circuito. Quanto menor o valor de S_{11} , menor a reflexão na entrada o que é resultado de um bom casamento de entrada.

S_{12} : Representa a isolação entre a porta de saída e a porta de entrada do circuito ou o ganho inverso. Quanto menor o valor de S_{12} menor é quantidade do sinal de saída presente na entrada do circuito, resultando em uma melhor isolação.

S_{21} : Representa o ganho direto do circuito. Quanto maior o valor, maior foi o ganho de potência do sinal entre a porta de entrada e a porta de saída.

S_{22} : Representa a qualidade de casamento de saída do circuito. Quanto menor o valor de S_{22} , menor é a reflexão do sinal na saída do circuito, resultado de um bom casamento de saída.

No caso desse trabalho, foram observados principalmente os parâmetros S_{11} e S_{21} , visto que pela topologia utilizada a isolação entra a porta de saída e a porta de entrada já é boa o suficiente e o principal objetivo do casamento de saída é de se obter a maior potência de saída possível.

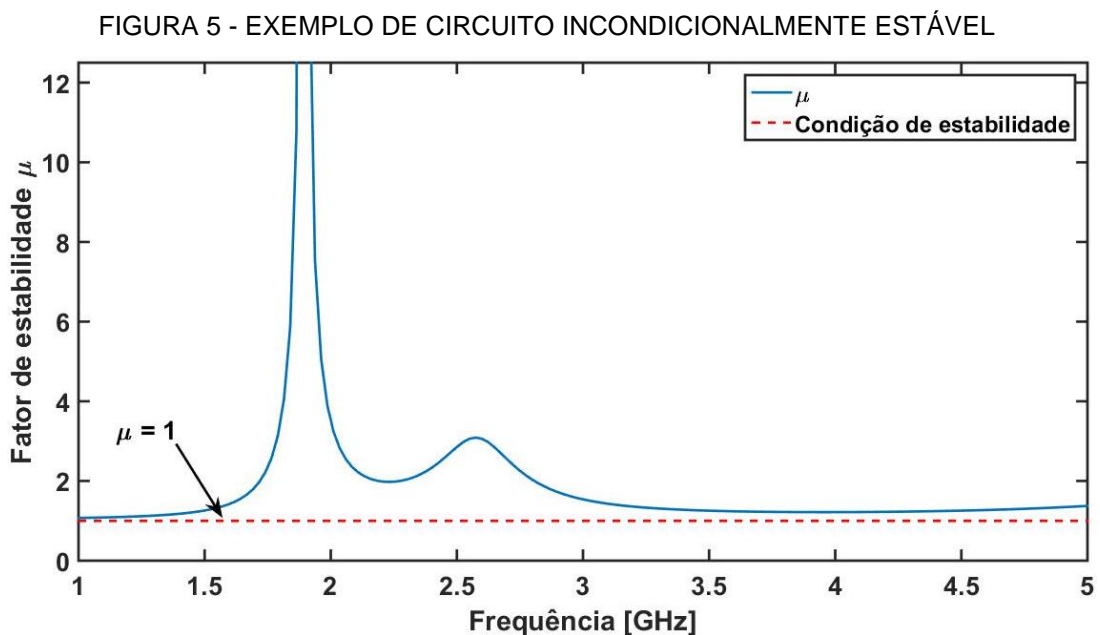
2.2.2.2 Parâmetro de estabilidade μ

Os circuitos de potência, como os PAs, são potencialmente instáveis. Dito isso, a estabilidade passa a ser um fator crítico no projeto de PAs para evitar que o circuito passe a oscilar, funcionando como um oscilador e não mais como um amplificador. A condição de oscilação depende das impedâncias de entrada e saída do circuito logo, para um PA ser incondicionalmente estável, o PA deve ser estável para qualquer impedância de entrada ou saída do circuito.

Um dos parâmetros para se mensurar a estabilidade é o parâmetro μ . Para circuitos de duas portas, o parâmetro μ é dado pela equação 2, a qual utiliza os valores dos parâmetros de espalhamento.

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22} - |S_{11} \cdot S_{22} - S_{12} \cdot S_{21}| \cdot |S_{11}^*| + |S_{12} \cdot S_{21}|} \quad (2)$$

Se o valor de μ é maior ou igual a um, o circuito é incondicionalmente estável para aquela frequência. Dessa forma, para um circuito estável, é interessante que o circuito apresente valores de μ maiores que uma para uma larga faixa de frequências, como mostra a FIGURA 5.



FONTE: O autor (2018)

LEGENDA: Parâmetro de estabilidade μ em função da frequência para um circuito incondicionalmente estável.

2.2.2.3 Linearidade

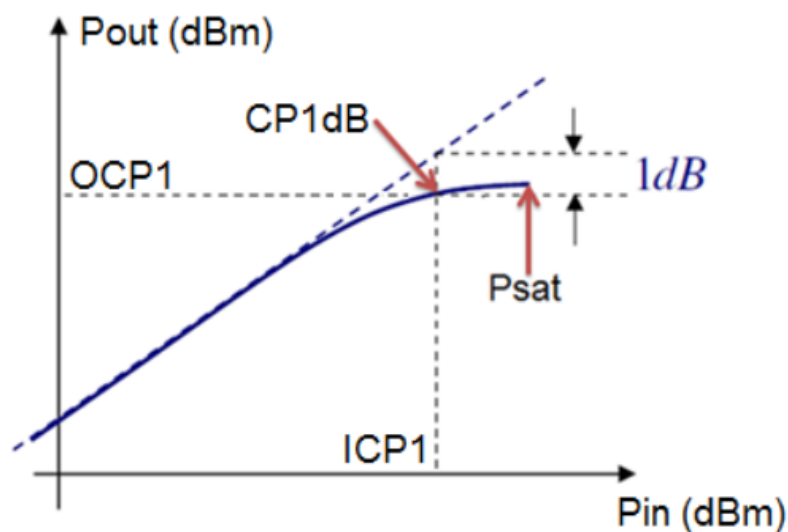
A linearidade é a capacidade do PA entregar em sua saída um sinal diretamente proporcional ao sinal de entrada e a capacidade de entregar um sinal de saída com mesma fase do sinal de entrada. Ou seja, é capacidade do PA de não adicionar distorções na amplitude ou na fase do sinal a ser transmitido.

A linearidade de fase é fácil de alcançar, para isso é necessário que a largura de banda do sinal pequena se compara a sua portadora. A distorção de fase é chamada de distorção PM-PM. A linearidade de amplitude é mais difícil de se atingir e essa distorção é chamada de AM-AM, como apresentado por REYNARERT (2006).

Como os transistores tem limites de potência que podem entregar, os PAs também apresentam limitações quanto a potência que podem entregar. No entanto, quando a potência de saída está próxima dessa potência máxima, a linearidade do PA é bastante degradada pela distorção AM-AM, REYNART (2006).

Uma métrica utilizada para se medir essa distorção é o ponto de compressão de 1 dB. O OCP_{1dB} é a potência de saída para a qual a potência entregue pelo PA está 1 dB abaixo do que seria a saída de um PA linear ideal, como exemplificado na FIGURA 6. Assim, essa é a máxima potência que pode ser entregue pelo PA sem que o sinal de saída seja distorcido significativamente. Essa potência é menor que a potência máxima que pode ser entregue, a potência de saturação (P_{SAT}).

FIGURA 6 - EXEMPLO DE COMPRESSÃO DA POTÊNCIA DE SAÍDA DE UM PA



FONTE: DOS SANTOS (2015)

LEGENDA: Representação da compressão da saída de um PA com destaque para o OCP_{1dB} .

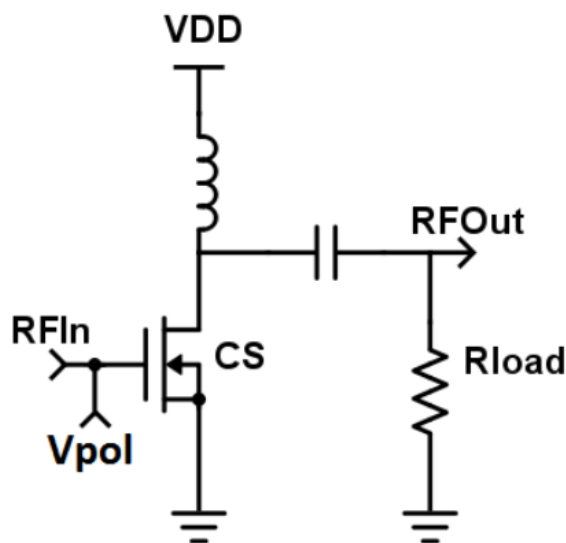
2.2.3 Principais topologias de PAs

Existem várias configurações possíveis de transistores as quais podem ser utilizadas para se construir um PA. Dentre elas, duas das configurações mais comuns são: a configuração fonte comum e a configuração cascode.

2.2.3.1 Configuração fonte comum

A configuração em fonte comum se baseia na fonte do transistor conectado ao potencial de terra, a porta ao sinal de entrada e polarização e o dreno ao sinal de saída e alimentação. Essa configuração está representada na FIGURA 7. As principais vantagens de se utilizar essa configuração são a simplicidade, o alto ganho e a alta impedância de entrada. No entanto, essa configuração tem principais desvantagens a baixa isolação ou ganho reverso e a dificuldade de ativar e desativar essas células no caso de PAs compostos por mais de uma delas, como apresentado por SANTOS (2016). Como a ativação dessas células depende da tensão na porta do transistor, na qual também é aplicada o sinal de entrada, é difícil controlar quando a célula fonte comum está ativada ou desativada, pois essa condição depende tanto da tensão de polarização quanto a do sinal de entrada.

FIGURA 7 - AMPLIFICADOR DA TOPOLOGIA FONTE COMUM



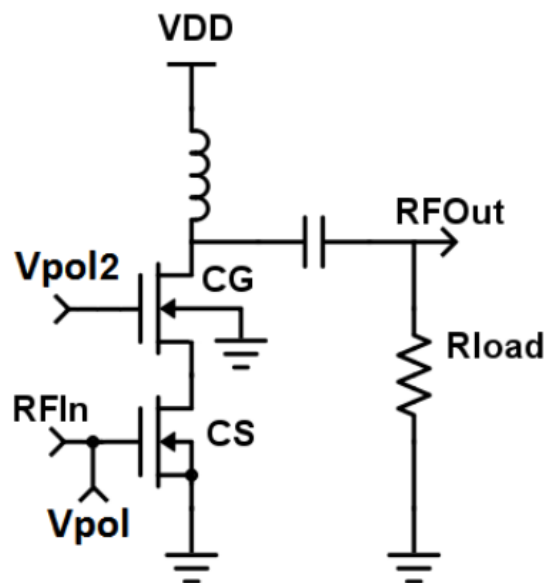
FONTE: SANTOS (2016)

LEGENDA: Representação de um amplificador na configuração fonte comum (CS), com entrada RFIn, saída RFOut, alimentação VDD, polarização Vpol e carga Rload.

2.2.3.2 Configuração cascode

A configuração cascode é composta pela associação de um transistor na configuração de fonte comum e outro na configuração de porta comum. Nessa configuração, é mais fácil a ativação ou desativação da célula através da polarização do transistor configurado em modo de porta comum. A estrutura cascode está representada na FIGURA 8. Como principais vantagens dessa configuração tem-se uma alta estabilidade e também um alto ganho. Uma das possíveis desvantagens é devido ao empilhamento de transistores, pois há uma queda sobre o transistor porta comum, fazendo com que a tensão sobre o transistor fonte comum seja menor. Assim, são necessárias tensões de alimentação um pouco mais altas, o que não é interessante para circuitos que visam um baixo consumo de potência. No entanto, no caso desse projeto essa característica pode ser considerada uma vantagem, pois assim é possível aumentar a tensão de alimentação sem que se atinja as tensões máximas entre os terminais.

FIGURA 8 - AMPLIFICADOR DA TOPOLOGIA CASCODE

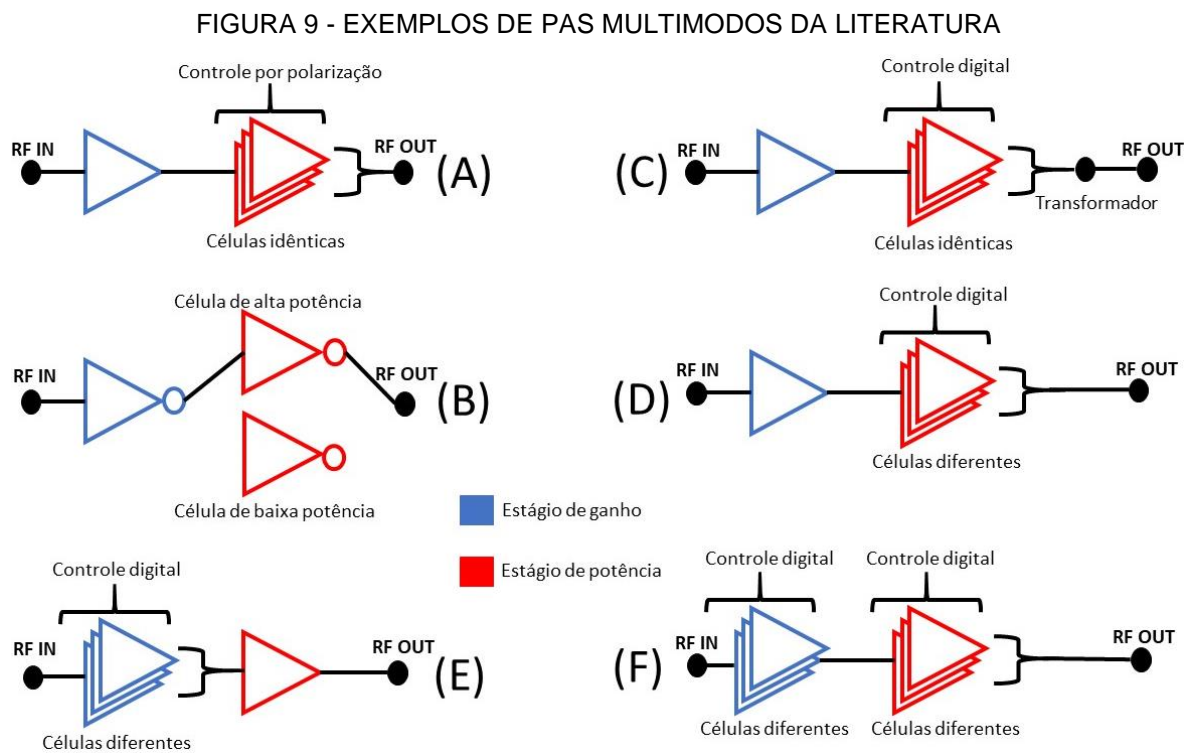


FONTE: SANTOS (2016)

LEGENDA: Representação de um amplificador na configuração cascode, composto por um transistor na configuração porta comum (CG) e outro na configuração fonte comum (CS). O amplificador cascode tem como entrada o sinal RFIn, saída o sinal RFOut, polarizações Vpol e Vpol2, alimentação VDD e carga Rload.

2.2.4 PAs multimodos

Na literatura, têm-se diferentes arquiteturas propostas para o projeto de amplificadores de potência multimodos com diferentes potências de saída. O principal objetivo desse tipo de arquitetura é fazer com que o PA tenha um menor consumo de potência em situações em que é necessária uma menor de saída, alternando entre os modos de operação. A FIGURA 9 tem a representação simplificada em blocos de algumas das arquiteturas de PAs estudados e utilizados como base para esse trabalho.



FONTE: O autor (2018)

LEGENDA: Representação simplificada de PAs multimodos encontrados na literatura. (A) – AN (2009). (B) – YON (2010). (C) – TUFFERY (2015). (D) – SANTOS (2016). (E) – DOS SANTOS (2017). (F) – TARUI (2018).

Uma das arquiteturas propostas utiliza células de potência em paralelo com diferentes tensões de limiar como proposto por AN (2009). Dessa forma, é possível controlar a ativação das células paralelas através da tensão de polarização, fazendo-se com que o PA atinja diferentes potências de consumo. YON (2010) propôs um circuito com dois estágios de potência paralelos independentes com diferentes características de potência, um estágio de alta potência e outro de baixa potência.

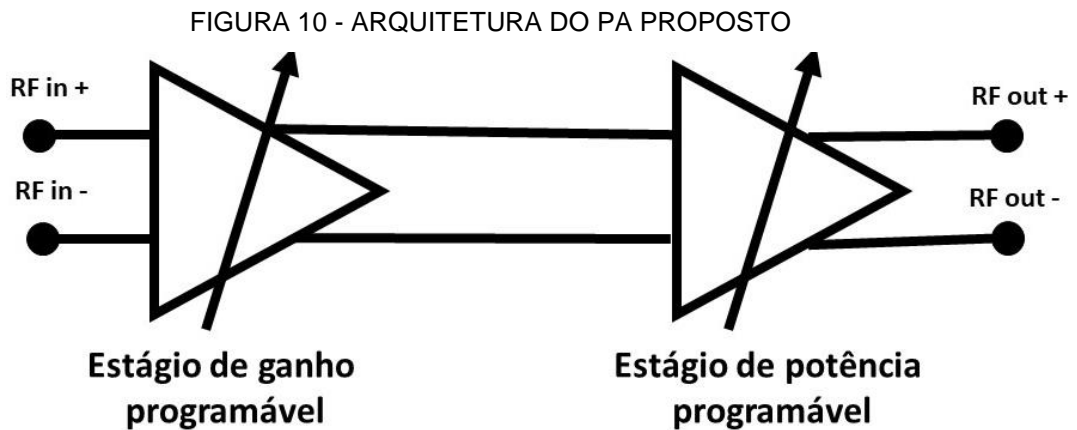
Assim, é possível controlar a potência de saída do PA utilizando ou um ou outro estágio de potência, resultando em dois modos de operação diferentes. TUFFERY (2015) apresenta um circuito com células de potência em paralelo idênticas que podem ser ativadas independentemente e tem suas saídas combinadas por um transformador. Logo, a potência máxima de saída pode ser controlada pela quantidade de células ativas, independentemente de quais células exatamente estão ativas.

SANTOS (2016) propôs um circuito com um estágio de potência composto por três células do tipo cascode diferentes em paralelo. A ativação dessas células se dá pela aplicação da tensão de alimentação ou terra na porta do transistor porta comum em cada célula uma das células do estágio de potência de forma independente, tensão de alimentação para ativar a célula a tensão de terra para desativar a célula. Dessa forma, a tensão de saída é controlada pela combinação de células que estão ativas. Por sua vez, DOS SANTOS (2017) utilizou-se de uma arquitetura semelhante à de SANTOS (2016), com três células do tipo cascode diferentes em paralelo com ativação independente, no estágio de ganho do PA. Essa arquitetura resultou em um circuito com uma potência máxima de saída constante, porém, com ganho controlável através da combinação de células ativas no estágio de ganho.

Por fim, tem-se a arquitetura proposta por mim em um trabalho anterior, referenciado como TARUI (2018), a qual combina o estágio de ganho programável de DOS SANTOS (2017) com o estágio de potência programável de SANTOS (2015) no mesmo circuito. Como resultado, essa arquitetura apresenta uma maior quantidade de combinações possíveis de células ativas.

3 PROJETO DO AMPLIFICADOR DE POTÊNCIA

Para esse trabalho, decidiu-se utilizar uma arquitetura semelhante à proposta por TARUI (2018), com tanto o estágio de ganho quanto o estágio de potência compostos por células cascode diferentes em paralelo com ativação independente. Porém, diferentemente dos circuitos apresentados no capítulo anterior, foi escolhida uma arquitetura diferencial para o circuito desse trabalho. Assim, podem-se atingir maiores potências de saída. De forma resumida, a arquitetura do PA proposto nesse trabalho pode ser representada pela FIGURA 10.



FONTE: O autor (2018)

LEGENDA: Arquitetura simplificada do PA proposto nesse trabalho.

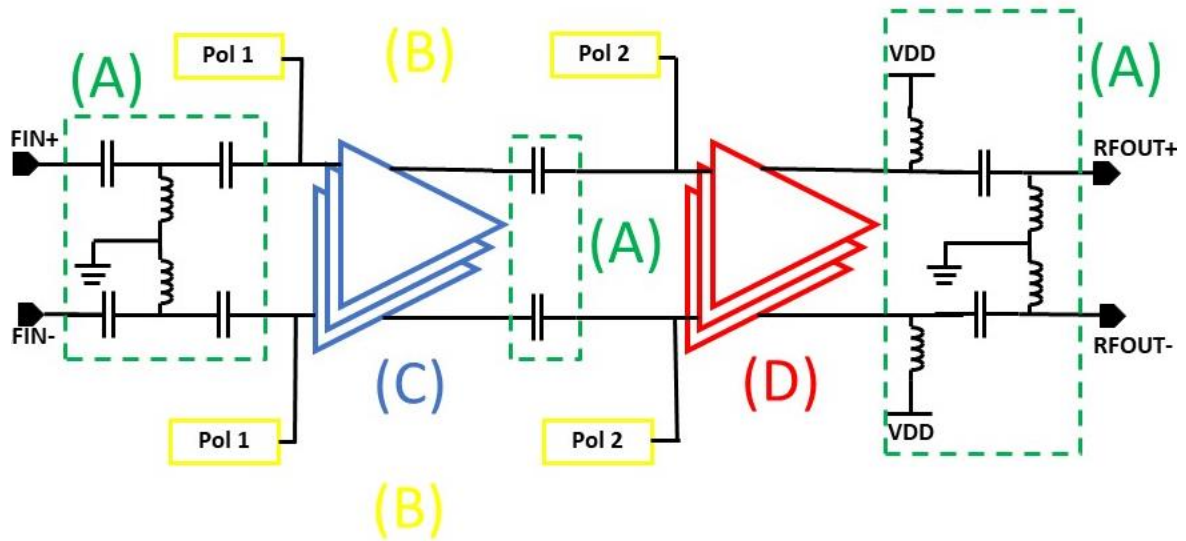
3.1 ETAPAS DO PROJETO DO PA

Com a escolha da arquitetura do circuito, parte-se para o projeto de cada um dos circuitos que compõem o PA, os quais estão representados no diagrama de blocos da FIGURA 11. Ao separar o projeto do circuito em blocos específicos, se torna mais fácil a identificação de possíveis problemas e a compreensão do circuito, por ser possível a realização de simulações em cada bloco de forma independente e a construção do esquemático completo com uma visão de mais alto nível, o que diminui a quantidade de componentes visíveis.

O projeto do PA proposto nesse trabalho foi dividido em quatro etapas principais, as quais são:

1. Escolha do transistor a ser utilizado no projeto.

FIGURA 11 - DIAGRAMA DE BLOCOS DO PA PROPOSTO



FONTE: O autor (2018)

LEGENDA: Diagrama de blocos de circuito proposto. Em verde (A) tem-se as redes de casamento, em amarelo (B) os circuitos de polarização, em azul (C) o estágio de ganho programável e em vermelho (D) o estágio de potência programável.

2. Projeto do estágio de potência.
 - a. Dimensionamento da largura dos transistores.
 - b. Projeto do circuito de casamento de saída.
3. Projeto do estágio de ganho.
 - a. Dimensionamento das células.
 - b. Projeto do circuito de casamento de entrada.
4. Ajuste fino de polarização e alimentação.

3.2 ESCOLHA DO TRANSISTOR

A tecnologia utilizada no projeto dispõe de diferentes tipos de transistores de radiofrequência, os quais podem ser divididos em duas categorias: transistores de óxido fino e transistores de óxido espesso. As principais diferenças entre esses transistores são as tensões máximas suportadas e o comprimento mínimo de canal, como representado na TABELA 1.

Ambas as categorias de transistores também apresentam transistores de poço triplo, nos quais é possível aplicar um potencial de corpo diferente do potencial

TABELA 1 - COMPARAÇÃO ENTRE TRANSISTORES ÓXIDO FINO E GROSSO

Parâmetro	Transistor de óxido fino	Transistor de óxido grosso
Tensão máxima entre diferentes terminais (porta, fonte e dreno)	1,6 V	2,7 V
Tensão máxima entre terminal de corpo e terminal de porta, fonte ou dreno	2,6 V	4,7 V
Comprimento mínimo de canal	120 nm	240 nm

FONTE: Design Kit and Technology Training BiCMOS8HP / BiCMOS8XP V1.5.0.0

LEGENDA: Arquitetura simplificada do PA proposto nesse trabalho.

do substrato. Porém, nesse trabalho, não serão utilizadas polarizações diferentes da do substrato para o corpo dos transistores, não sendo necessária a utilização de transistores de poço triplo.

Uma das maneiras de se maximizar a potência de saída, que é um dos objetivos do projeto, é através do aumento da tensão de alimentação do circuito. Assim, o transistor de óxido espesso se mostrou mais adequado para o projeto por suportar maiores tensões se comparado ao transistor de óxido fino. A principal desvantagem dessa escolha é o comprimento mínimo do canal do transistor de óxido espesso, que é o dobro do comprimento mínimo do canal do transistor de óxido fino, resultando em uma maior área ocupada pelo circuito. Por exemplo, para se obter a mesma razão entre comprimento e largura de um transistor de óxido fino, o transistor de óxido espesso teria de ter uma largura duas vezes maior que a largura do transistor de óxido fino. No entanto, normalmente a área do PA é determinada pelos indutores, pois esses são os componentes de maior dimensão no circuito.

3.3 PROJETO DO ESTÁGIO DE POTÊNCIA

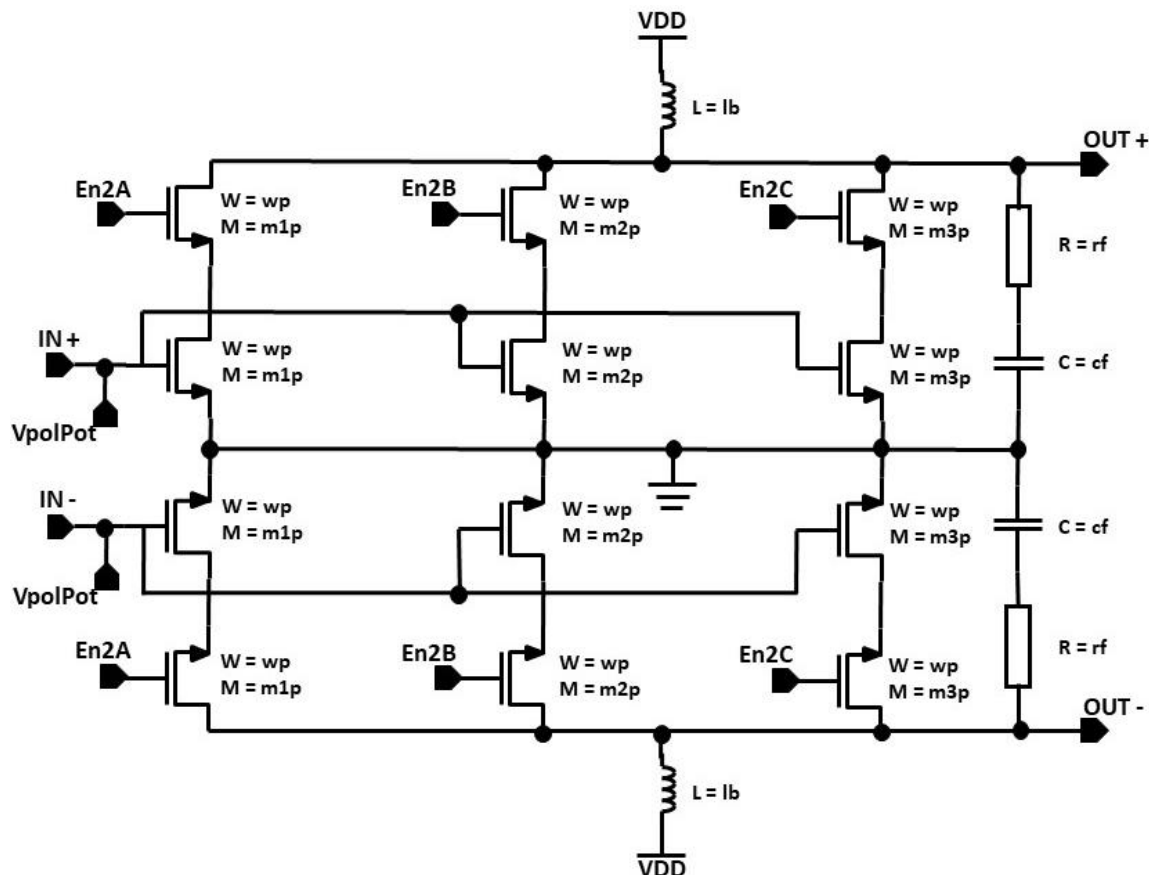
O estágio de potência diferencial do circuito proposto é composto por três células cascode diferenciais e tem seu esquemático representado na FIGURA 12. Todas as células cascode são compostas por transistores com o comprimento mínimo de canal, 240 nm, e largura w_p . A diferença entre as células que compõem esse estágio está na multiplicidade dos transistores dada pelos valores de $m1p$, $m2p$ e $m3p$. Utilizando-se transistores de mesmas dimensões tem-se como benefício a

equivalência das características como, por exemplo, a tensão de limiar. Assim, todos os transistores estarão na mesma região de operação para uma única tensão de polarização. A diferença de multiplicidade de transistores entre as células confere a cada uma delas uma característica diferente de potência.

Foram escolhidos os seguintes valores para a multiplicidade de cada célula: $m1p = 2$, $m2p = 4$ e $m3p = 8$. Dessa forma existem oito combinações possíveis para o estágio de potência, cada uma com uma largura efetiva distinta variando de zero até 14 vezes o valor de wp , com passos com o valor de suas vezes wp .

A rede de realimentação composta pelo resistor de valor r_f e pelo capacitor de valor c_f tem como função manter a estabilidade do circuito. Nesse caso, r_f tem valor de 390Ω e c_f tem valor de 743 fF , ambos são componentes da biblioteca da tecnologia, o capacitor do tipo *dualmim* e o indutor do tipo *ind*. Os outros componentes passivos que fazem parte do circuito são os indutores de valor l_b , também da

FIGURA 12 - ESQUEMÁTICO DO ESTÁGIO DE POTÊNCIA DO CIRCUITO PROPOSTO



FONTE: O autor (2018)

LEGENDA: Esquemático do estágio de potência do circuito proposto. O estágio é composto por três células cascode com transistores de mesma dimensão e multiplicidades diferentes.

tecnologia, que têm como funções o isolamento entre o sinal RF, alimentação contínua do circuito e também contribuiu para o casamento de saída. No circuito proposto, l_b tem valor de aproximadamente 1 nH. O dimensionamento desses dispositivos passivos foi baseado no estágio de potência proposto por SANTOS (2016).

As células cascode são ativadas ou desativadas independentemente de acordo com a tensão aplicada nos terminais de controle: En2A, En2B e En2C. Nesse caso, para que as células permaneçam ativas deve ser aplicada uma tensão de 2,3 V nos terminais de controle e para que permaneçam desativadas é necessária a aplicação do potencial de terra nesses terminais de controle.

3.3.1 Definição da largura dos transistores

Com a arquitetura do estágio definida, partiu-se para o dimensionamento da largura dos transistores desse estágio. O principal objetivo do dimensionamento foi maximizar valor de OCP_{1dB} , considerando-se que o estágio de ganho proveria ganho direto satisfatório ao PA.

A maior dificuldade no dimensionamento da largura ótima dos transistores para o estágio de potência é a falta de um método otimizado bem difundido para a realização desse processo. Usualmente, o dimensionamento inicial desses transistores baseia-se em grande parte na própria experiência do projetista. Um dos métodos que pode ser utilizado para esse dimensionamento é a análise do circuito através das equações dos transistores, podendo-se alcançar as dimensões ótimas de forma analítica. As principais desvantagens desse método são a complexidade dos cálculos, visto que as equações características do transistor podem mudar dependendo da região e frequência de operação, e muitas vezes essas equações não estão disponíveis aos projetistas por serem de propriedade dos fornecedores da tecnologia. Outro método que pode ser empregado para o dimensionamento dos transistores é a simulação computacional. Esse método baseia-se na utilização de um software que realiza simulações numéricas, que muitas vezes se baseiam em bastantes complexas, alterando-se parâmetros pré-definidos pelo usuário a cada iteração. O método computacional não necessariamente depende da experiência do projetista, mas um bom palpite inicial pode economizar tempo e recursos computacionais.

Para esse trabalho, decidiu-se pela utilização do método computacional por ter disponível o software para a realização das simulações e recursos computacionais suficientes. Foi construído um esquemático de simulação para o estágio de potência com portas diferenciais de 100Ω e com os casamentos de entrada e saída compostos por capacitores ideais de $1 \mu\text{F}$. Foi definida como tensão de alimentação para as simulações a tensão de 3 V e uma tensão de polarização de $1,5 \text{ V}$. Como valor inicial foi escolhido um valor de w_p igual a $100 \mu\text{m}$, baseando-se na ordem de grandeza dos transistores do estágio de potência de SANTOS (2016). Foi configurada uma simulação *loadpull*, a qual varia o valor da impedância da porta de saída, e foi observado o valor máximo de $\text{OCP}_{1\text{dB}}$ para cada um dos valores de w_p . Os valores de w_p foram variados de $100 \mu\text{m}$ até $300 \mu\text{m}$ com passos de $25 \mu\text{m}$. Como resultado da simulação, o estágio de potência apresentou maior $\text{OCP}_{1\text{dB}}$ possível para $w_p = 175 \mu\text{m}$, de 18 dBm , logo, esse foi o valor escolhido para a largura dos transistores do estágio de potência.

Com o valor da largura dos transistores definidos, podem-se representar as possíveis combinações do estágio de potência em função da sua largura efetiva, como mostra a TABELA 2. Na TABELA 2, cada sinal de controle representa sua respectiva célula cascode e recebe valor 1 se a célula estiver ativa ou 0 se a célula estiver desativada. O estágio de potência apresenta uma largura efetiva que varia desde 0,

TABELA 2 - LARGURA EFETIVA DO ESTÁGIO DE POTÊNCIA

En2A	En2B	En2C	Largura efetiva do estágio de potência
0	0	0	0 μm
0	0	1	1400 μm
0	1	0	700 μm
0	1	1	$1400 \mu\text{m} + 700 \mu\text{m} = \mathbf{2100 \mu\text{m}}$
1	0	0	350 μm
1	0	1	$1400 \mu\text{m} + 350 \mu\text{m} = \mathbf{1750 \mu\text{m}}$
1	1	0	$700 \mu\text{m} + 350 \mu\text{m} = \mathbf{1050 \mu\text{m}}$
1	1	1	$1400 \mu\text{m} + 700 \mu\text{m} + 350 \mu\text{m} = \mathbf{2450 \mu\text{m}}$

FONTE: O autor (2018)

LEGENDA: Largura efetiva do estágio de potência para cada uma das combinações possíveis. Variando de 0 a $2450 \mu\text{m}$.

quando todas as células estão desativadas, até 2,45 mm, quando todas as células estão ativas.

3.3.2 Rede de casamento de saída

FIGURA 13 - CARTA DE SMITH COM RESULTADO DA SIMULAÇÃO LOADPULL



FONTE: O autor (2018)

LEGENDA: Resultado da simulação *loadpull* para o modo do estágio de potência com todas as células ativas. Em destaque o valor máximo de OCP_{1dB} atingido e a impedância Z_d para a qual é possível atingir essa potência.

Após realizado o dimensionamento do estágio de potência, a próxima etapa realizada foi o projeto da rede de casamento de saída de circuito, com o objetivo de maximizar o valor de OCP_{1dB} . Para isso, partiu-se dos resultados da simulação *loadpull* do estágio de potência para o qual todas as células estão ativas. O resultado dessa simulação está representado na FIGURA 13 na forma de uma carta de Smith com os contornos de potência para cada impedância de saída simulada. Como o objetivo dessa etapa é maximizar o valor de OCP_{1dB} , foi escolhido o ponto em destaque na figura de valor $Z_d = 6,82 + j0,21 \Omega$ para a qual o valor máximo de OCP_{1dB} é de 25,8 dBm, deve-se projetar uma rede de casamento para a qual a saída do circuito enxergue a impedância Z_d .

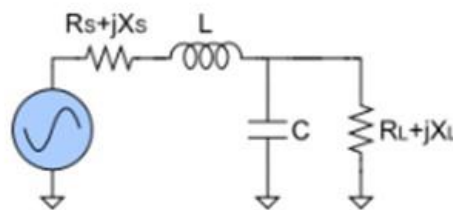
Para auxiliar no projeto do cálculo da rede de impedância, utilizou-se uma calculadora de casamento de impedâncias disponível gratuitamente online em ().

Apesar da porta de saída do circuito ter impedância de $100\ \Omega$, cada um dos terminais de saída diferenciais enxerga uma impedância de porta de $50\ \Omega$ pela divisão de impedância. Por essa razão, o valor utilizado como impedância de carga no cálculo foi de $50\ \Omega$. A topologia escolhida para o circuito de casamento uma rede LC na configuração passa-alta, isolando a porta de saída da componente contínua do sinal. Os resultados obtidos pela calculadora estão representados na FIGURA 14. Em destaque têm-se os valores de indutor e capacitor da rede de casamento obtida.

Para a validação do resultado obtido, foi construído o circuito de casamento de saída utilizando-se componentes ideais e verificado se o valor de OCP_{1dB} estava

FIGURA 14 - CÁLCULO DA REDE DE CASAMENTO DE SAÍDA

L-MATCH TOPOLOGY



INPUTS

Frequency	F	2450	MHz ▾
Source Resistance	RS	6.81831	Ohm
Source Reactance	XS	-0.214111	Ohm
Load Resistance	RL	50	Ohm
Load Reactance	XL	0	Ohm
Q Factor	Q	3	Ohm
Circuit DC Current		Block DC Current ▾	

OUTPUTS

L: 1.29e-9 C: 3.83e-12 Q: 2.5

LEGENDA: Resultado do cálculo da rede de casamento LC para o casamento de saída do circuito, próximo do valor máximo obtido na simulação *loadpull*. Após essa validação, substituiu-se o capacitor e indutor ideais por componentes da tecnologia com os

mesmos valores de capacitância e indutância e foi realizada novamente a verificação de OCP_{1dB} . Porém, nessa simulação percebeu-se que o valor de OCP_{1dB} diminuiu comparado ao valor obtido utilizando-se os componentes ideais no casamento. Isso foi causado pelos efeitos levados em conta ao utilizar componentes da tecnologia, os quais podem alterar o valor efetivo de capacitância e indutância desses componentes, além de serem adicionadas perdas. Então, partindo-se desse resultado, foi realizada uma otimização local alterando-se as dimensões dos componentes da tecnologia com o objetivo de melhorar o casamento de saída. Os resultados desse processo estão representados na TABELA 3.

A FIGURA 15 representa a rede de casamento de saída projetada junto com a última célula do estágio de potência. Observando-se mais atentamente apenas as

TABELA 3 - VALIDAÇÃO E OTIMIZAÇÃO DO CASAMENTO DE SAÍDA

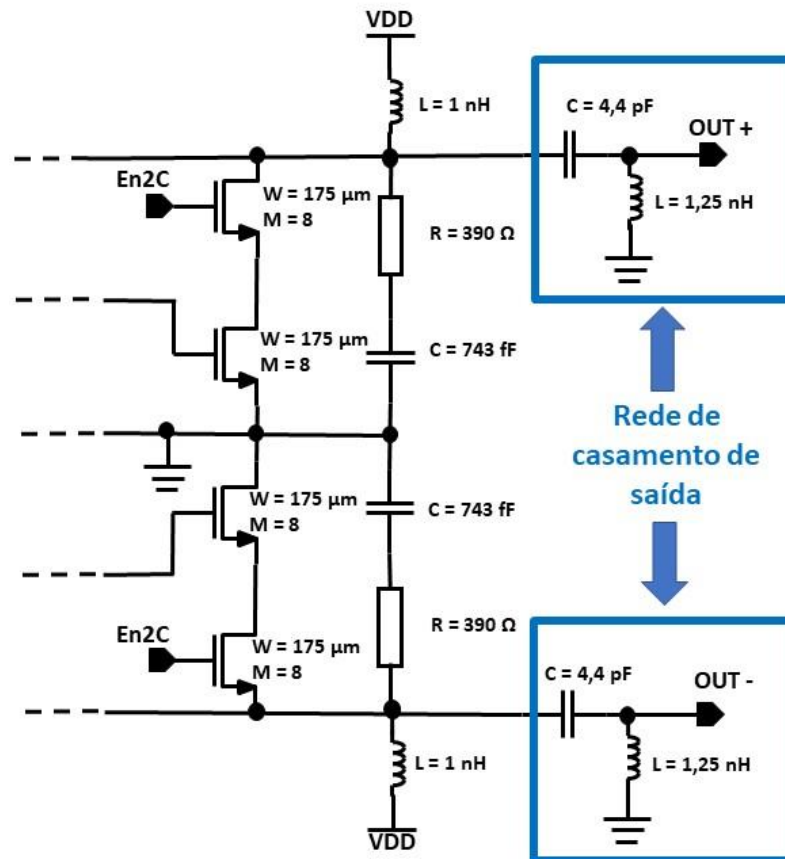
Casamento de saída	OCP_{1dB}
Componentes ideais	25,8 dBm
Componentes da tecnologia	24,0 dBm
Componentes da tecnologia após otimização local	24,9 dBm

FONTE: O autor (2018)

LEGENDA: Resultados das simulações de validação e otimização do casamento de saída utilizando componentes ideais e componentes da tecnologia.

redes de casamento LC e os indutores que conectam a alimentação às células do estágio de potência, percebe-se que se pode associar os indutores de forma que os quatro indutores utilizados possam ser substituídos por um transformador com conexão central, como mostra a FIGURA 16. Como o transformador ocupa aproximadamente a área de um indutor, o casamento de impedância de saída ocuparia aproximadamente um quarto da área original com a substituição, já que os indutores têm dimensões bem maiores que os capacitores utilizados (cerca de 10 vezes maiores). A principal dificuldade em se utilizar transformadores integrados no circuito é que eles não estão disponíveis na biblioteca da tecnologia, dessa forma é necessário o projeto do transformador em outro software para que então ele possa ser utilizado no software *Cadence*. Foram testados três transformadores diferentes, com algumas diferenças de dimensões entre eles, mas todos ocupando área consideravelmente menor que a associação de indutores. No entanto, ao realizar a

FIGURA 15 - REDE DE CASAMENTO DE IMPEDÂNCIAS DE SAÍDA

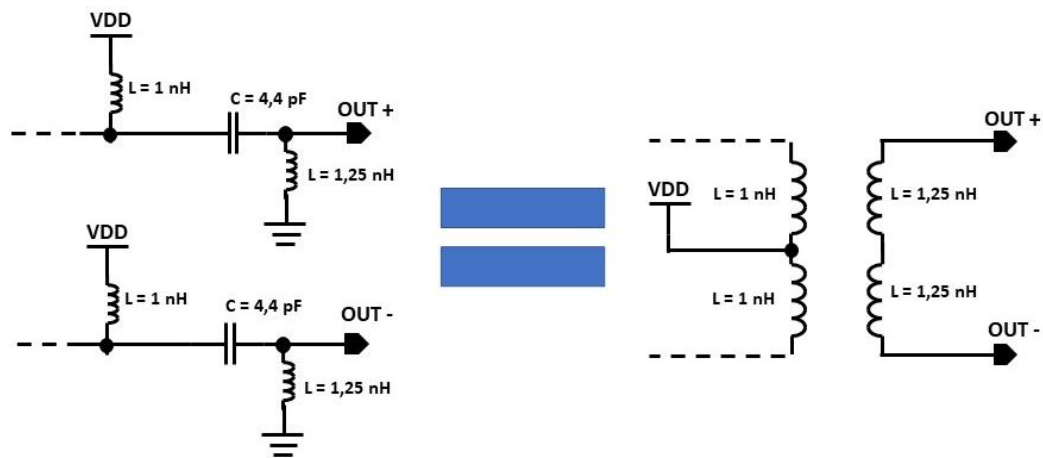


FONTE: O autor (2018)

LEGENDA: Última célula do estágio de potência e a rede de casamento com componentes da tecnologia resultante do processo de otimização local.

simulação utilizando-se o transformador percebeu-se que a queda de tensão no enrolamento primário, o equivalente aos indutores de desacoplamento, era bem maior do que se comparada à queda de tensão quando se utilizando os indutores convencionais da tecnologia. Para uma alimentação de 3 V, a queda de tensão utilizando-se os indutores convencionais da tecnologia foi de 423 mV e a queda de tensão utilizando-se o transformador foi de 1681 mV. Essa elevada queda de tensão é bastante prejudicial ao circuito, pois acaba gerando grandes perdas o que resulta em uma redução da eficiência. Por isso, mesmo com a desvantagem em área ocupada, decidiu-se pela utilização da rede LC como casamento de impedância de saída do circuito.

FIGURA 16 - EQUIVALÊNCIA ENTRE AS REDES DE CASAMENTO LC E O TRANSFORMADOR COM CONTATO CENTRAL



FONTE: O autor (2018)

LEGENDA: Transformação das redes de casamento LC propostas em uma rede de casamento utilizando-se um transformador com contato central.

3.3.3 Modos de operação do estágio de potência

A TABELA 4 apresenta os valores de OCP_{1dB} , ganho direto e potência DC consumida por cada uma das possíveis combinações do estágio de potência,

TABELA 4 - MODOS DE OPERAÇÃO DO ESTÁGIO DE POTÊNCIA

En2A	En2B	En2C	OCP_{1dB} (dBm)	Ganho Direto (dB)	PDC (W)
0	0	1	21,0	6,41	1,47
0	1	0	15,6	1,02	0,74
0	1	1	24,1	9,11	2,19
1	0	0	9,86	-4,76	0,37
1	0	1	22,7	7,96	1,83
1	1	0	18,8	4,26	1,10
1	1	1	24,9	9,98	2,56

FONTE: O autor (2018)

LEGENDA: Largura efetiva do estágio de potência para cada uma das combinações possíveis. Variando de 0 a 2450 μm .

excluindo-se o modo em que o estágio está totalmente desativado, com o casamento de saída projetado.

Para ser possível dimensionar as células de ganho auxiliares, antes foi preciso definir quais seriam os modos de operação do circuito de potência a serem utilizados pelo circuito. Considerando-se os resultados obtidos representados na tabela TABELA 4 decidiu-se utilizar os modos de operação 011, 001, 101 e 111 pois esses modos apresentam valores de OCP_{1dB} de no mínimo 15 dB e valores de ganho direto suficientemente altos, maiores do que 3 dB. Com os modos de operação do estágio de potência definidos, foram realizadas simulações variando-se a multiplicidade das células de ganho auxiliares até que se atingissem valores de ganho direto próximos (com diferença máxima de 1 dB) ao do ganho direto do modo de operação 111 do estágio de potência associado apenas à primeira célula do estágio de ganho, a qual está sempre ativa.

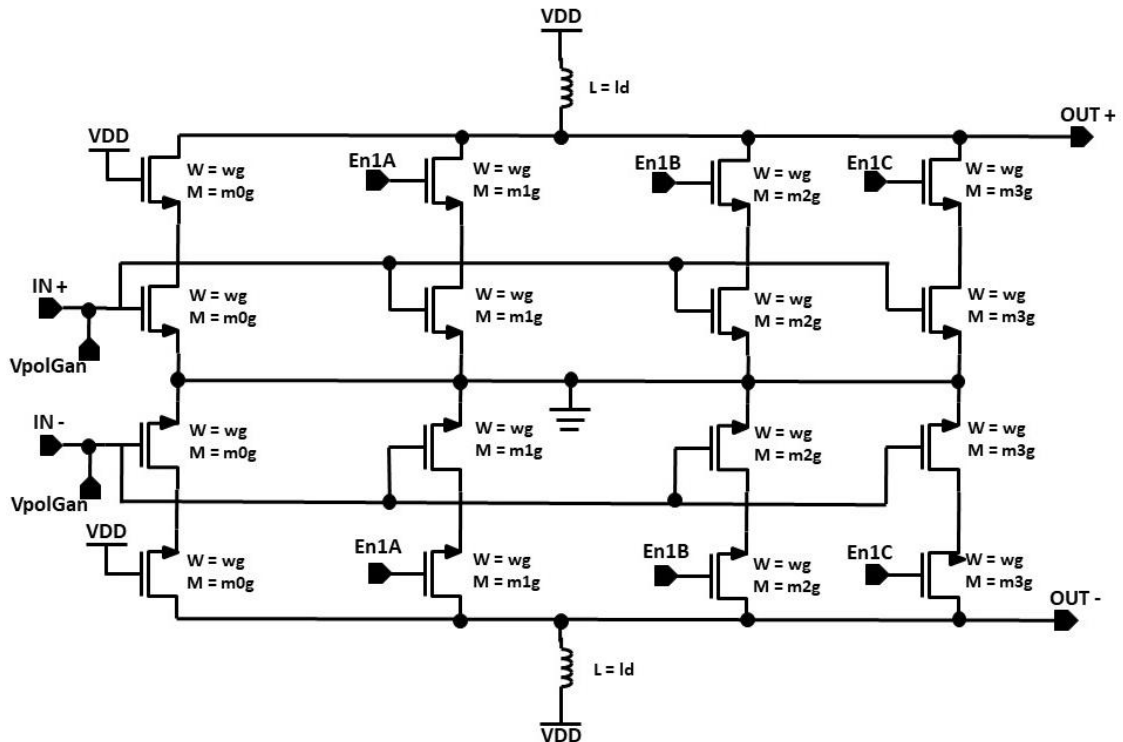
Apesar do modo de operação do estágio de potência 010 apresentar um valor interessante de OCP_{1dB} como mostrado na TABELA 4, esse modo não foi selecionado pelo baixo ganho direto apresentado. Para que o ganho direto tivesse valor próximo ao ganho direto dos outros modos de operação selecionados na TABELA 5, seria necessário que as células auxiliares ativas somassem uma multiplicidade de 13, o que resultaria em consumo de potência contínua total de aproximadamente 2,3 W. Logo, comparando-se com o modo de operação 111011 da TABELA 5, esse modo consumiria mais potência contínua, teria um ganho similar e apresentar um menor valor de OCP_{1dB} assim, esse modo não traria nenhum benefício ao circuito se fosse utilizado.

3.4 PROJETO DO ESTÁGIO DE GANHO

O estágio de ganho tem como principais funções nesse trabalho elevar e equalizar os valores de ganho direto dos diferentes modos de operação do estágio de potência. Da mesma forma que o estágio programável de potência, o estágio de ganho também é constituído por células do tipo cascode com ativação independente e transistores de mesma dimensão, apresentando como principal diferença entre as células a multiplicidade de transistores.

Pensou-se em uma arquitetura para estágio de ganho com uma célula de ganho sempre ativa, a qual seria responsável por elevar o valor de ganho direto e

FIGURA 17 - ESQUEMÁTICO DO ESTÁGIO DE GANHO DO CIRCUITO PROPOSTO



FONTE: O autor (2018)

LEGENDA: Esquemático do estágio de potência do circuito proposto. O estágio é composto por quatro células cascode com transistores de mesma dimensão e multiplicidades diferentes, sendo uma permanentemente ativa e as outras três podendo ser ativadas ou desativadas.

outras três células auxiliares que podem ser ativadas ou não dependendo do modo de operação do estágio de potência utilizado afim de equalizar o ganho. A arquitetura proposta está representada na FIGURA 17, na qual o valor do indutor de desacoplamento é de $l_b = 1 \text{ nH}$ e todos os transistores tem o comprimento mínimo de canal de 240 nm . Para o dimensionamento da largura padrão dos transistores decidiu-se manter aproximadamente a mesma relação de W/L do estágio de ganho programável proposto por DOS SANTOS (2017). Assim tem-se como valor de $w_g = 80 \text{ }\mu\text{m}$. Também como o estágio de potência programável, as células controláveis pelos terminais En1A, En1B e En1C são ativadas quando uma tensão de $2,3 \text{ V}$ é aplicada nesses terminais e desativadas quando o potencial de terra é aplicado nesses mesmos terminais.

O dimensionamento da multiplicidade de cada uma das células começou pela primeira célula, a qual está sempre ativa. Para isso, foram realizadas simulações com o modo de operação do estágio de potência com todas as células ativas, o qual apresenta maior valor de OCP_{1dB} e também apresenta o maior ganho direto. Foi

variado o valor de multiplicidade m_{0g} até que o que o circuito atingisse um valor de ganho direto maior que 20 dB, assim chegou-se no resultado de que a multiplicidade m_{g0} da primeira célula do estágio de ganho deveria ter valor seis. Essas simulações foram realizadas utilizando-se como casamento de entrada apenas um capacitor da tecnologia com valor de 3 pF e como casamento entre estágios também apenas um capacitor da tecnologia com valor de 5,4 pF.

Os valores de multiplicidade dos transistores das células auxiliares resultantes através das simulações foi de $m_{1g} = 2$, $m_{2g} = 1$ e $m_{3g} = 2$. A TABELA 5 apresenta os resultados obtidos no dimensionamento das células de ganho auxiliares, na qual o valor 1 significa que a célula controlada pelo respectivo terminal de controle está ativa e o valor 0 significa que a célula está desativada. O objetivo foi obter um ganho direto aproximadamente igual para todos os modos de operação do circuito através da ativação das células auxiliares do estágio de ganho. Pode se observar nos resultados que o valor de ganho direto para os modos de operação selecionados varia de 21,8 dB a 22,6 dB.

TABELA 5 - MODOS DE OPERAÇÃO APÓS DIMENSIONAMENTO DAS CÉLULAS AUXILIARES

En1A	En1B	En1C	En2A	En2B	En2C	Ganho Est. Pot (dB)	Ganho Est. Gan (dB)	Ganho Direto (dB)	PDC (W)
1	1	1	0	1	1	4,3	17,5	21,8	2,03
0	1	1	1	0	0	6,4	15,6	22,0	2,24
0	0	1	1	0	1	8,0	14,6	22,6	2,52
0	0	0	1	1	1	10,0	12,4	22,4	3,10

FONTE: O autor (2018)

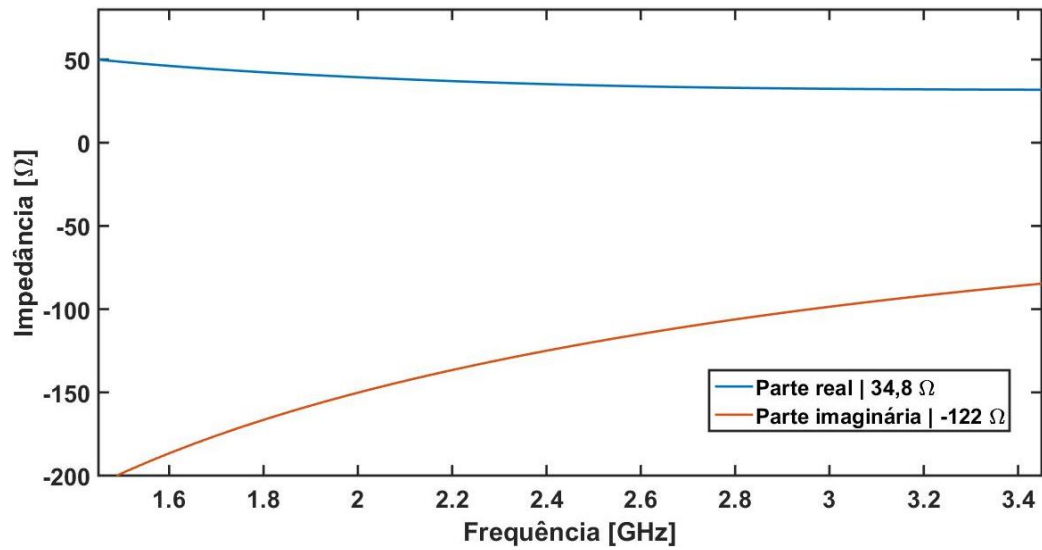
LEGENDA: Tabela com os resultados de ganho direto e consumo de potência para os modos de operação selecionados com as células auxiliares já dimensionadas.

3.4.1 Rede de casamento de entrada

O objetivo principal da rede de casamento de entrada nesse trabalho é fazer com que a reflexão na entrada do circuito, dada pelo parâmetro de espalhamento S_{11} , seja menor do que -10 dB na frequência de operação, de 2,45 GHz. Para isso,

realizou-se uma simulação observando-se a variação da impedância de entrada na frequência para se projetar o casamento de impedâncias ótimo na frequência de 2,45 GHz. A FIGURA 18 apresenta os valores reais e imaginários da impedância de entrada em função da frequência com destaque para os valores em 2,45 GHz. Com o auxílio de uma calculadora de redes de casamento de impedâncias foi calculado a rede de casamento ótima para uma porta de entrada de 50Ω . Apesar da porta de entrada apresentar impedância de 100Ω , pela divisão de impedância cada uma das entradas diferenciais enxerga 50Ω . A FIGURA 19 apresenta o resultado obtido pela calculadora de impedância utilizando-se uma rede de casamento semelhante à rede utilizada no casamento de saída, uma rede LC passa altas. No entanto, como pode se observar nos resultados, o valor de capacitância para o valor ótimo de casamento é negativo, algo que não é possível de se realizar nesse circuito. Foram também testadas outras possíveis redes de casamento, como em configuração PI e configuração T na mesma calculadora. No entanto a rede PI resultou em um indutor de indutância negativa e a rede T em um capacitor de valor não numérico (NaN).

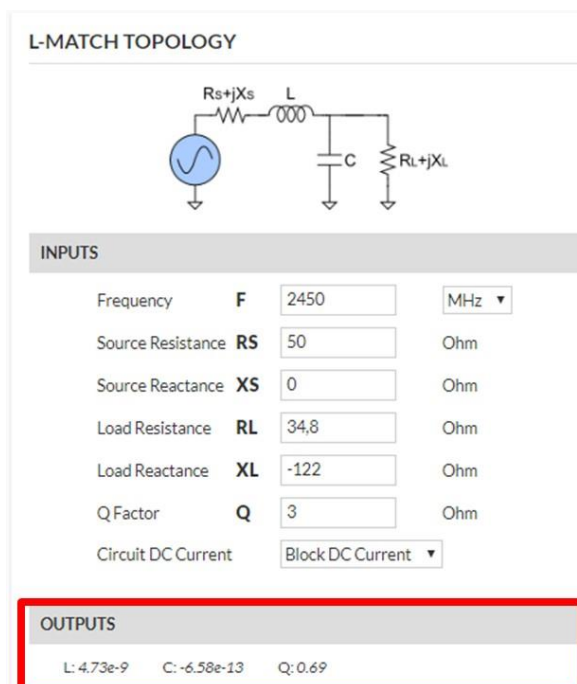
FIGURA 18 - IMPEDÂNCIA DE ENTRADA EM FUNÇÃO DA FREQUÊNCIA



FONTE: O autor (2018)

LEGENDA: Gráfico com a variação da parte real e imaginária da impedância de entrada do circuito.

FIGURA 19 - CÁLCULO DE REDE DE CASAMENTO DE ENTRADA

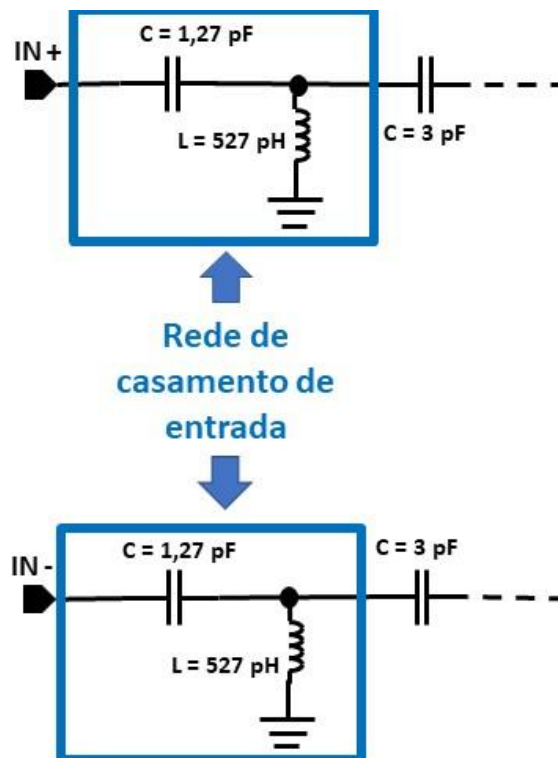


FONTE: O autor (2018)

LEGENDA: Resultado do cálculo da rede LC para casamento de entrada do circuito. Cálculo resultou em uma capacitância ótima negativa pra a rede de casamento.

A alternativa então para se dimensionar a rede de casamento foi a criação de uma rede LC passa alta genérica com componentes da tecnologia e realizar uma otimização local variando os parâmetros físicos até se atingir um valor de S_{11} menor do que -10 dB para o modo de operação 000111 representado na TABELA 5. A rede de casamento resultante está representada na FIGURA 20 e os valores de S_{11} e ganho direto para os modos de operação da TABELA 5 estão representados na TABELA 6. Pode se observar nos resultados que além de se ter atingido o objetivo de um valor de S_{11} menor que -10 dB para todos os modos de operação, o ganho direto também aumentou em aproximadamente 2 dB para todos os modos de operação selecionados.

FIGURA 20 - REDE DE CASAMENTO DE ENTRADA



FONTE: O autor (2018)

LEGENDA: Rede de casamento de entrada resultante do método de otimização local com o objetivo de se atingir uma reflexão máxima de -10 dB.

TABELA 6 - VALORES DE S_{11} E GANHO DIRETO APÓS IMPLIMENTAÇÃO DO CASAMENTO DE ENTRADA

En1A	En1B	En1C	En2A	En2B	En2C	S_{11} (dB)	Ganho Direto (dB)
1	1	1	0	1	1	-11,0	23,5
0	1	1	1	0	0	-11,5	23,8
0	0	1	1	0	1	-11,7	24,4
0	0	0	1	1	1	-11,9	23,9

FONTE: O autor (2018)

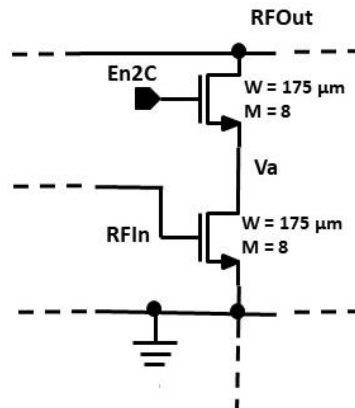
LEGENDA: Tabela com os resultados de ganho direto e consumo de potência para os modos de operação selecionados com as células auxiliares já dimensionadas.

3.5 AJUSTE FINO DE POLARIZAÇÃO E ALIMENTAÇÃO

Após o dimensionamento do circuito, foi realizada uma etapa de verificação das diferenças de potenciais de potencial em todos os transistores do circuito para se ter certeza de que esses valores não estavam ultrapassando os limites especificados na TABELA 1. Nessa etapa não foram verificados apenas os valores das tensões contínuas sobre os terminais, mas também as diferenças de potenciais levando em consideração os sinais transientes. A FIGURA 21 representa a célula do estágio de potência em que foram testados os limites de tensão, visto que as tensões são as mesmas em todas as células de potência, quando estão todas ativadas, o ponto crítico do projeto.

Levando em consideração essas limitações foram realizadas algumas simulações de otimização local para se encontrar os melhores valores de polarização e alimentação. Como decidiu-se gerar as tensões de polarização internamente ao circuito, para a otimização desses valores foram variados os parâmetros do circuito

FIGURA 21 - CÉLULA DE POTÊNCIA PARA TESTE DE TENSÕES LIMITE

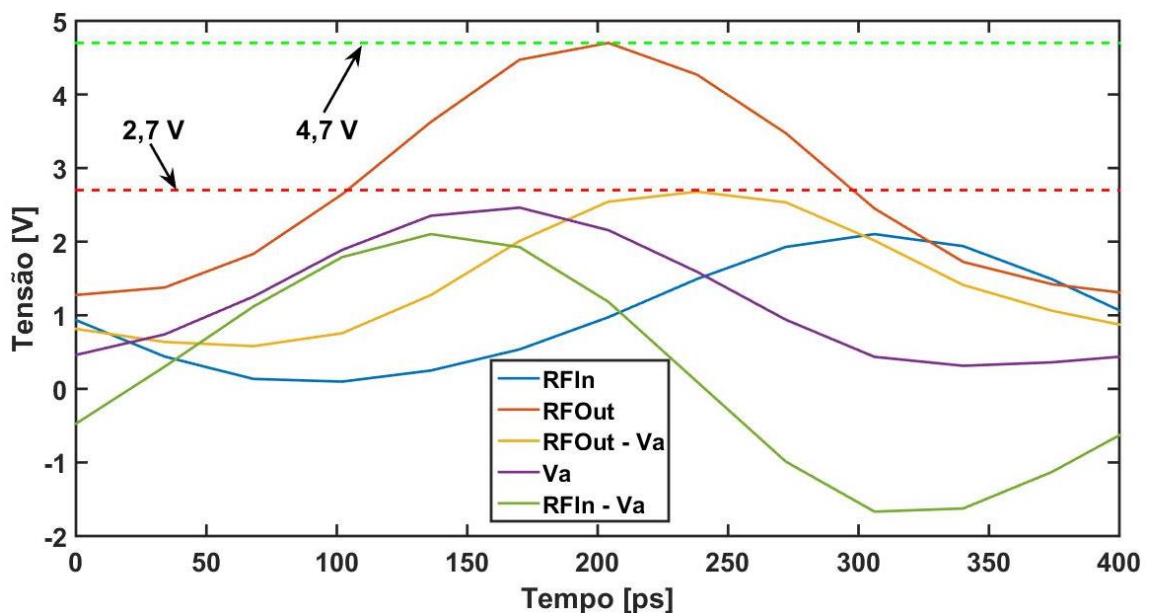


FONTE: O autor (2018)

LEGENDA: Maior célula de potência para a qual foram testadas as tensões limites.

de polarização. Como resultado das otimizações obteve-se uma tensão ótima de alimentação de 3,1 V e os circuitos de polarização representados na FIGURA 23. Os transistores utilizados nos circuitos de polarização têm o comprimento de canal mínimo de 240 nm. Os valores resultantes das tensões de polarização foram de 1,15 V para V_{polgan} e de 1,17 V para V_{polpot} . As curvas de tensão sobre os terminais representados na FIGURA 21 estão representados na FIGURA 22. Pode-se observar que todas as tensões limites representadas na tabela TABELA 1 são respeitadas.

FIGURA 22 - RESULTADOS DAS DIFERENÇAS DE POTENCIAIS ENTRE OS TERMINAIS DA CÉLULA DE POTÊNCIA

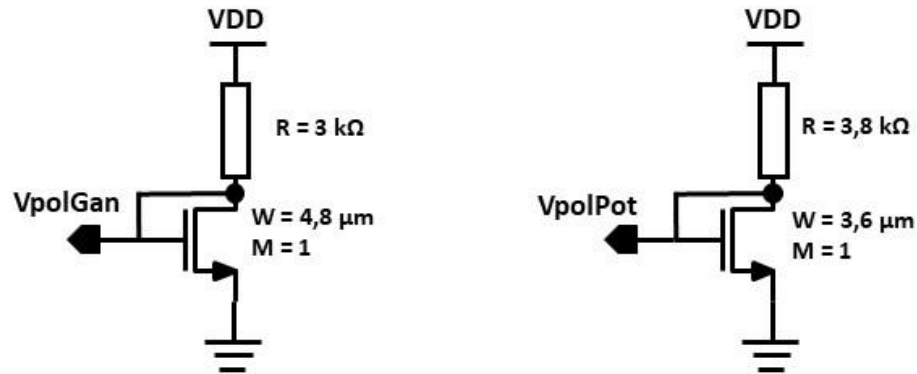


FONTE: O autor (2018)

LEGENDA: Resultado do teste de tensões limite na célula representada na FIGURA 21.

Com o ajuste fino das tensões de alimentação e dos circuitos de polarização completou-se o dimensionamento do circuito proposto nesse trabalho. O esquemático completo a nível de componentes está representado no ANEXO 1 na página 61.

FIGURA 23 - CIRCUITOS DE POLARIZAÇÃO



FONTE: O autor (2018)

LEGENDA: Tabela com os resultados de ganho direto e consumo de potência para os modos de operação selecionados com as células auxiliares já dimensionadas.

Sumarizando os resultados do circuito proposto, tem-se o circuito de um PA diferencial com 4 modos de operação distintos, representados na TABELA 7, que utiliza uma tensão de alimentação de 3 V e tem a seleção dos modos de operação controlados por seis terminais nos quais são aplicados ou um tensão de 2,3 V ou o potencial de terra para ativar ou desativar as células, respectivamente. Os quatro modos de operação foram nomeados de A à D, sendo A o modo de menor potência e D o modo de maior potência.

TABELA 7 - MODOS DE OPERAÇÃO DO CIRCUITO PROPOSTO

Modo de operação	En1A	En1B	En1C	En2A	En2B	En2C	OCP _{1dB} (dBm)	Ganho Direto (dB)	PDC (W)
A	1	1	1	0	1	1	18,8	23,5	2,03
B	0	1	1	1	0	0	21,0	23,8	2,24
C	0	0	1	1	0	1	22,7	24,4	2,52
D	0	0	0	1	1	1	24,8	23,9	3,09

FONTE: O autor (2018)

LEGENDA: Tabela com os resultados de OCP_{1dB}, ganho direto e consumo de potência para os modos de operação do circuito proposto nomeados de A à D.

4 RESULTADOS DE SIMULAÇÃO

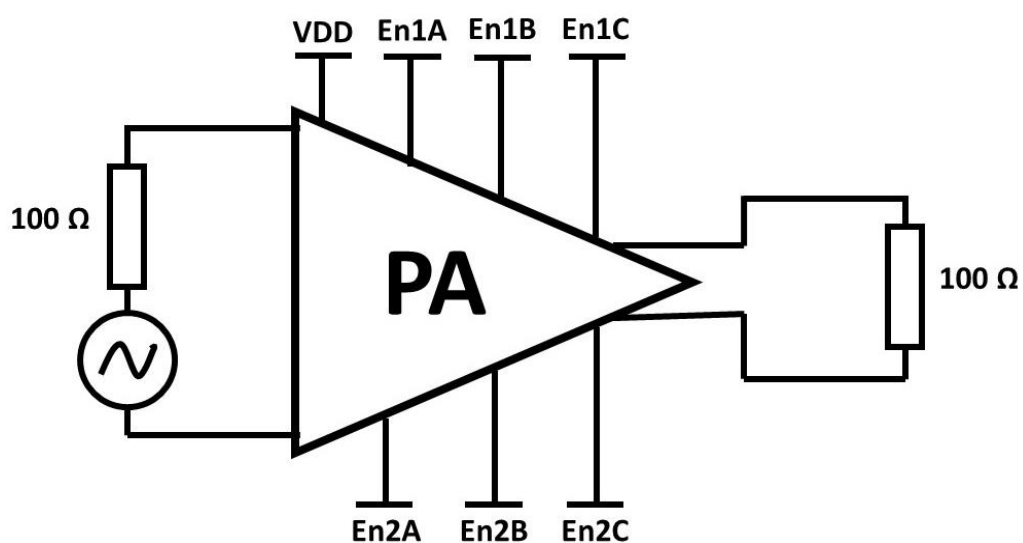
Nessa seção, serão apresentados e discutidos os resultados obtidos pelo circuito proposto através das simulações realizadas. Foram utilizadas nas simulações a vista de esquemático do circuito para os quatro diferentes modos de operação.

4.1 CONFIGURAÇÃO DAS SIMULAÇÕES

O software *Virtuoso Spectre Circuit Simulator* foi utilizado para realizar simulações de corrente contínua (dc), de pequenos e grandes sinais no circuito. Entre as simulações de pequenos sinais foi realizada a simulação de parâmetros de espalhamento (sp) e as simulações de grandes sinais realizadas foram as simulações de balanço harmônico (hb).

A simulação sp tem como objetivo observar o comportamento dos parâmetros de espalhamento em função da frequência, a simulação hb tem como objetivo observar os níveis de potência e, por fim, a simulação dc tem como objetivo observar as tensões de polarização e pontos de operação dos transistores. O esquemático utilizado nas simulações está representado na FIGURA 24. Foram utilizadas portas diferenciais de $100\ \Omega$ e uma fonte de sinal com frequência de 2,45 GHz.

FIGURA 24 - ESQUEMÁTICO DE TESTE DO CIRCUITO PROPOSTO



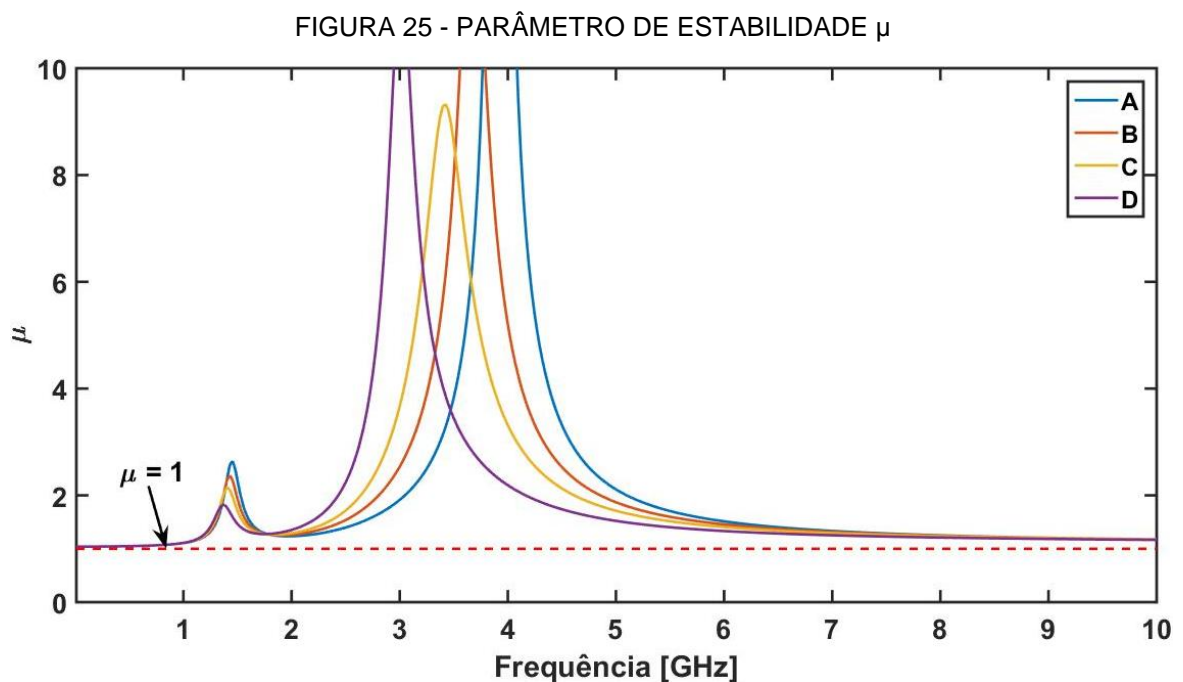
FONTE: O autor (2018)

LEGENDA: Esquemático de teste do PA, com portas de entrada e saída de $100\ \Omega$ e fonte de sinal de 2,45 GHz

4.2 RESULTADOS DAS SIMULAÇÕES

Como resultados das simulações foram observadas as seguintes métricas: parâmetro de estabilidade μ , S_{11} , S_{21} , OCP_{1dB} , PDC e PAE para os 4 modos de operação.

A FIGURA 25 mostra o valor de μ para os quatro modos de operação do PA proposto. Pode-se observar que o PA é incondicionalmente estável para todos os modos de operação, pois μ não assume valores menores do que um para toda a faixa de frequência simulada.



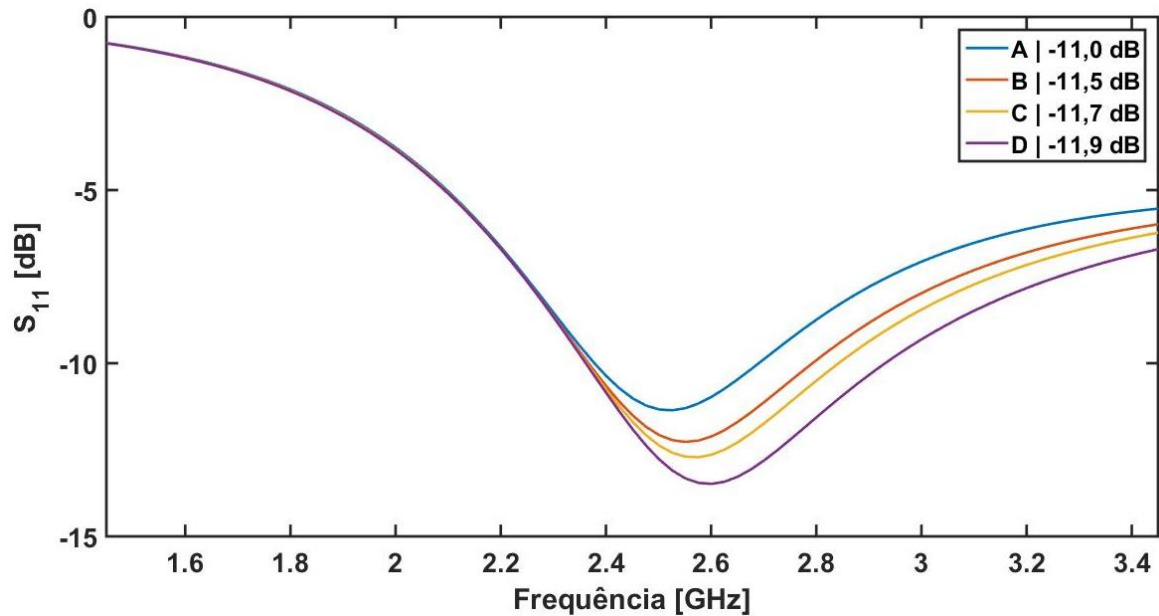
FONTE: O autor (2018)

LEGENDA: Gráfico representando os valores do parâmetro μ de 10 MHz à 10GHz. Para nenhuma frequência nesse intervalo o valor de μ é menor do que um.

A FIGURA 26 apresenta os resultados da simulação sp para o parâmetro de espalhamento S_{11} . Em destaque tem-se os valores de S_{11} para cada um dos modos na frequência de 2,45 GHz. Pode-se observar que todos os modos de operação apresentam S_{11} menor do que -11 dB. O valor de S_{11} tem valor ligeiramente menor para o modo de operação D, pois o casamento de entrada foi dimensionado para esse modo, o modo de maior potência.

A FIGURA 27 também apresenta os resultados da simulação sp, mas para o parâmetro de espalhamento S_{21} , o qual representa o ganho direto do circuito. Em

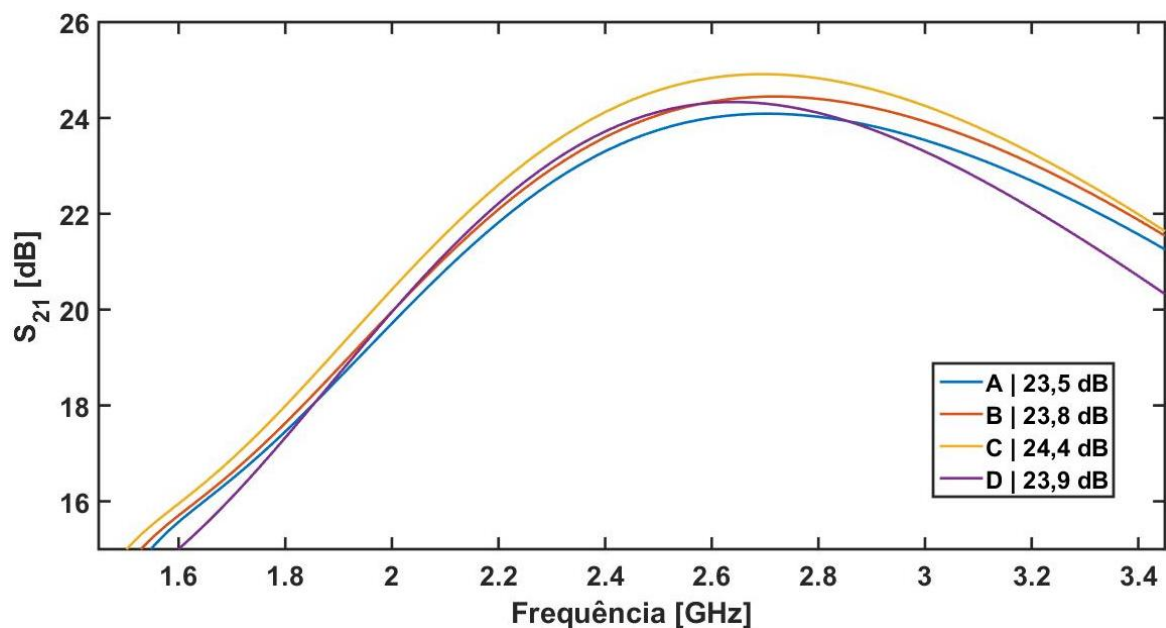
FIGURA 26 - PARÂMETRO DE ESPALHAMENTO S_{11}



FONTE: O autor (2018)

LEGENDA: Gráfico com os valores da reflexão na entrada do circuito, que representam o casamento de entrada de cada um dos modos de operação.

FIGURA 27 - PARÂMETRO DE ESPALHAMENTO S_{21}



FONTE: O autor (2018)

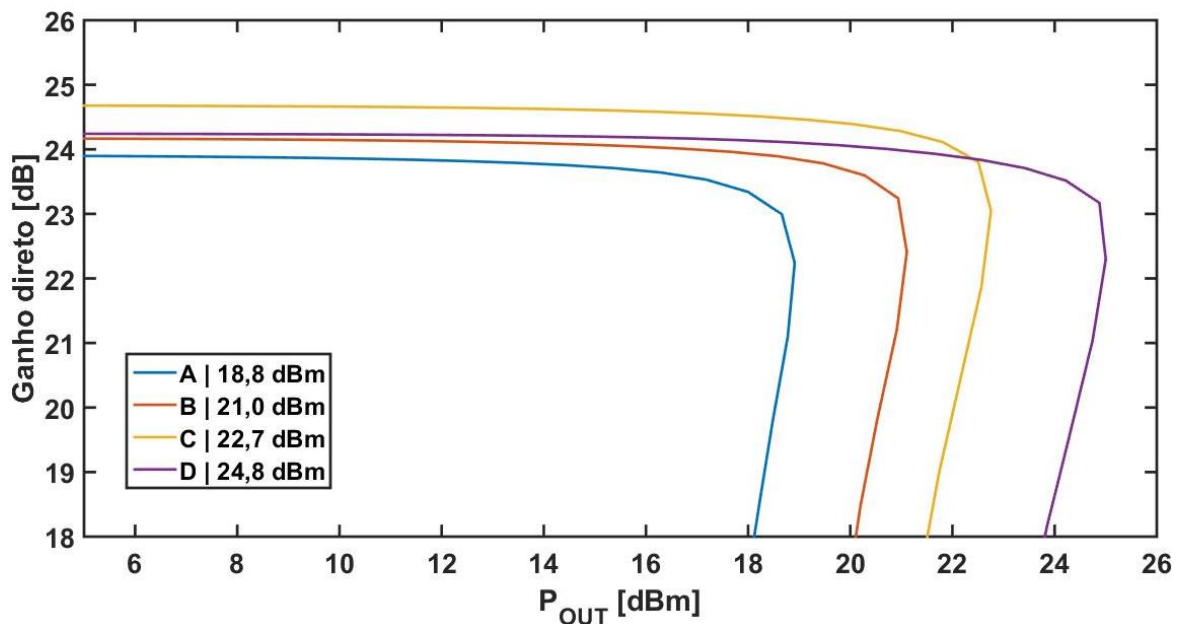
LEGENDA: Gráfico com os valores de ganho direto em função da frequência. A variação máxima de ganho direto é de 0,9 dB entre os modos A e C na frequência de 2,45 GHz.

destaque, também estão os valores do parâmetro S_{21} na frequência de 2,45 GHz. Pode-se observar que, dentre os quatro modos de operação, a variação máxima de S_{21} é de 0,9 dB, assim o circuito apresenta um ganho aproximadamente constante para operação em 2,45 GHz, independentemente do modo de operação selecionado.

Na FIGURA 28 está representado o gráfico do ganho direto em função da potência de saída do PA. Através desse gráfico, pode-se observar umas das principais características do circuito proposto, que são modos de operação com diferentes OCP_{1dB} , mas com ganhos diretos próximos. A exemplo da FIGURA 27, pode-se observar que a maior diferença de ganho direto entre os modos de operação é de 0,9 dB, entre os modos A e C. Em destaque na figura, têm-se os valores de OCP_{1dB} para cada um dos modos em operação da frequência de 2,45 GHz. Os valores de OCP_{1dB} variam de 18,8 dBm, do modo A, até 24,8 dBm, do modo D, havendo uma diferença média entre eles de 2 dB.

A FIGURA 29 representa o gráfico do consumo de potência contínua em

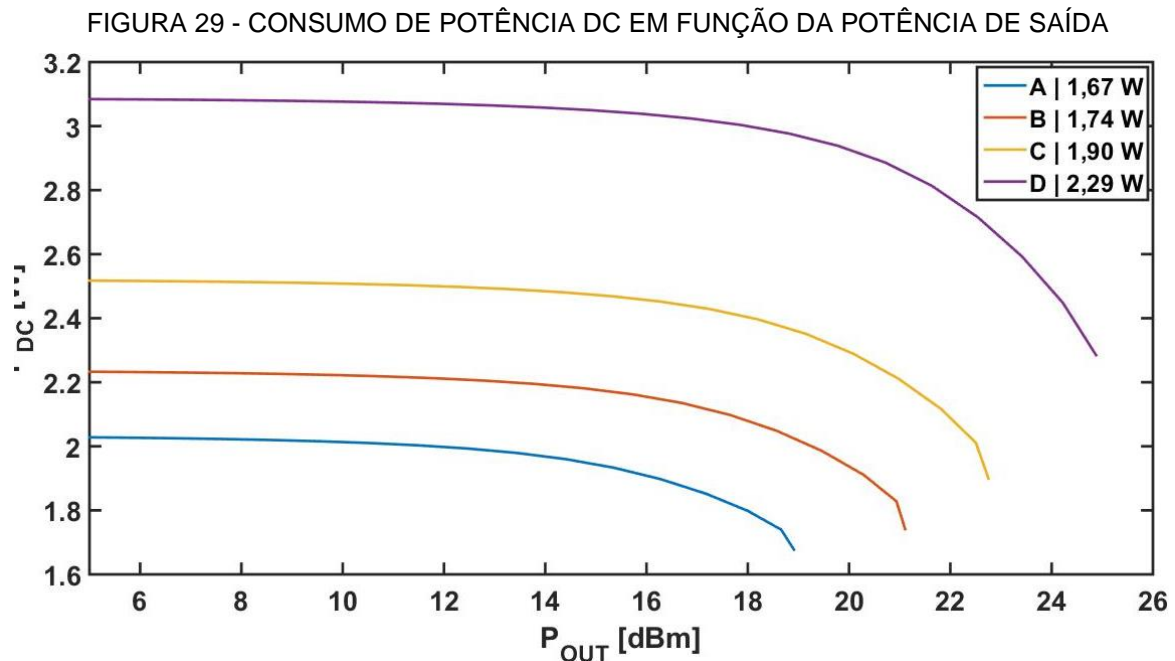
FIGURA 28 - GANHO DIRETO EM FUNÇÃO DA POTÊNCIA DE SAÍDA



FONTE: O autor (2018)

LEGENDA: Gráfico com os valores de ganho direto em função da potência de saída para os quatro modos de operação. Através do gráfico pode-se observar os diferentes valores de OCP_{1dB} e que os modos de mais alta e mais baixa potência apresentam uma diferença de 6 dB.

função da potência de saída para cada um dos modos de operação. Em destaque tem-se o consumo de potência contínua para cada um dos modos para quando a



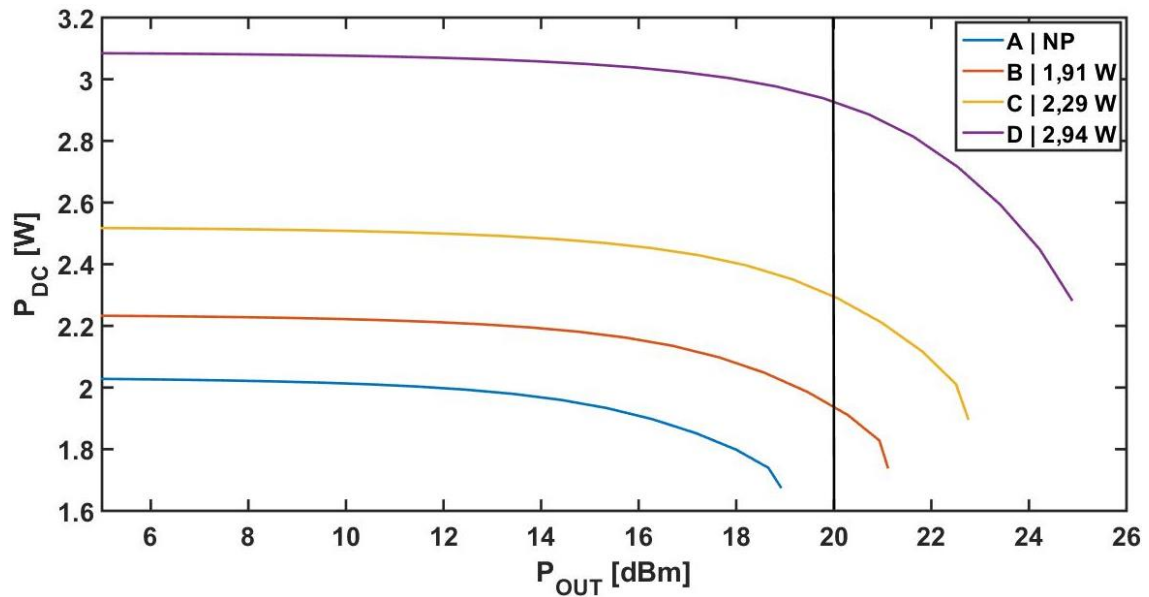
FONTE: O autor (2018)

LEGENDA: Gráfico com os valores de P_{DC} em função da potência de saída. A potência máxima consumida pelos modos varia de 3,09 W a 2,03 W.

potência de saída é igual ao OCP_{1dB} de cada modo. Nesse gráfico é possível observar uma das principais vantagens na utilização de um PA multimodos: a economia no consumo de potência em situações em que a potência requerida na saída é menor que o OCP_{1dB} do PA, essas situações de operação são chamadas de operações em potência de recuo. A FIGURA 30 representa uma situação na qual é necessário que o PA entregue uma potência de 20 dBm em sua saída. Considerando essa situação, apenas os modos B, C e D podem entregar a potência necessária na saída. Como pode-se observar em destaque na FIGURA 30, dentre esses modos o que apresenta menor consumo de potência é o modo B: 1,91 W. Se comparado com o modo D, que também pode entregar a potência de 20 dBm na saída, há uma economia de 1,03 W no valor de PDC, o que resultaria em uma redução de aproximadamente 35% na potência DC consumida.

A FIGURA 31 representa o valor da PAE em função da potência de saída para cada um dos modos de operação. Em destaque está o valor da PAE para uma potência de saída igual ao OCP_{1dB} de cada modo de operação.

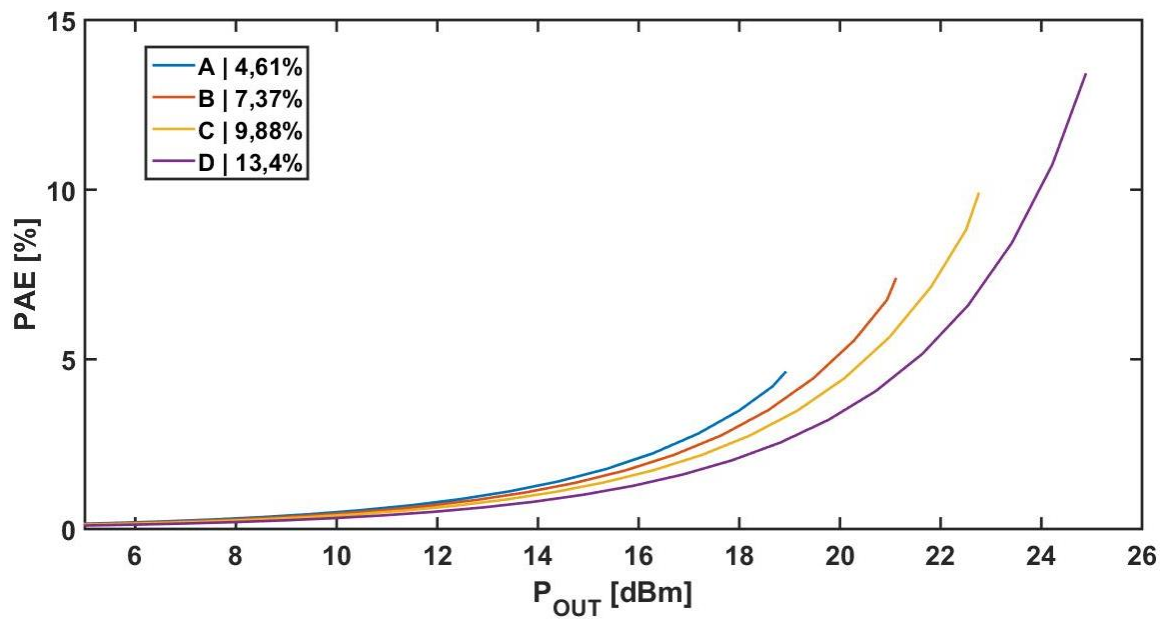
FIGURA 30 - EXEMPLO DE ECONOMIA DE CONSUMO DE POTÊNCIA DC



FONTE: O autor (2018)

LEGENDA: Gráfico que exemplifica uma situação de operação em potência de recuo na qual a troca entre modos de operação pode resultar em uma economia de energia. Nesse exemplo, a troca entre os modos D e B pode resultar em uma redução de 1,03 W no consumo de P_{DC} .

FIGURA 31 - PAE EM FUNÇÃO DA POTÊNCIA DE SAÍDA

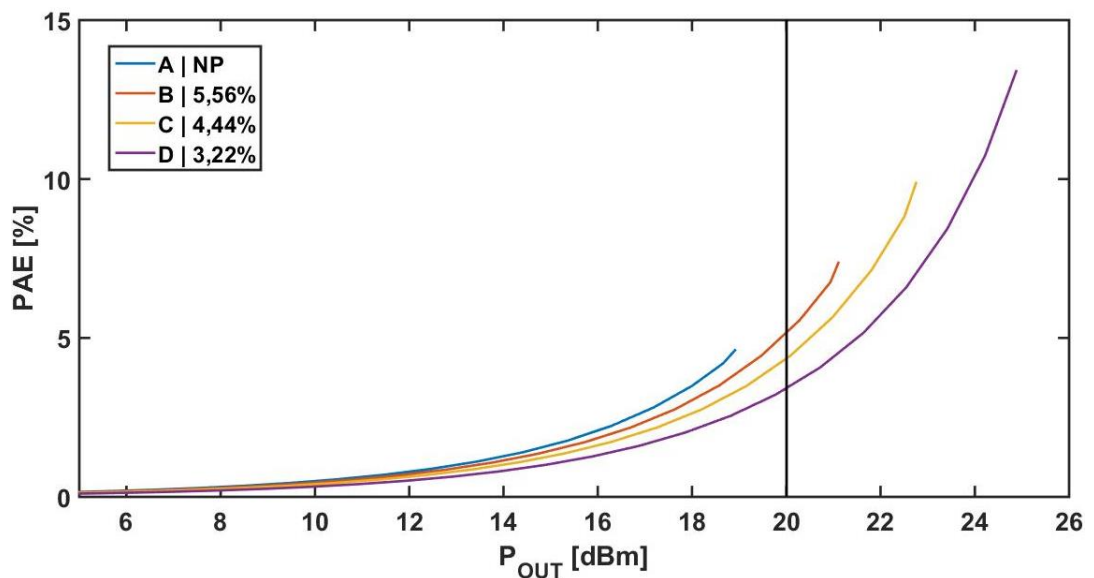


FONTE: O autor (2018)

LEGENDA: Gráfico com os valores de PAE em função da potência de saída para os quatro modos de operação. Em destaque estão os valores de PAE para uma potência de saída igual ao valor de OCP_{1dB} de cada um dos modos de operação.

Como reflexo da redução de P_{DC} , também se tem o aumento do valor da PAE em operações em potência de recuo devido à alternância entre os modos de operação. Para exemplo, foi utilizada a mesma situação de operação que na FIGURA 30, na qual é requerida uma potência de 20 dBm na saída do PA. Essa situação está representada na FIGURA 32. Comparando-se os valores de PAE dos modos B, C e D, para os quais é possível entregar 20 dBm na saída, pode-se atingir uma melhora de até 2,34% na PAE do circuito, alternando-se entre os modos de operação D e B.

FIGURA 32 - EXEMPLO DE AUMENTO DE PAE EM OPERAÇÕES EM POTÊNCIA DE RECULO



FONTE: O autor (2018)

LEGENDA: Gráfico exemplificando a mesma situação representada na FIGURA 30, apresentando os valores de PAE em função da potência de saída. Pode-se ser obtido um aumento de até 2,34 % na PAE através da troca de modos de operação nessa situação.

4.3 COMPARAÇÃO COM ESTADO DA ARTE

Foi realizada uma comparação com outros amplificadores de potência multimodos já publicados com a mesma faixa de operação do circuito proposto nesse trabalho.

A tabela comparativa está representada na TABELA 8. A tabela apresenta resultados de medidas dos circuitos projetados, tanto como resultados de simulações pós leiaute e os resultados das simulações de esquemático do trabalho proposto. Comparando-se os resultados desse trabalho com os resultados de DOS SANTOS

TABELA 8 - COMPARAÇÃO COM ESTADO DA ARTE

Ref.	Tecnologia (nm)	Número de modos	Ganho direto (dB)	OCP _{1dB} (dBm)	PAE @ OCP _{1dB} (%)
DOS SANTOS, 2017	130	6	22 – 31	14	13 – 15 ³
SANTOS, 2016 ¹	130	7	13 – 21	6 - 18	2 - 17
TARUI, 2018 ¹	130	6	22 – 31	12 – 17	8 – 14
TUFFERY, 2015	65	4	16 – 24 ³	17 - 26	5 – 12 ³
AN, 2009	180	2	20 – 38	31	10 – 27 ³
YOON, 2010	180	2	15 – 25	16 - 22	28 - 40
Esse Trabalho²	130	4	23 - 24	19 - 25	5 - 13

FONTE: O autor (2018)

LEGENDA: 1 – Resultados de simulação pós-leiaute, 2 – Resultados de simulação de esquemático, 3 – Valores estimados.

(2017), o PA proposto nesse trabalho apresenta valores de OCP_{1dB} maiores, um ganho direto na mesma faixa de grandeza, o mesmo ocorre se o PA proposto for comparado com o circuito apresentado por TARUI (2018). Se comparado aos resultados de SANTOS (2016), o circuito proposto apresenta também valores de OCP_{1dB} mais altos, como também valor de ganho direto. O PA proposto por TUFFERY (2015), o qual utiliza uma tecnologia diferente, é o qual os resultados mais se aproximam do PA proposto nesse trabalho, tanto em modos de operação, OCP_{1dB} e PAE, sendo a principal diferença o circuito desse trabalho apresentar um ganho direto constante. Por fim, os circuitos propostos por AN (2009) e YOON (2010) apresentam altos valores de PAE se comparados ao PA proposto. No entanto, esses circuitos apresentam apenas dois diferentes modos de operação, o que pode limitar as vantagens advindas da alternância entre os modos de operação. A principal diferença entre o PA proposto nesse trabalho e os outros PAs estudados no estado da arte, é o ganho direto constante para os diferentes modos de operação.

De modo geral, o PA proposto nesse trabalho apresenta bons resultados quando comparado a outros circuitos semelhantes da literatura. Apesar dos resultados terem sido obtidos utilizando-se a vista de esquemático, a qual não leva em conta os componentes parasitas devido ao leiaute e a processos de fabricação, os

resultados são promissores pois todos os componentes utilizados no esquemático são os componentes da própria tecnologia a qual seria utilizada na construção do leiaute. Portanto, esse circuito se apresenta como uma boa alternativa para sistemas nos quais são necessários altos níveis de potência de saída, porém não a todo momento, sendo necessárias menores potências em algumas situações. Como por exemplo a operação de um telefone celular, o qual necessita de maior potência na saída quando está longe de um ponto de recepção e menor potência na saída quando se está mais próximo do ponto de recepção. Assim, a alternância entre os modos de operação pode trazer economia à potência consumida no PA, se traduzindo numa maior eficiência e possível aumento da duração da fonte de energia de dispositivos móveis, uma bateria por exemplo.

5 CONCLUSÃO

Com o trabalho proposto concluído, obteve-se grande conhecimento no projeto de circuitos de PAs multimodos. Além disso, também se obteve grande experiência na utilização da tecnologia utilizada, que tem características diferentes das tecnologias utilizadas por mim anteriormente.

Os resultados ficaram a contento, pois ao fim do projeto obteve-se um esquemático funcional de um PA multimodos com quatro modos de operação distintos os quais apresentam uma pequena variação de ganho e um OCP_{1dB} de 24,8 dBm para o modo de maior potência.

Outro resultado interessante atingido foi a economia de potência pela alternância entre os modos de operação, em situações de operação em potência de recuo, o que pode ser uma boa alternativa para

5.1 TRABALHOS FUTUROS

Como trabalhos futuros tem-se como principal objetivo a construção do seu leiaute. Dessa forma, poderão ser analisados com mais precisão os efeitos parasitas da tecnologia advindos do leiaute. Assim, poderão ser realizadas otimizações com o objetivo de melhorar os resultados do circuito nas simulações pós leiaute, as quais levam em consideração os efeitos parasitas.

REFERÊNCIAS

- H. S. Ruiz and R. B. Pérez, "Impact of PA on Integrated Transceivers, in Linear CMOS RF Power Amplifiers: a complete design workflow", 1st ed., New York, New York:Springer, 2014
- Y. Li, B. Bakkaloglu and C. Chakrabarti, "A comprehensive energy model and energy-quality evaluation of wireless transceiver front-ends," IEEE Workshop on Signal Processing Systems Design and Implementation, 2005., 2005, pp. 262-267.
- E. L. dos Santos, M. A. Rios, L. Schuartz, B. Leite, L. Lolis, E. G. de Lima, A. A. Mariano. A fully integrated CMOS power amplifier with discrete gain control for efficiency enhancement, *Microelectronics Journal*, Volume 70, 2017, Pages 34-42, ISSN 0026-2692
- F. Santos, A. Mariano and B. Leite, "2.4 GHz CMOS digitally programmable power amplifier for power back-off operation," 2016 IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS), Florianopolis, 2016, pp. 159-162.
- A. Tuffery, N. Deltimple, E. Kerhervé, V. Knopik and P. Cathelin, "CMOS fully integrated reconfigurable power amplifier with efficiency enhancement for LTE applications," in *Electronics Letters*, vol. 51, no. 2, pp. 181-183, 1 22 2015.
- [K. H. An, D. H. Lee, O. Lee, H. Kim, J. Han, W. Kim, C. H. Lee, H. Kim and J. Laskar, "A 2.4 GHz fully integrated linear CMOS power amplifier with discrete power control", *IEEE Microwave and Wireless Components Letters*, Vol. 19, No. 7, pp. 479-481, July 2009.
- Y. Yoon, H. Kim, K. H. An, J. Kim, C. Lee, and J. Laskar, "A Fully- Integrated Dual-Mode Tunable CMOS RF Power Amplifier with Enhanced Low-Power Efficiency," *Proceedings of the 40th European Microwave Conference*, Paris, pp. 982–985, 2010.
- A. M. Niknejad, D. Chowdhury and J. Chen, "Design of CMOS Power Amplifiers," *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 6, pp. 1784-1796, jun 2012.
- B. Tarui, F. Santas, E. L. Santos, B. Leite and A. A. Mariano, "Design of an RF Six-Mode CMOS Power Amplifier for Efficiency Improvement at Power Backoff," *2018 31st Symposium on Integrated Circuits and Systems Design (SBCCI)*, Bento Gonçalves - RS, Brazil, 2018, pp. 1-6

ANEXO 1 – ESQUEMÁTICO COMPLETO DO CIRCUITO

