

**UNIVERSIDADE FEDERAL DO PARANÁ
SETOR DE TECNOLOGIA
CURSO DE ENGENHARIA ELÉTRICA**

Karine Midori Nacano

**PROJETO DE UM TRANSMISSOR INTEGRADO PARA
RÁDIO POR PULSOS EM UWB**

**CURITIBA
2018**

KARINE MIDORI NACANO

PROJETO DE UM TRANSMISSOR INTEGRADO PARA
RÁDIO POR PULSOS EM UWB

Trabalho de Conclusão de Curso apresentado ao Curso de Graduação em Engenharia Elétrica da Universidade Federal do Paraná, como requisito parcial à obtenção do grau de Bacharel em Engenharia Elétrica.

Orientador: Prof. Dr. Oscar da C. Gouveia Filho

CURITIBA
2018

UNIVERSIDADE FEDERAL DO PARANÁ

KARINE MIDORI NACANO

Esta Monografia foi julgada adequada para a obtenção do título de Bacharel em Engenharia de Elétrica, sendo aprovada em sua forma final pela banca examinadora:

Orientador(a): Prof. Dr. Oscar da C.
Gouveia Filho
Universidade Federal do Paraná - UFPR

Prof. Ph.D. André Augusto Mariano
Universidade Federal do Paraná - UFPR

Prof. Ph.D. Bernardo Rego Barros de
Almeida Leite
Universidade Federal do Paraná - UFPR

Curitiba, ____ de _____ de 2018

Resumo

Este relatório apresenta um projeto de um transmissor para rádio por pulsos de um sinal de eletrocardiograma em ultra banda larga (Ultra Wide Band ou UWB). A aquisição de desses sinais normalmente necessita vários eletrodos, fios e equipamentos para a medição, o que torna a medição um pouco desconfortável para o paciente. Portanto, os critérios escolhidos para decidir quais topologias seriam utilizadas são: menor consumo de energia, menor ocupação de espaço e maior eficiência. Além disso, a maioria dos circuitos são passivos para atender os pré requisitos já citados. O comparador, que não é considerado um circuito passivo, é implementado na região sub-limiar para preservar a corrente de polarização necessária. A tecnologia utilizada foi a IBM 130 HP e a base do dimensionamento utilizado foi o inversor, a primeira e a menor lógica criada neste trabalho.

Palavras-chave: UWB. Eletrocardiograma. Transmissor. ADC.

Abstract

This report presents a design of a impulse radio method transmitter for an ultra wideband (UWB) electrocardiograph monitoring. The acquisition of these signals usually requires several electrodes, wires and equipment for the measurement, which makes it a little uncomfortable for the patient. Therefore, to decide which topologies would be use, the circuit characteristics are lower power consumption, less space occupation and greater efficiency. In addition, most of circuits are passive to meet the prerequisites already mentioned. The comparator, which is not considered a passive circuit, is implemented in the sub-threshold region to preserve the required bias current. The technology used was the IBM 130 HP and the basis of the design used was the inverter, the first and the smallest logic created in this work.

Keywords: UWB. Electrocardiogram. Transmitter. ADC.

Lista de ilustrações

Figura 1 – Circuito de amostragem e retenção com porta de transmissão.	15
Figura 2 – Circuito comparador com duas saídas.	16
Figura 3 – Circuito multiplexador com três entradas.	17
Figura 4 – Circuito de uma unidade de controle.	17
Figura 5 – Circuito da lógica do registrador.	18
Figura 6 – Circuito do conversor digital-analógico.	19
Figura 7 – Circuito do conversor analógico-digital.	20
Figura 8 – Circuito do conversor paralelo-série para 4 bits.	20
Figura 9 – Circuito do gerador de pulsos.	21
Figura 10 – Resultado do circuito de amostragem e retenção utilizado no projeto com o relógio em 50% de ciclo de trabalho.	22
Figura 11 – Resultado do circuito de amostragem e retenção utilizado no projeto com o relógio em 1% de ciclo de trabalho.	23
Figura 12 – Resultado do funcionamento do circuito Comparador.	23
Figura 13 – Circuito da lógica.	24
Figura 14 – Resultado do funcionamento do circuito com a lógica das saídas.	24
Figura 15 – Resolução do circuito.	25
Figura 16 – Resultado do funcionamento dos circuitos SH e comparador.	25
Figura 17 – Resultado das saídas do circuito.	26
Figura 18 – Resultado do conversor DA após o resultado do circuito SAR.	26
Figura 19 – Resultado das etapas de modulação.	27
Figura 20 – Resultado da conversão paralela para série.	27
Figura 21 – Resultado modulado.	28

Lista de tabelas

Tabela 1 – Tabela de limites de transmissão definidos pela FCC. [UWB Worldwide Regulations 2015]	13
Tabela 2 – Dimensões das portas lógicas.	14
Tabela 3 – Tabela verdade do multiplexador. [Rossi e Fucili 1996]	17
Tabela 4 – Tabela de conversão.	18
Tabela 5 – Tabela de tensões dos bits.	18
Tabela 6 – Tabela de comparação de sinais biológicos. [Lee et al. 2009]	20
Tabela 7 – Tabela de entrada paralela.	28

Lista de abreviaturas e siglas

UWB	Ultra Wide Band
ECG	Eletrocardiograma
IoT	Internet of Things
ADC	Analog-to-Digital Converter
DoD	Department of Defense
WBAN	Wireless Body Area Network
FCC-USA	Federal Communications Commission - United States of America
ANATEL	Ministério das Comunicações Agência Nacional de Telecomunicações
S/H	Sample and Hold
SAR	Successive Approximation Register
MSB	Most Significant Bit
LSB	Least Significant Bit Significant Bit
DA	Digital-Analógico
AD	Analógico-Digital
EEG	Eletroencefalograma
EMG	Eletromiograma
ENG	Eletroneurograma

Sumário

1	INTRODUÇÃO	10
1.1	Problemática	10
1.2	Objetivo	10
1.2.1	Objetivo Geral	10
1.2.2	Objetivos Específicos	11
1.3	Organização	11
2	<i>TRANSMISSÃO EM ULTRA BANDA LARGA</i>	12
2.1	Definição	12
2.2	Regulamentação	12
3	ESTADO DA ARTE	14
3.1	Portas Lógicas	14
3.2	Amostragem e Retenção	14
3.3	Comparador	15
3.4	Registrador de aproximações sucessivas	16
3.5	Conversor digital-analógico	18
3.6	Conversor analógico-digital	19
3.7	Conversor paralelo-série	19
3.8	Gerador de pulsos	21
4	RESULTADOS	22
4.1	Amostragem e Retenção	22
4.2	Comparador	23
4.3	Registrador de aproximações sucessivas e conversor DA	25
4.4	Gerador de pulsos	26
4.5	Conversor paralelo-série	27
5	CONCLUSÃO	29
	REFERÊNCIAS	30

1 Introdução

Com o avanço da medicina e da tecnologia houve uma melhoria das condições de vida da sociedade, aumentando a longevidade e causando o envelhecimento da população. Sendo assim, torna-se necessário aprimorar os sistemas de monitoramento de sinais biológicos humanos, principalmente para que seja possível cuidar de vários pacientes simultaneamente. Um dos problemas mais decorrentes nos idosos são os ataques cardíacos, ou seja, para atender esse crescente número de idosos é preciso aperfeiçoar o processo de aquisição de dados, como o eletrocardiograma (ECG).

O ECG avalia a atividade elétrica do coração. Essa medida utiliza vários eletrodos fixados na pele, tendo como resultado gráficos que são comparadas com um padrão. O projeto pode tornar essa aquisição mais agradável e mais prático. A utilização de um equipamento robusto pode proporcionar maior mobilidade ao paciente, além de permitir que a equipe médica monitore vários pacientes remotamente [Keong e Yuce 2008]. Para que isso seja possível, este trabalho visa projetar um circuito de transmissão integrado para rádio por pulso em ultra banda larga ou ultra-wideband (UWB) em inglês.

1.1 Problemática

A aquisição de eletrocardiogramas normalmente necessita de vários eletrodos, fios e equipamentos para a medição, portanto torna a medição um pouco desconfortável para o paciente. O acompanhamento a distância melhora a eficiência dos médicos, além de melhorar a mobilidade do paciente por causa dessa ausência de fios por todo o corpo. Mas para que isso se concretize, os sinais emitidos devem ser de baixo consumo de potência.

Com inúmeras tecnologias de comunicação sem fio, principalmente quando se trata de Internet das Coisas ou Internet of Things (IoT) em inglês, é possível ampliar essa rede para a tecnologia assistiva. Nesse contexto, o circuito necessita funcionar para a medição de sinais de baixa tensão. O circuito proposto é o de transmissão e é composto por um conversor analógico digital (ADC), um conversor paralelo série e gerador de pulsos [Keong e Yuce 2008].

1.2 Objetivo

1.2.1 Objetivo Geral

Projetar um circuito de medição de um eletrocardiograma para transmissão de dados sem fio, usando rádio por pulsos (Impulse Radio).

1.2.2 Objetivos Específicos

Considerando o desenvolvimento do trabalho e o objetivo geral apresentado, destacam-se os seguintes objetivos específicos:

- Pesquisar sobre as principais arquiteturas presentes na literatura;
- Projetar no Cadence as portas lógicas;
- ‘Projetar um conversor analógico para digital;
- Projetar um gerador de pulsos;
- Integrar os blocos.

1.3 Organização

O presente trabalho está organizado da seguinte forma:

Capítulo 2: os conceitos relacionados a transmissão em ultra banda larga serão abordados neste capítulo, bem como as principais regulamentações no mundo e no Brasil.

Capítulo 3: as arquiteturas escolhidas e os dimensionamentos utilizados no desenvolvimento do trabalho.

Capítulo 4: os resultados obtidos em cada bloco abordado no capítulo anterior e em seguida o resultado final obtido.

2 *Transmissão em Ultra Banda Larga*

2.1 Definição

Para [Win et al. 2009], o UWB é uma tecnologia sem fio, cujo sinal tem uma grande largura de banda absoluta. Mesmo sendo uma tecnologia consideravelmente atual, os primeiros estudos em UWB foram feitos por Heinrich Hertz (1887-1888), que confirmou a existência de ondas eletromagnéticas e desenvolveu os primeiros equipamentos que produzissem, irradiassem e detectassem essas ondas. Naquela época, a forma mais fácil de gerar pulsos era em banda larga, iniciando os estudos dessa tecnologia. Entretanto, o primeiro estudo efetivamente direcionado aos pulsos eletromagnéticos para comunicação por rádio foi feita por Guglielmo Marconi, em 1901 [Staras et al. 2012]. Mas, normalmente é conhecida por sua origem militar na década de 60 e por ser patenteada Dr. Gerald F. Ross. A transmissão em ultra banda larga recebeu esse nome a partir de 1989 pelo Departamento de Defesa dos Estados Unidos ou Department of Defense (DoD), com a necessidade de descrever o funcionamento de redes de micro-ondas em modo transiente [Pan 2007].

É uma tecnologia aplicada para curtas distância e tem uma taxa de transmissão alta, acima de 100Mbits/s, por conta de seus pulsos em UWB serem muito pequenos (menos de um nanossegundo) [Fujimura]. Por essas características, o UWB é muito empregado em dois tipos principais de aplicações: transmissão de dados em uma distância restrita e em radares por sua capacidade de penetração, pois o sinal tem alta capacidade de penetração em superfícies próximas e reflete nas mais distantes, possibilitando detectar objetos atrás de paredes [Win et al. 2009]. Além disso, o UWB tem sido uma tecnologia proposta para usos na rede de área corpórea ou wireless body área network (WBAN). Mesmo com tantas aplicações ainda não há uma padronização concreta do UWB.

2.2 Regulamentação

As tecnologias na área de comunicação estão evoluindo por mais de 100 anos. Segundo [UWB Worldwide Regulations 2015], os padrões para as telecomunicações são abordados em vários níveis – mundial, nacional, industrial. Normalmente, procura-se um consenso mundial, entretanto cada nação tende a seguir de acordo com sua própria autoridade. Em UWB, a padronização mais conhecida e também com uma considerável influência mundial é a de abril de 2002, definida pela Comissão Federal de Comunicações Norte Americana ou Federal Communications Commission (FCC-USA) [Fujimura].

De acordo com a FCC, um sinal em UWB tem uma ocupação de largura absoluta

maior que 500 MHz ou relativa de 25% da sua frequência central. Além disso, os sinais seguem especificações de acordo com os limites de emissão da Tabela 1 (máscara espectral).

Tabela 1 – Tabela de limites de transmissão definidos pela FCC. [UWB Worldwide Regulations 2015]

Frequência (MHz)	Interno (dBm/MHz)	Externo (dBm/MHz)
960 ~ 1.610	-75,3	-75,3
1.610 ~ 1.990	-55,3	-63,3
1.990 ~ 3.100	-51,3	-61,3
3.100 ~ 10.600	-41,3	-41,3
Acima de 10.600	-51,3	-61,3

Na América do Sul, a maioria dos países está de acordo com os padrões definidos pela FCC [UWB Worldwide Regulations 2015]. Entretanto, no Brasil, existem regulamentações específicas determinadas pelo Ministério das Comunicações Agência Nacional de Telecomunicações (ANATEL). Esse regime regulatório é o Anatel Act No. 11542 de 23 de agosto de 2017 e a frequência permitida também é de 3,1 GHz até 10,6 GHz. A diferença entre os critérios é que a largura relativa é maior ou igual a 20% e a largura de banda onde os picos da onda portadora medem 10 dB devem ser iguais ou maiores que 500 MHz, independente de sua largura fracionária.

3 Estado da Arte

3.1 Portas Lógicas

Na eletrônica digital, os sistemas empregam a álgebra booleana para solucionar os problemas. As lógicas mais fáceis de se implementar são as funções negadas das lógicas (NAND, NOR, XOR). Esses circuitos são geralmente a base de lógicas mais complexas. A tecnologia utilizada neste trabalho é a IBM 130 HP e o menor comprimento dos transistores é 120 nm com largura de 280 nm sem perder os contatos no leiaute. Assim, esses valores serão os limites mínimos do dimensionamento de todo o projeto. Pensando nisso, a porta lógica inversora, o menor circuito, é o primeiro criado visto que seus valores serão utilizados como referência para as outras portas lógicas.

As dimensões do inversor foram adquiridas através de simulações. Para isso, foi adotado como comprimento dos dois transistores como 120 nm. Em seguida, sabendo que o NMOS é menor que o PMOS, a largura determinada para o NMOS foi o mínimo permitido, 280 nm. Com esses parâmetros, falta obter a largura do PMOS, cujo valor adquirido foi de 1.07 μm . A Tabela 2 mostra a quantidade de transistores em cada lógica e suas larguras, pois o comprimento é igual para todos.

Tabela 2 – Dimensões das portas lógicas.

Porta Lógica	Nº de NMOS	Largura NMOS	Nº de PMOS	Largura PMOS
Inversor	1	280 nm	1	1,07 μm
NAND	2	560 nm	2	1,07 μm
NOR	2	280 nm	2	2,14 μm
XOR	4	560 nm	4	2,14 μm

3.2 Amostragem e Retenção

O circuito de amostragem e retenção (sample and holding ou S/H) são circuitos empregados em conversores analógico-digital (analogic-to-digital converter ou ADC). Como o nome do circuito sugere, a função é adquirir um valor e mantê-lo por um determinado tempo. Desta forma, o circuito seguinte, no caso o comparador, poderá utilizar o valor fixado durante esse tempo de retenção.

Há várias topologias presentes na literatura e neste projeto foram estudados as arquiteturas passivas e com baixo consumo de energia para que operassem em todas as tensões desejadas (entre 0 e 1 V). A mais comum utiliza dois transistores NMOS, um como chave e outro como dummy switch para compensar a injeção de carga e os erros gerados

por essa carga [Mahmoud e Nazzal 2015]. Esse modelo não foi utilizado por não operar em tensões perto de 1 V. Portanto, a arquitetura escolhida utiliza um transistor NMOS e PMOS para facilitar o dimensionamento do circuito, visto que os dois transistores são de mesmo tamanho, além de garantir o funcionamento em toda faixa de tensão. A Figura 1

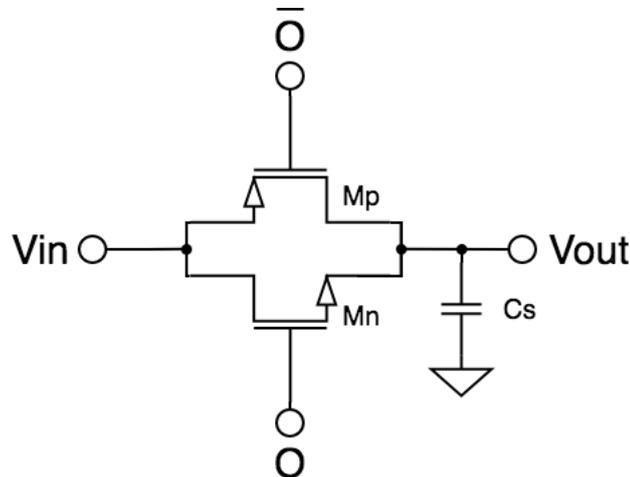


Figura 1 – Circuito de amostragem e retenção com porta de transmissão.

A Figura 1 mostra o circuito de amostragem e retenção utilizado no projeto. O capacitor utilizado é de 5pF e, como os transistores têm as mesmas dimensões, foram utilizadas as menores dimensões, ou seja, largura de 280nm e comprimento de 120nm.

3.3 Comparador

Este circuito normalmente tem duas entradas e uma saída, que compara um sinal de entrada com um valor de referência. A saída desse circuito será um nível baixo quando o valor de entrada for menor que sua referência e a saída será um nível alto caso contrário. Entretanto, o circuito comparador deste projeto, mostrado na Figura 2, apresenta duas saídas.

O comparador é um dos blocos mais importantes num conversor analógico-digital. Segundo [Lee et al. 2009], o transistor M5 é o responsável pelo desempenho do circuito. Desta maneira, esse transistor deve ser projetado de tal forma que a corrente I_b seja de 400 nA [Lee et al. 2009]. Outro cuidado neste circuito são os transistores Ms1 e Ms2, que evitam a histerese ou os atrasos na reinicialização do circuito. Essa reinicialização ocorre quando o relógio está no nível alto, isto significa que as duas saídas V_{out+} e V_{out-} serão 1 V. Na fase de nível baixo do relógio, o circuito faz a comparação entre as duas entradas V_{in-} e V_{in+} . Por esse motivo, as saídas chaveiam em vez de apenas manterem o nível baixo de tensão.

A arquitetura implementada tem em sua saída positiva o funcionamento parecido com o descrito anteriormente, porém quando o sinal de entrada está abaixo do valor de

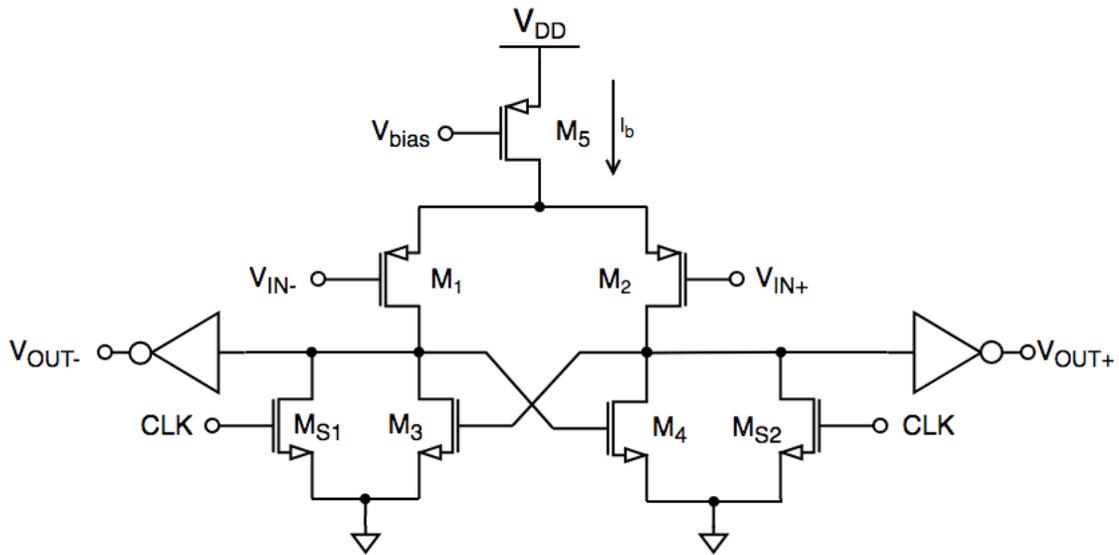


Figura 2 – Circuito comparador com duas saídas.

referência, a saída do comparador fica chaveando. A mesma lógica se aplica na saída negativa, mas o chaveamento ocorre quando a tensão está acima do valor de referência. O comprimento dos transistores é de 240 nm, valor utilizado para calcular a largura dos transistores PMOS. Os transistores NMOS têm a largura mínima e o mesmo comprimento de 240 nm. O resultado do comprimento do PMOS é 2,3 μm obtido a partir da equação:

$$I_s = \mu p.n.Cox' \cdot \frac{\phi t}{2} \cdot \frac{W}{L} \quad (3.1)$$

3.4 Registrador de aproximações sucessivas

O registrador de aproximações sucessivas (Successive Approximation Register ou SAR) está presente na maioria dos conversores de média ou alta resolução, pois possui baixo consumo de energia, alta resolução/precisão e, é um circuito que pode ser integrado à vários outros, é relativamente pouco volumoso. O SAR tem dois tipos principais de arquiteturas: o redundante e o não-redundante. Na primeira arquitetura, para um SAR de N bits, utiliza-se dois conjuntos de registradores, cada um com N flip-flops [Lee et al. 2009]. Um dos conjuntos é utilizado para fazer as estimativas e chegar no resultado que será armazenado no segundo conjunto. Para reduzir esse número de registradores, adota-se a arquitetura não-redundante, pois diminui pela metade o número de flip-flops, assim como o consumo de energia e o espaço ocupado.

Na estrutura não redundante implementada, um multiplexador de três entradas (SHIFT, COMPARATOR E MEMORY) e um flip-flop tipo D com SET e RESET são utilizados para fazer a unidade de controle [Rossi e Fucili 1996]. A lógica do multiplexador pode ser vista na Tabela 3. Cada unidade de controle é responsável por um bit, logo um

SAR de N bits terá N unidades de controle. Na Figura 3 é possível visualizar o esquemático do circuito multiplexador e em seguida a Tabela 3 apresenta a tabela verdade do circuito.

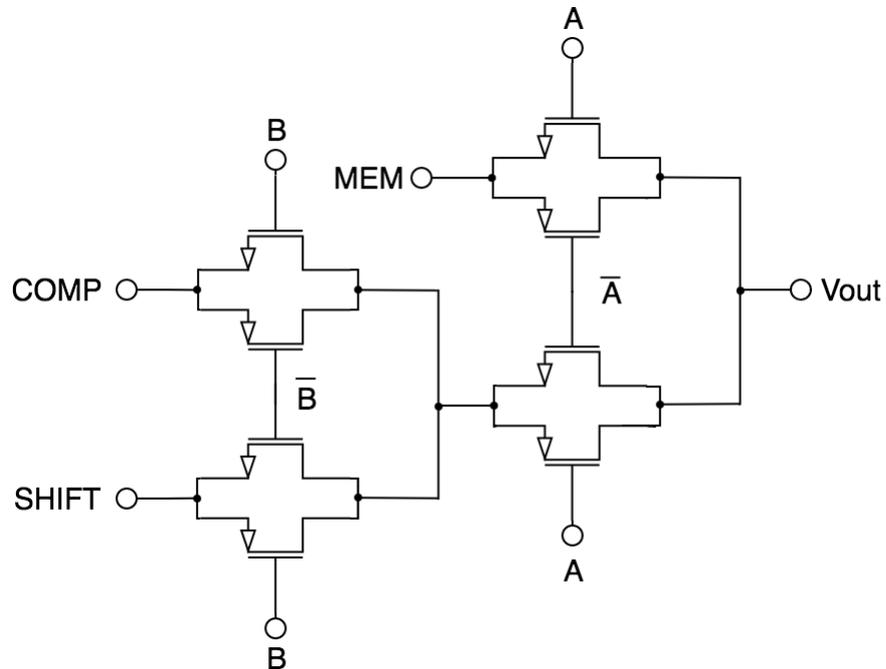


Figura 3 – Circuito multiplexador com três entradas.

Tabela 3 – Tabela verdade do multiplexador. [Rossi e Fucili 1996]

A	B	OUT
0	0	SHIFT
0	1	COMP
1	-	MEM

Cada unidade de controle é composta por um multiplexador e de um flip flop tipo D com Set e Reset [Rossi e Fucili 1996]. As conexões desse circuito é mostrado na Figura 4. Para facilitar a visualização da lógico do circuito, a Figura 5 é um exemplo com 4 bits. Assim, a Tabela 4 mostra a conversão de acordo com o passar dos ciclos de relógio.

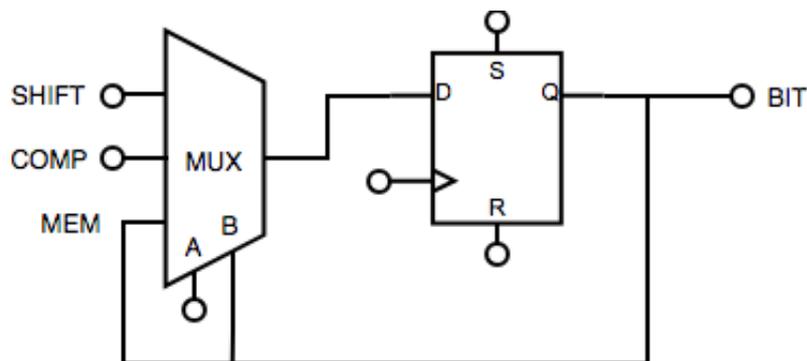


Figura 4 – Circuito de uma unidade de controle.

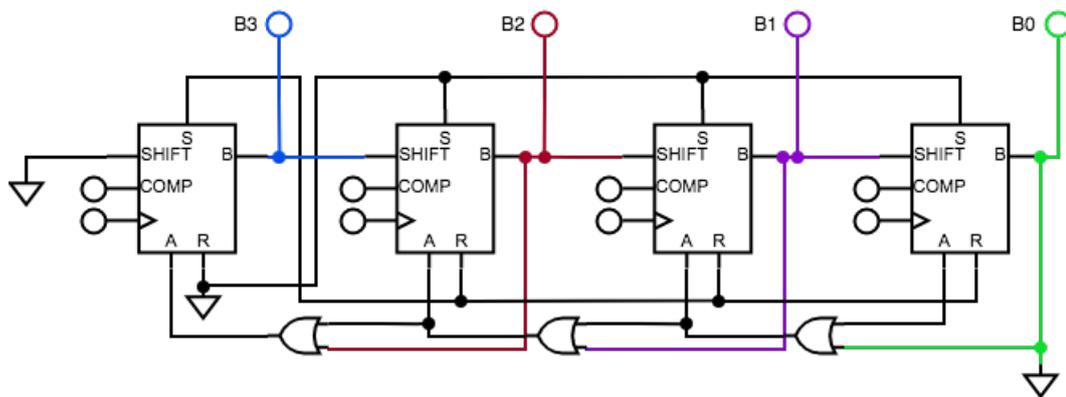


Figura 5 – Circuito da lógica do registrador.

Tabela 4 – Tabela de conversão.

Passo	B3	B2	B1	B0
1	1	0	0	0
2	a3	1	0	0
3	a3	a2	1	0
4	a3	a2	a1	1
5	a3	a2	a1	a0

O início da conversão ocorre começando na metade da escala (0,5 V), com a atribuição de um ao bit mais significativo, most significant bit (MSB), e zero ao restante dos bits. Caso o valor comparado seja maior, o valor do MSB será mantido, do contrário, esse valor será definido como 0. Esse ciclo ocorre N vezes para obter todos valores de cada bit, do mais significativo ao bit menos significativo, least significant bit (LSB). Como o conversor binário utilizado é de 8bits, a Tabela 5 apresenta os valores de saída de cada bit e o valor acumulado ao colocar todos os bits no nível alto.

Tabela 5 – Tabela de tensões dos bits.

Bit	Tensão unitária (V)	Tensão acumulada (V)
D7	0,5	0,5
D6	0,25	0,75
D5	0,125	0,875
D4	0,0625	0,9375
D3	0,03125	0,96875
D2	0,015625	0,984375
D1	0,0078125	0,9921875
D0	0,00390625	0,99609375

3.5 Conversor digital-analógico

É um circuito eletrônico com a finalidade de converter uma grandeza digital para uma grandeza analógica. As estruturas mais conhecidas para essa conversão utilizam

conjunto de capacitores, resistores ou transistores [Lee et al. 2009].. A arquitetura mais comum em conversores analógico-digital é o conversor DA utilizando o chaveamento de capacitores. Dependendo do arranjo de capacitores feitos, pode se tornar a opção mais eficiente por não consumir tanta potência [Veeder 2015]. Na Figura 6, o circuito é composto por capacitores múltiplos de 24 fF, sendo o C1 o equivalente ao LSB e o C8 equivalente ao MSB. O valor de cada capacitor, exceto o C0 que é igual ao C1, foi calculado por:

$$C_n = 2^{(n-1)} \cdot 24 \text{ fF} \quad (3.2)$$

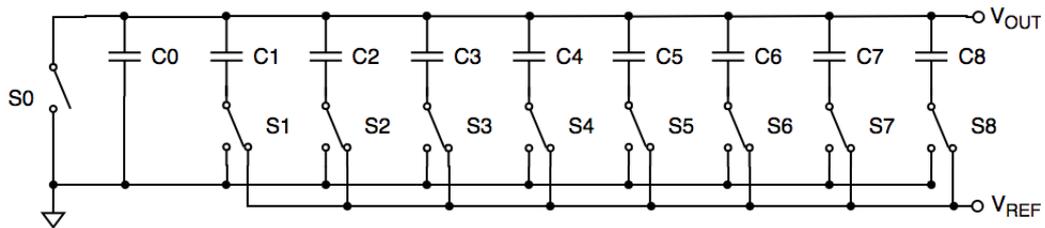


Figura 6 – Circuito do conversor digital-analógico.

A conversão para um valor analógico começa com a conexão de todos os capacitores com o terra. A medida que os ciclos de relógio vão passando, as chaves 1 até 8 alteram entre a tensão de referência de 1 V e o terra do circuito. Assim como no SAR, após os 8 ciclos de relógio, o valor analógico deve já ter sido convertido.

3.6 Conversor analógico-digital

De forma análogo ao circuito anterior, o objetivo é converter grandezas analógicas para digital. Como a aplicação deste conversor é para sinais biológicos, portanto são de baixa frequência (menores que 10 kHz) [Lee et al. 2009], não é necessário se preocupar tanto com a sua velocidade de conversão. O foco do conversor AD está na conversão de N bits em N ciclos de relógio. O circuito proposto (Figura 7) é constituído pelos blocos anteriores e tem característica de baixo consumo de potência. O bloco de amostragem e retenção opera com 10 kHz, valor escolhido visto que a maior frequência de um ECG é 250 Hz, como pode ser verificada na Tabela 6. O restante dos blocos operam com 80 kHz por ser um conversor de 8 bits e toda a conversão deve estar pronta durante o tempo de retenção.

3.7 Conversor paralelo-série

O conversor paralelo-série é também conhecido como sendo um registrador de deslocamento ou shift-register. O circuito consiste em um conjunto de flip flops que

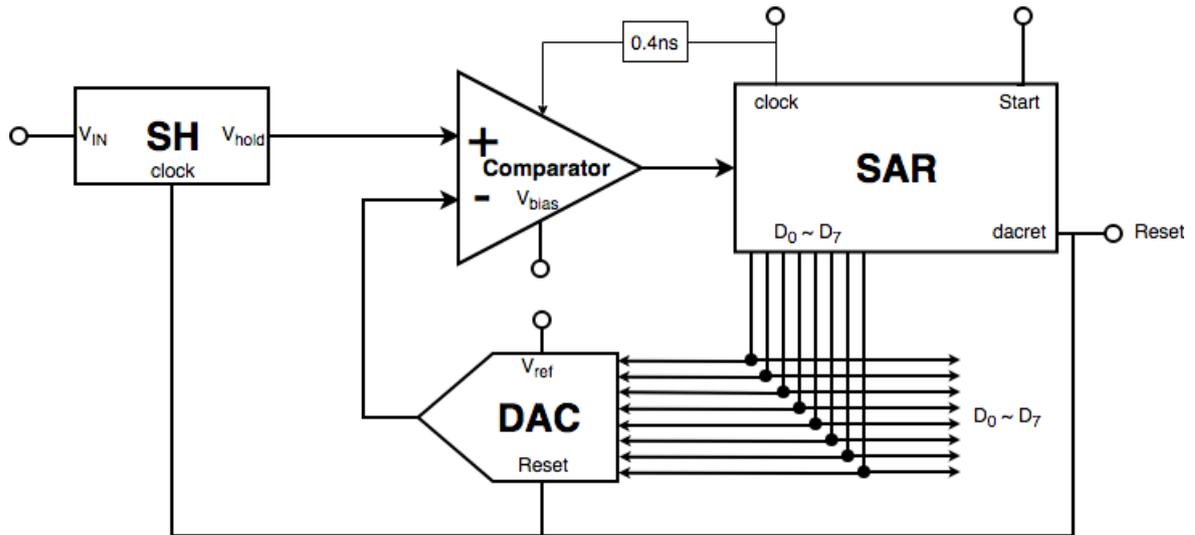


Figura 7 – Circuito do conversor analógico-digital.

Tabela 6 – Tabela de comparação de sinais biológicos. [Lee et al. 2009]

Sinal Biológico	Amplitude	Frequência
Eletrocardiograma (ECG)	0,5 ~ 4 mV	0,01 ~ 250 Hz
Eletroencefalograma (EEG)	5 ~ 300 μV	cc ~ 150 Hz
Eletromiograma (EMG)	0,1 ~ 5 mV	cc ~ 10 kHz
Eletroneurograma (ENG)	0 ~ 100 μV	250 ~ 5 kHz

recebem a informação digital em forma paralela. Um circuito de N bits necessita de N+2 flip-flops, um bit de início e outro de parada. Neste bloco também foi utilizado flip-flop tipo D para poder reutilizar circuitos já projetados, como pode ser visto na Figura 8.

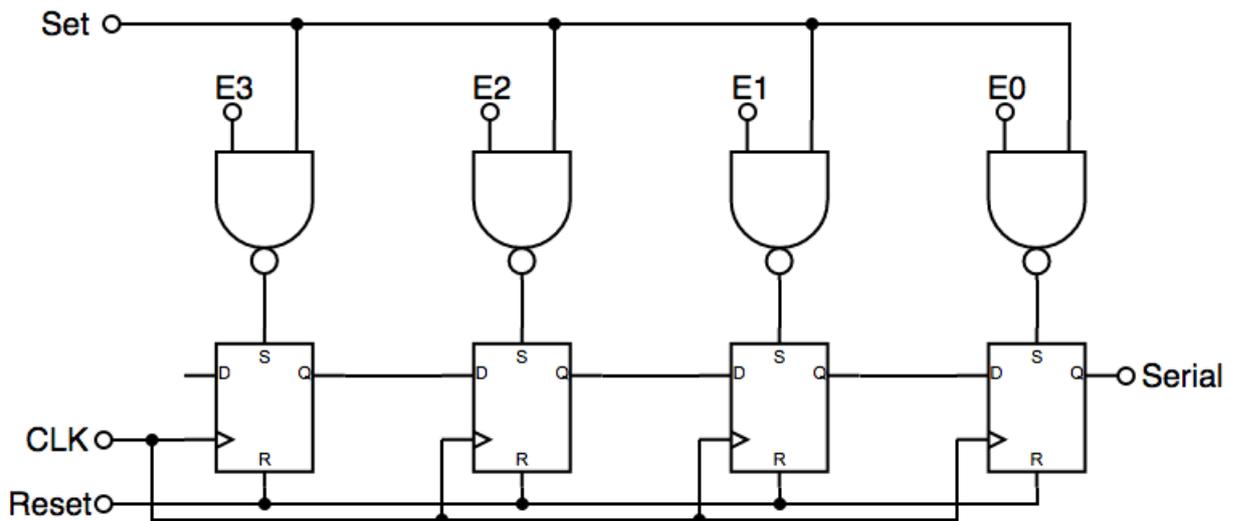


Figura 8 – Circuito do conversor paralelo-série para 4 bits.

O funcionamento consiste em receber as informações pelas entradas E_n e armazená-las em cada flip-flop. Assim, a cada ciclo do relógio, um bit é apresentado na saída do

conversor, sendo o LSB o primeiro bit apresentado na saída. de um conversor paralelo-série para que os sinais dos eletrodos formem um sinal em série.

3.8 Gerador de pulsos

Um dos principais blocos para transmissão em UWB é o do gerador de pulsos. Nesta etapa do projeto a frequência e a duração devem ser projetadas de acordo com sua aplicação. No trabalho de [Keong e Yuce 2008] a largura de pulso utilizada foi de 0.4 ns e a lógica para a geração desses pulsos pode ser vista na Figura 9.

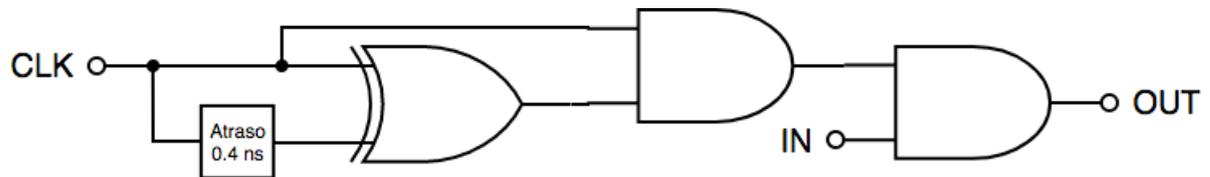


Figura 9 – Circuito do gerador de pulsos.

O atraso de 0.4 ns determina a largura de pulso gerada. Primeiramente, a porta lógica XOR faz com que os pulsos apareçam tanto na borda de subida quanto na de descida do relógio. Em seguida, a primeira porta lógica AND seleciona apenas os pulsos na borda de subida do relógio. Por último, a última porta lógica modula o sinal recebido.

4 Resultados

4.1 Amostragem e Retenção

O circuito de amostragem e retenção ideal amostra o sinal de entrada em uma das bordas do relógio (subida ou descida) e, em seguida, mantém o valor adquirido. Entretanto, o circuito real rastreia o sinal de entrada no nível alto do relógio e mantém esse valor no nível baixo do relógio (Figura 10). Portanto, para que o resultado seja o mais ideal possível, adota-se um ciclo de trabalho diferente de 50%.

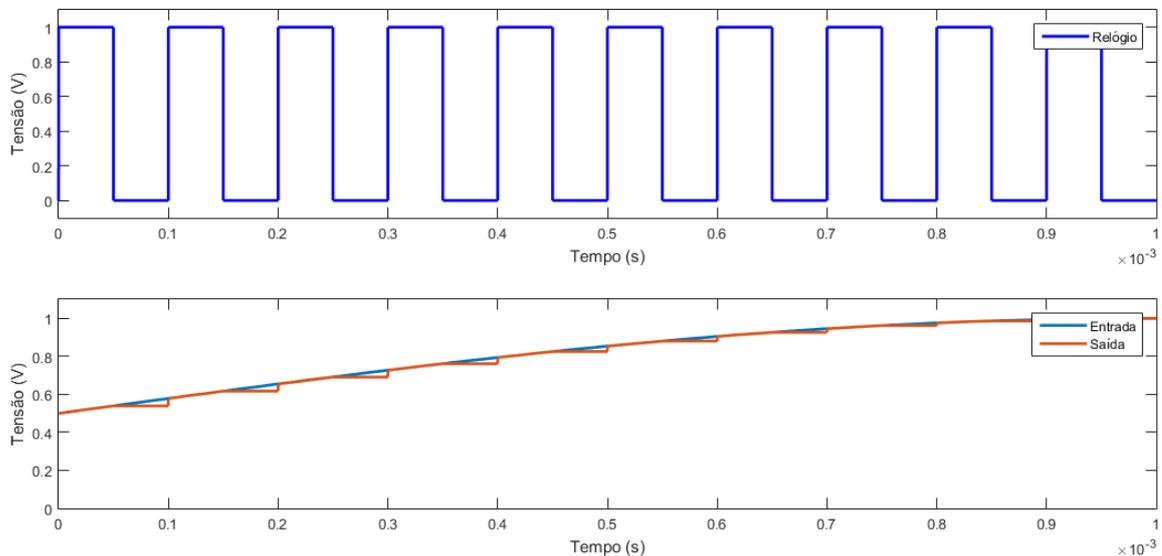


Figura 10 – Resultado do circuito de amostragem e retenção utilizado no projeto com o relógio em 50% de ciclo de trabalho.

A Figura 10 mostra o resultado com o ciclo do de trabalho de 50%. Nota-se que para o funcionamento do dos circuitos posteriores é inutilizado metade do ciclo do relógio, perdendo tempo de operação e não operando de forma eficiente. Já na Figura 11, o resultado com o ciclo do de trabalho de 1%, torna mais adequado. Assim, o circuitos seguintes não precisam esperar meio ciclo do relógio do circuito de amostragem e retenção para poder reagir e podem operar com uma frequência de relógio de oito vezes a frequência do SH.

A aplicação deste circuito será em sinais biológicos, mais precisamente, um eletrocardiograma. Portanto, a frequência do relógio utilizada nesta etapa é baixa, 10 kHz.

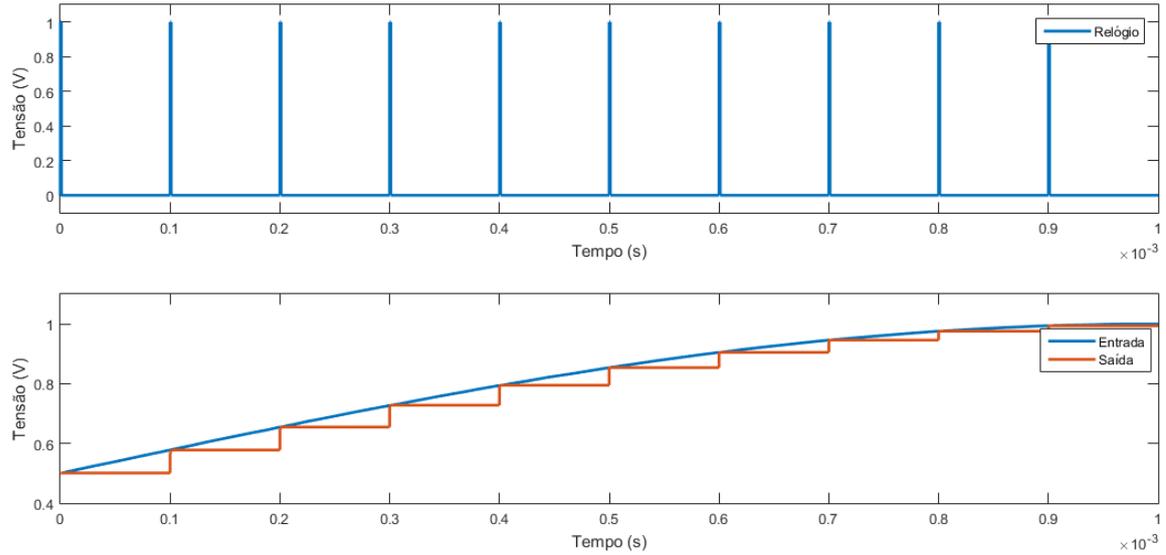


Figura 11 – Resultado do circuito de amostragem e retenção utilizado no projeto com o relógio em 1% de ciclo de trabalho.

4.2 Comparador

Este circuito deve comparar no mínimo uma diferença de tensão de 3,90625 mV, ou seja, a menor resolução do conversor DA. O resultado desejado do bloco é o chaveamento da saída positiva quando o sinal de entrada for maior que a referência e tensão alta caso contrário. A Figura 12 mostra o funcionamento descrito no capítulo anterior. Assim, é possível visualizar o chaveamento causado pelo nível baixo no relógio.

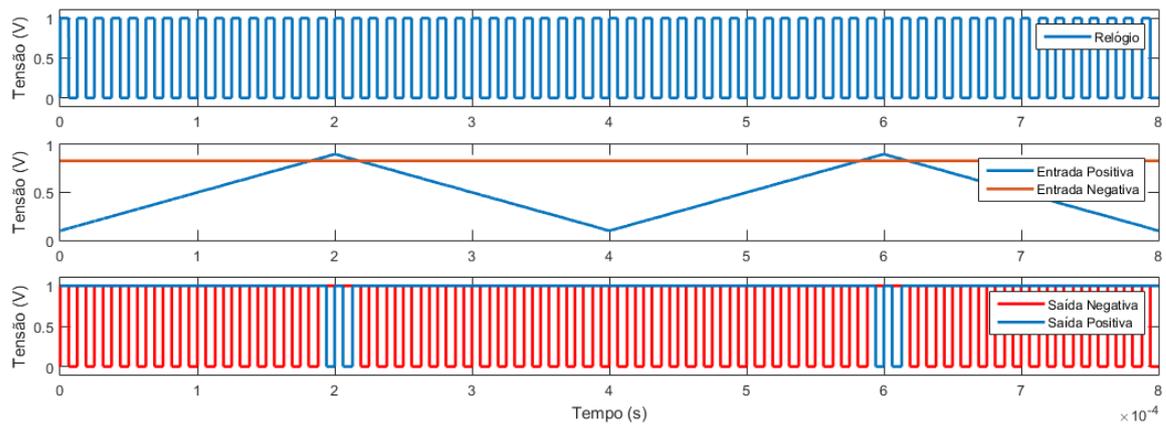


Figura 12 – Resultado do funcionamento do circuito Comparador.

O SAR necessita que esse chaveamento não ocorra em sua entrada para atuar corretamente. Para isso, foi aplicado uma lógica com as saídas do comparador, tendo assim uma saída simples. A Figura 13 mostra a estrutura utilizada para combinar as saídas do comparador e obter uma resposta coerente para os SAR. O resultado final deste bloco pode ser visto na Figura 14.

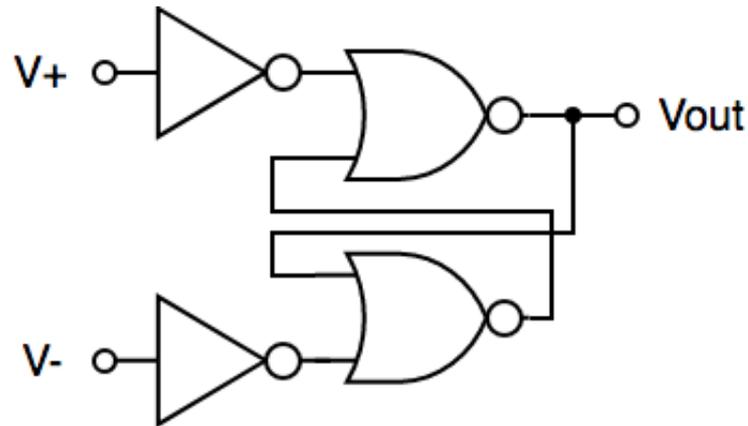


Figura 13 – Circuito da lógica.

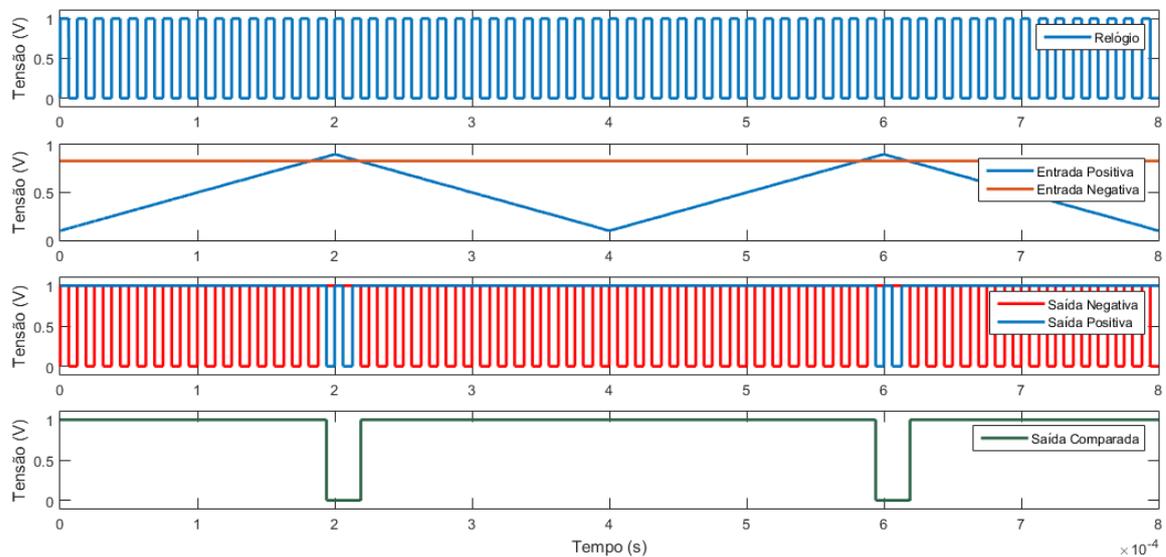


Figura 14 – Resultado do funcionamento do circuito com a lógica das saídas.

A Figura 15 mostra a simulação com a diferença de 0.1 mV entre a entradas negativa e a positiva. Esta simulação foi feita para verificar se o comparador opera devidamente com uma diferença de tensão menor que a da resolução do conversor digital-analógico. Como desejado, o circuito satisfaz essa condição e ainda consegue exceder as expectativas.

Com o funcionamento do SH e do comparador, é possível verificar o funcionamento parcial na Figura 16. A entrada testada é uma onda senoidal de 250 Hz, a máxima frequência do sinal ECG, para testar a performance do conjunto. Na Figura 16, é possível visualizar que o valor amostrado e o retido não se alteram tanto. Além disso, em cada ciclo do relógio do SH, há oito ciclos do relógio do comparador, sendo a primeira comparação feita em sua primeira borda de subida, após reiniciar o circuito na borda de descida.

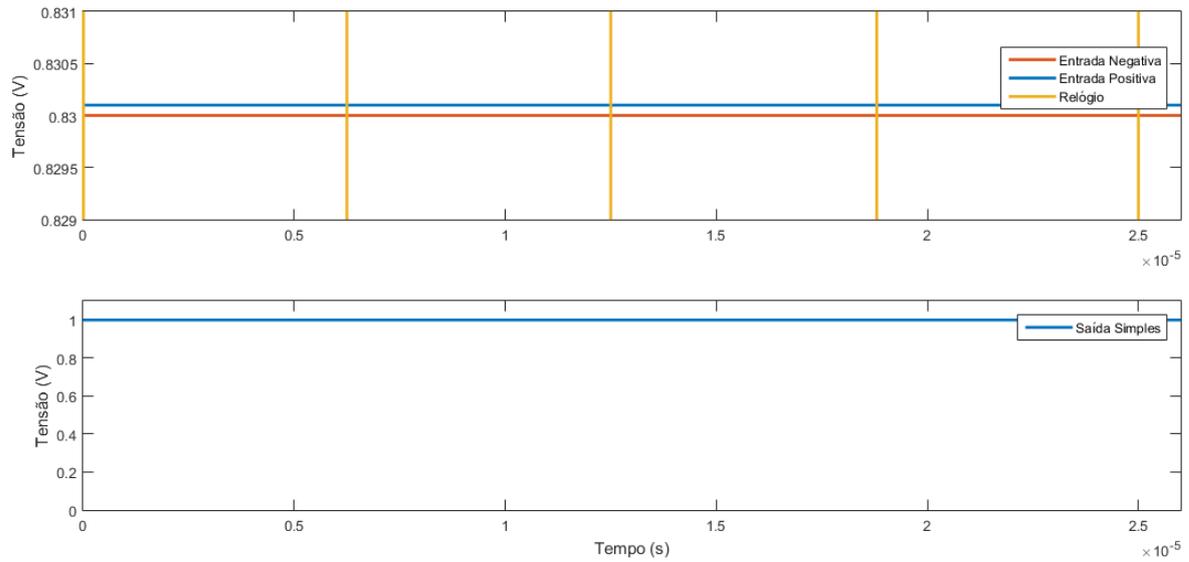


Figura 15 – Resolução do circuito.

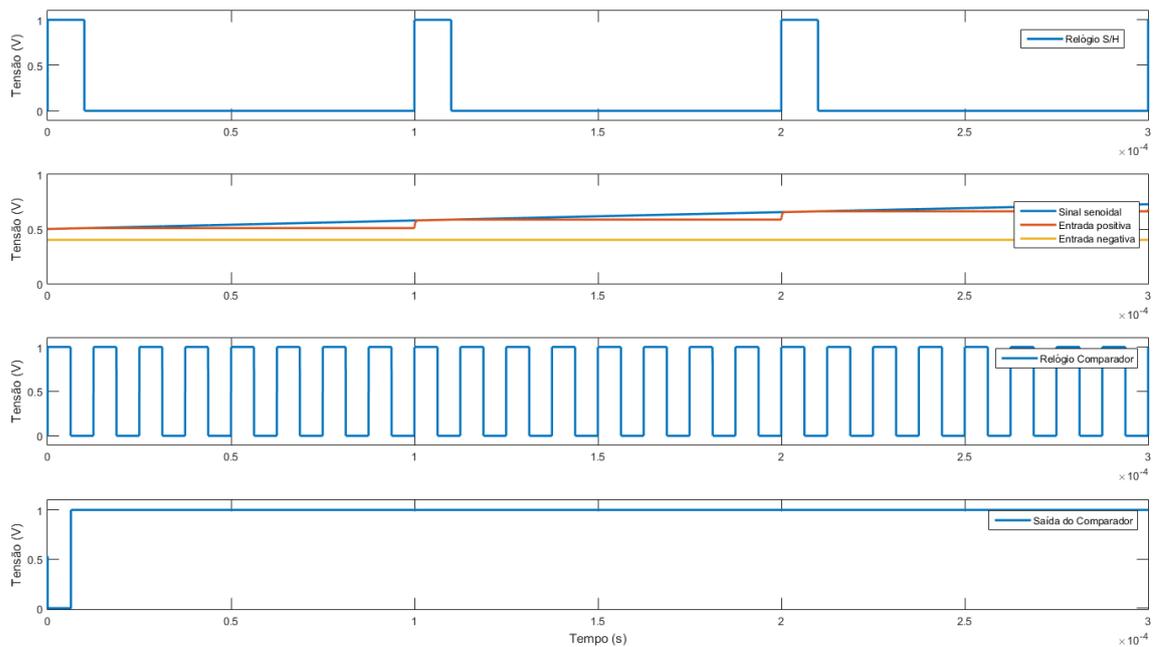


Figura 16 – Resultado do funcionamento dos circuitos SH e comparador.

4.3 Registrador de aproximações sucessivas e conversor DA

O resultado desta etapa (Figura 17) mostra o funcionamento do SAR, quando todas as portas estão em seu nível lógico alto. Em seguida, a Figura 18 mostra o resultado gerado no conversor DA, de forma a comprovar os valores acumulados da Tabela 5. Nota-se que no primeiro ciclo do relógio, a conversão reinicia na primeira metade do ciclo e define o valor de conversão na segunda metade.

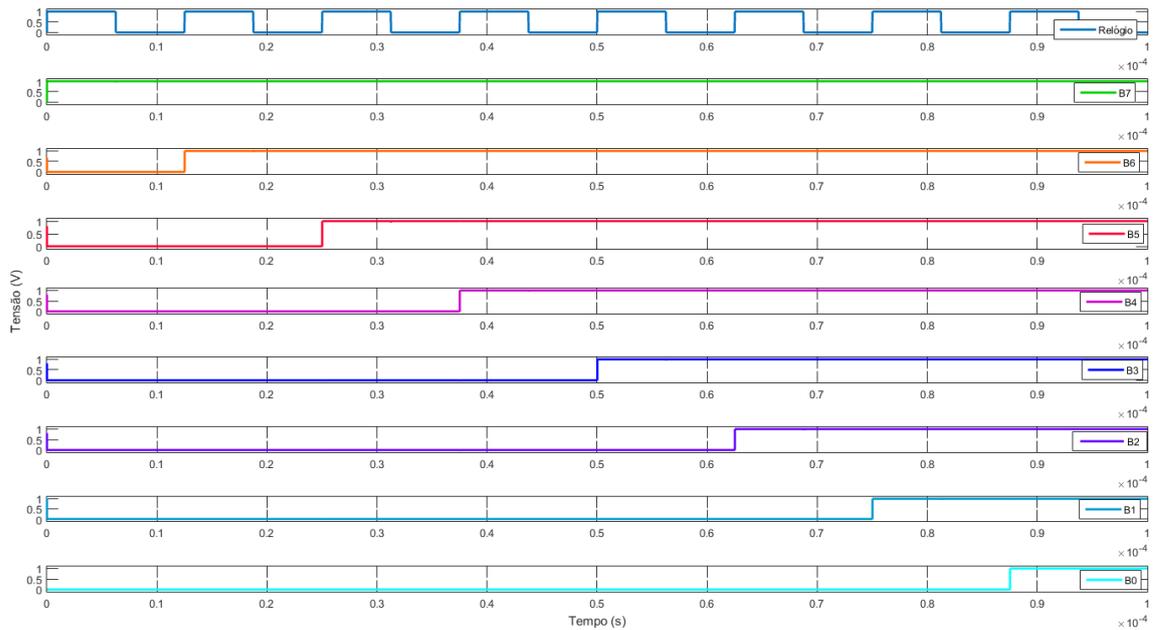


Figura 17 – Resultado das saídas do circuito.

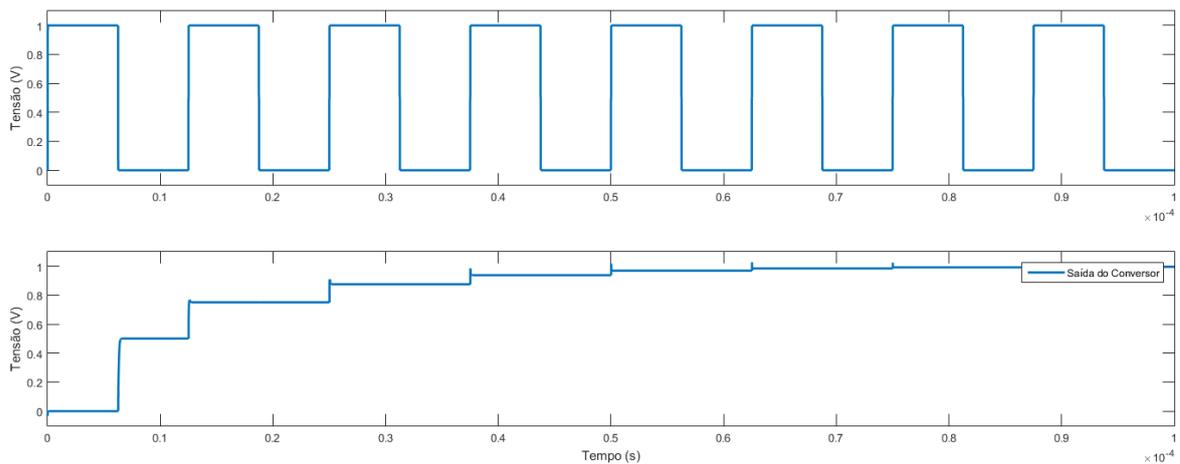


Figura 18 – Resultado do conversor DA após o resultado do circuito SAR.

4.4 Gerador de pulsos

O resultado (Figura 19) mostra cada etapa de modulação do circuito gerador de pulsos (Figura 9). Como descrito no capítulo anterior, após a porta XOR é gerado pulsos em ambas as portas e a primeira porta AND vai filtrar para que só haja pulsos somente na borda de subida.

O relógio deste circuito é de 500 kHz [Keong e Yuce 2008]. A simulação foi feita utilizando uma onda quadrada com o período de $25 \mu\text{s}$ na entrada, apenas para testar o funcionamento e facilitar a visualização da saída de cada porta lógica.

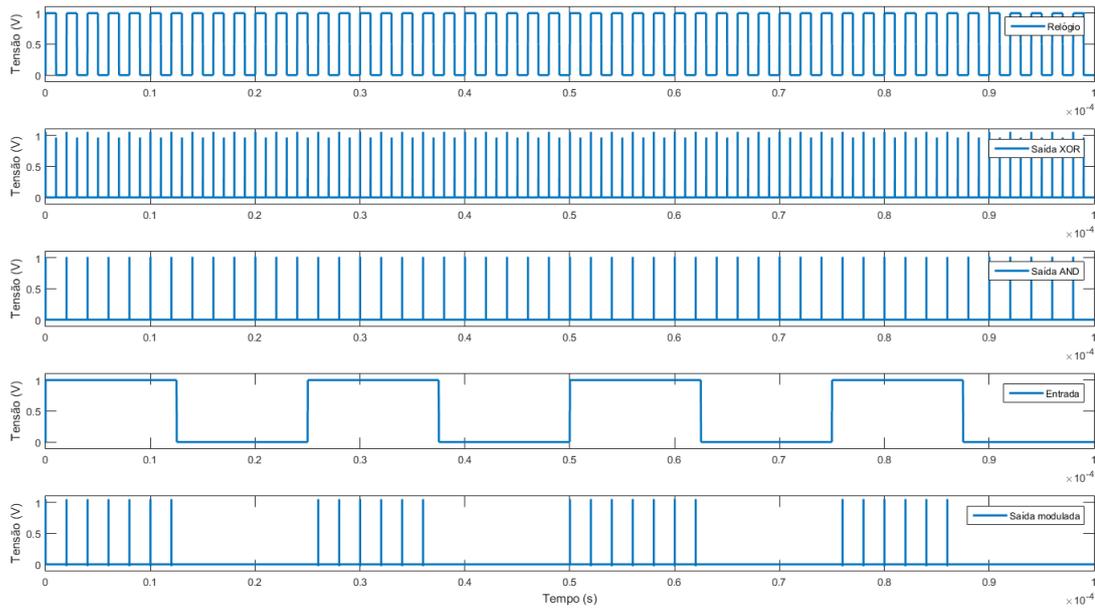


Figura 19 – Resultado das etapas de modulação.

4.5 Conversor paralelo-série

O resultado da conversão, apresentado na Figura 20, é obtida utilizando as entradas da Tabela 7.

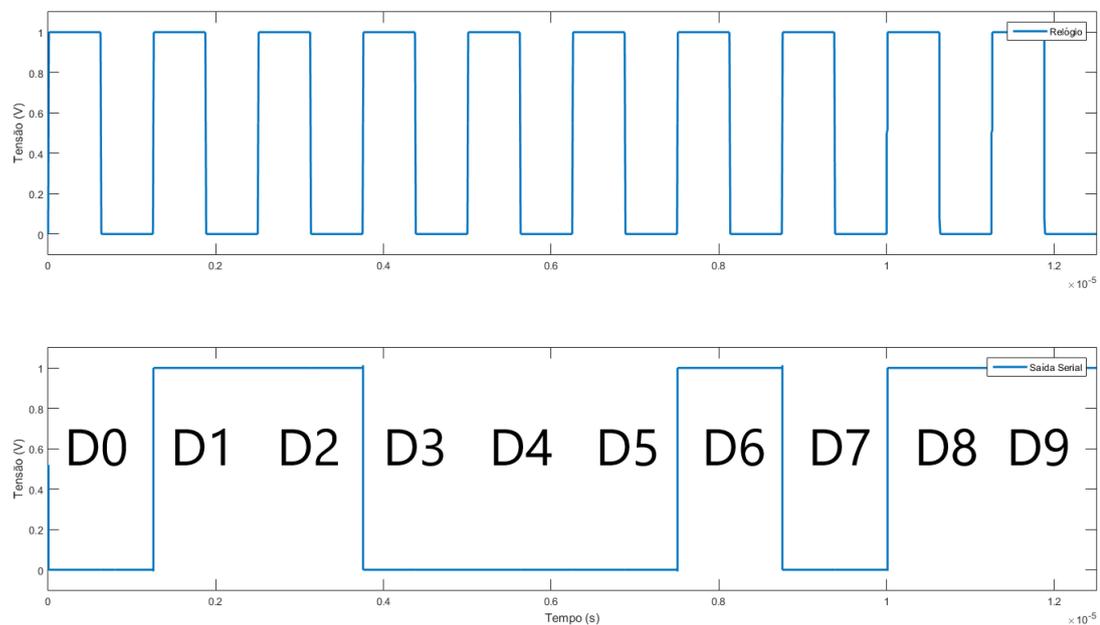


Figura 20 – Resultado da conversão paralela para série.

Na Figura 21 foi plotado a saída utilizando os mesmos valores, entretanto após o gerador de pulsos.

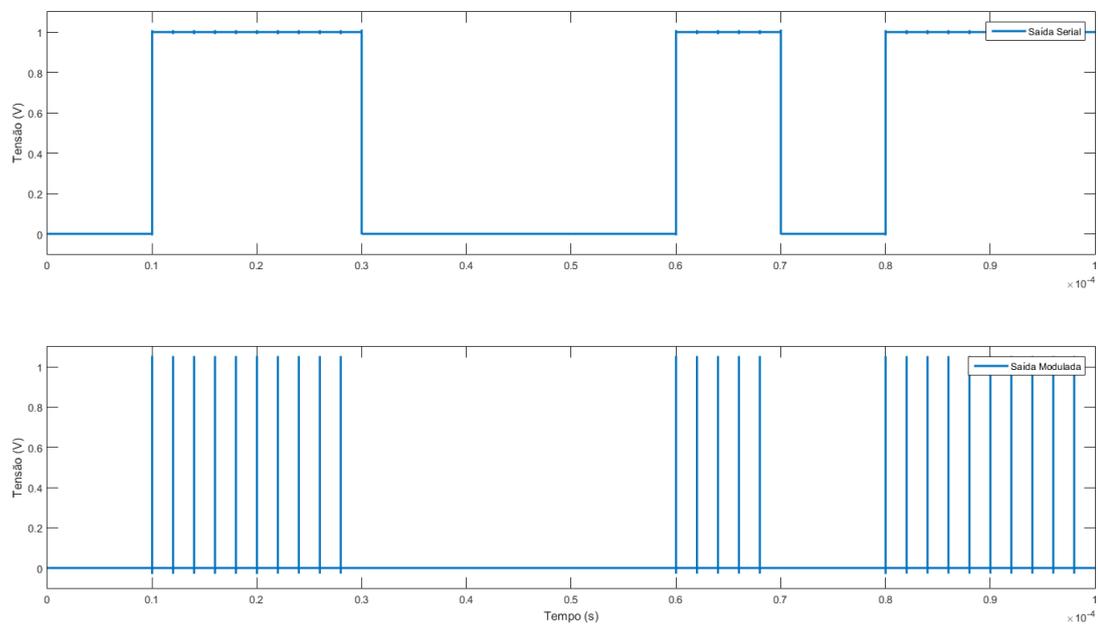


Figura 21 – Resultado modulado.

Tabela 7 – Tabela de entrada paralela.

Bit	Valor
D0	0
D1	1
D2	1
D3	0
D4	0
D5	0
D6	1
D7	0
D8	1
D9	1

5 Conclusão

Um sistema de transmissão em UWB para monitoramento de um ECG foi apresentado neste trabalho na tecnologia IBM 130 HP. Para reduzir o consumo de potência assim como seu tamanho, foram utilizados circuitos passivos e topologias que ocupassem menos espaço. Além disso, como se trata da transmissão de um sinal de baixa frequência, o projeto pôde utilizar como referência de amostragem a maior frequência biológica sem comprometer a aquisição e a performance de nenhuma etapa.

No futuro, deseja-se que seja possível testar num ECG em vez de uma senoidal. Com o circuito funcionando com o sinal, o próximo passo é fazer todo o tratamento do sinal, visto que até o momento as entradas não tinham ruídos e já se considerava amplificado e filtrado. Concretizado toda a transmissão de um sinal, pretende-se realizar a modulação para vários canais e se possível, abranger para qualquer sinal biológico.

Referências

- FUJIMURA, C. A. Uwb i: Conhecendo a tecnologia ultra wide band. Citado na página 12.
- KEONG, H. C.; YUCE, M. R. Low data rate ultra wideband ecg monitoring system. In: IEEE. *Engineering in Medicine and Biology Society, 2008. EMBS 2008. 30th Annual International Conference of the IEEE*. [S.l.], 2008. p. 3413–3416. Citado 3 vezes nas páginas 10, 21 e 26.
- LEE, S.-Y. et al. A 1-v 8-bit 0.95 mw successive approximation adc for biosignal acquisition systems. In: IEEE. *Circuits and Systems, 2009. ISCAS 2009. IEEE International Symposium on*. [S.l.], 2009. p. 649–652. Citado 5 vezes nas páginas 7, 15, 16, 19 e 20.
- MAHMOUD, S. A.; NAZZAL, T. B. Sample and hold circuits for low-frequency signals in analog-to-digital converter. In: IEEE. *Information and Communication Technology Research (ICTRC), 2015 International Conference on*. [S.l.], 2015. p. 36–39. Citado na página 15.
- PAN, J. Medical applications of ultra-wideband (uwb). *Survey Paper*, Citeseer, 2007. Citado na página 12.
- ROSSI, A.; FUCILI, G. Nonredundant successive approximation register for a/d converters. *Electronics letters*, IET, v. 32, n. 12, p. 1055–1057, 1996. Citado 3 vezes nas páginas 7, 16 e 17.
- STARAS, S. et al. *Wide-Band Slow-Wave Systems: Simulation and Applications*. [S.l.]: CRC Press, 2012. Citado na página 12.
- UWB Worldwide Regulations. [S.l.], 2015. Citado 3 vezes nas páginas 7, 12 e 13.
- VEEDER, K. T. Dacs used in adc architectures and read-in ics. In: *Digital Converters for Image Sensors*. [S.l.]: International Society for Optics and Photonics, 2015. p. 39–54. Citado na página 19.
- WIN, M. Z. et al. History and applications of uwb. In: INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS. [S.l.], 2009. Citado na página 12.